Лекція 11

ТРИГЕРИ. ТРИГЕРНІ СХЕМИ

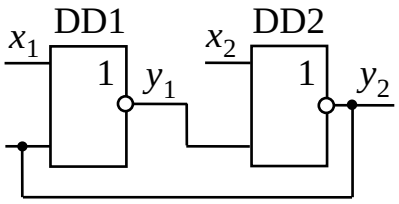


Рис. 9.1

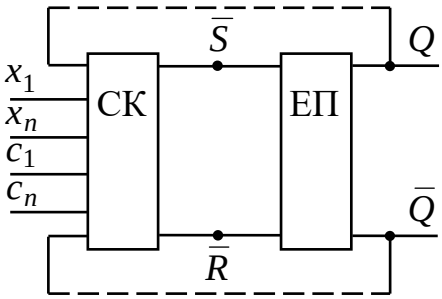
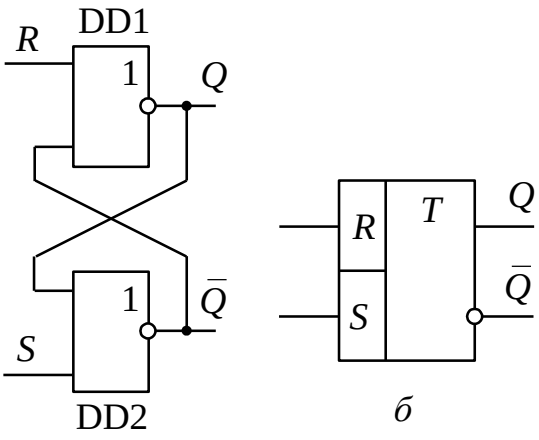


Рис. 9.2

9.1. *RS*-тригери



а

Рис. 9.3

Табл. 9.1

R_n	S_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	x
1	1	1	x

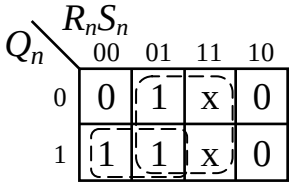


Рис. 9.4

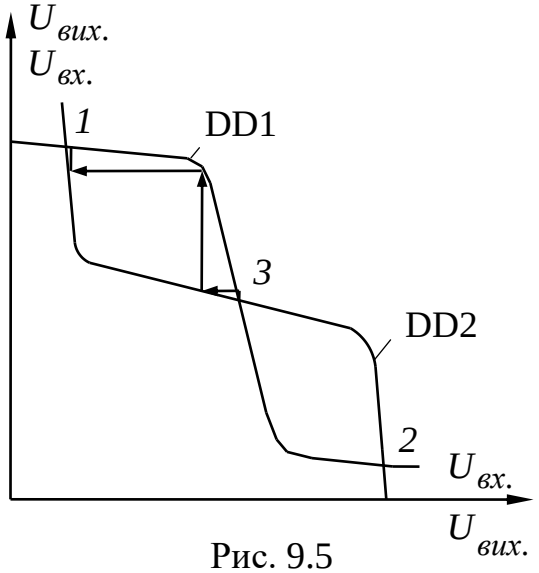


Рис. 9.5

Табл. 9.2

R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	x

$$\begin{aligned} Q_{n+1} &= S_n + Q_n \cdot \overline{R_n}\,; \\ \overline{Q}_{n+1} &= R_n + \overline{Q}_n \cdot \overline{S_n}\,. \end{aligned} \qquad (9.1)$$

$$\begin{aligned} Q_{n+1} &= \overline{\overline{S}_n \cdot \overline{(Q_n \cdot \overline{R}_n)}}\,; \\ \overline{Q}_{n+1} &= \overline{\overline{R}_n \cdot \overline{(\overline{Q}_n \cdot \overline{S}_n)}}\,. \end{aligned} \qquad (9.2)$$

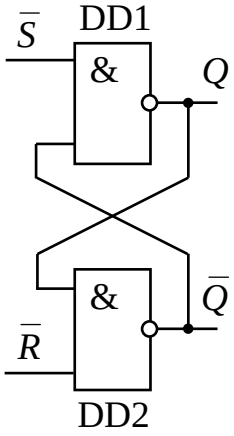


Рис. 9.6

Приклад 9.1. Побудувати таблицю станів для асинхронного *RS*-тригера, виготовленого на логічних елементах **2І-НІ**, а також часові діаграми сигналів на входах і виходах при різних їх співвідношеннях.

Табл. 9.3

$\overline{S}_n$	$\overline{R}_n$	Q_{n+1}
0	0	∞
0	1	1
1	0	0
1	1	Q_n

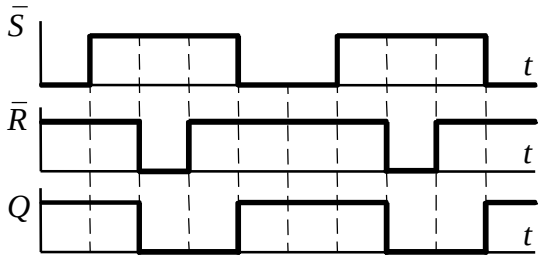
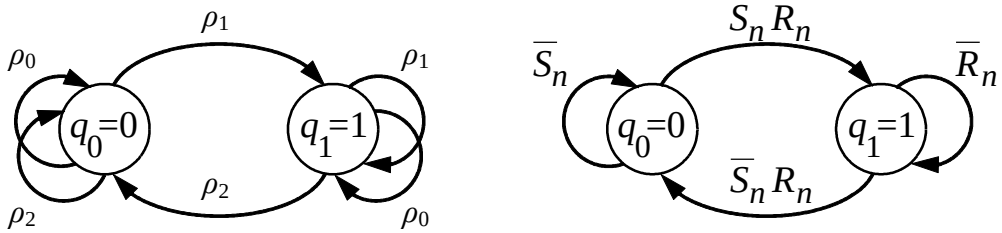


Рис. 9.7



а *б*

Рис. 9.8

$$\rho_0 = \overline{S}_n\ \overline{R}_n,\ \rho_1 = S_n\ \overline{R}_n,\ \rho_2 = \overline{S}_n\ R_n.$$

$$\rho_{01} = \rho_1 + \rho_0 = S_n\overline{R_n} + \overline{S_n}\ \overline{R_n} = \overline{R_n}. \qquad (9.3)$$

$$\rho_{02} = \rho_0 + \rho_2 = \overline{S_n}\ \overline{R_n} + \overline{S_n}\ R_n = \overline{S_n}. \qquad (9.4)$$

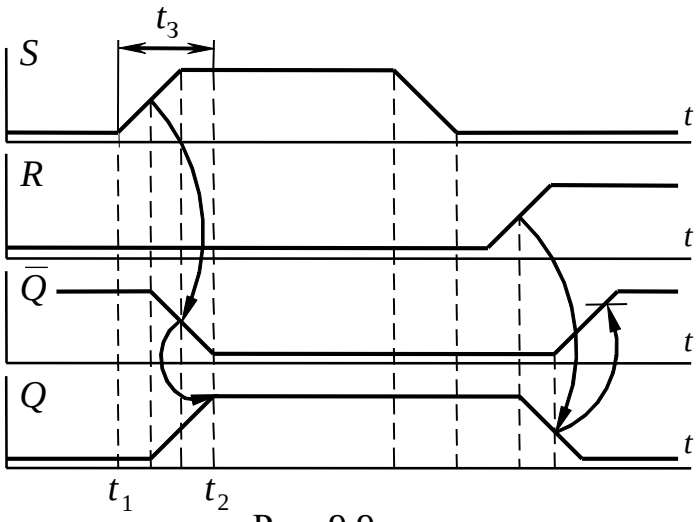


Рис. 9.9

Приклад 9.2. Пояснити особливості роботи *RS*-тригера К564ТР2 (аналоги провідних західних фірм-виробників – 4043BDC, CD4043AD, MC14043BAL, MN4043B, MSM4043B, SCB4043B, TC4043BP), таблиця станів якого додається (Табл. 9.4).

Табл. 9.4

S_n	R_n	V	Q_{n+1}
0	0	1	Q_n
0	1	1	0
1	x	1	1
x	x	0	Z

Приклад 9.3. На рис. 9.10 приводиться схема пристрою з використанням *RS*-тригера, що призначена для скорочення тривалості вхідного імпульсу. Пояснити роботу пристрою.

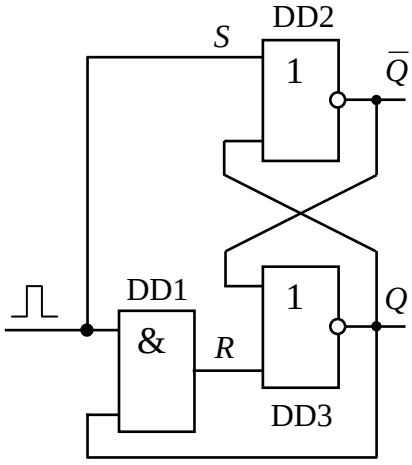


Рис. 9.10

9.2. Загальна характеристика тригерних схем

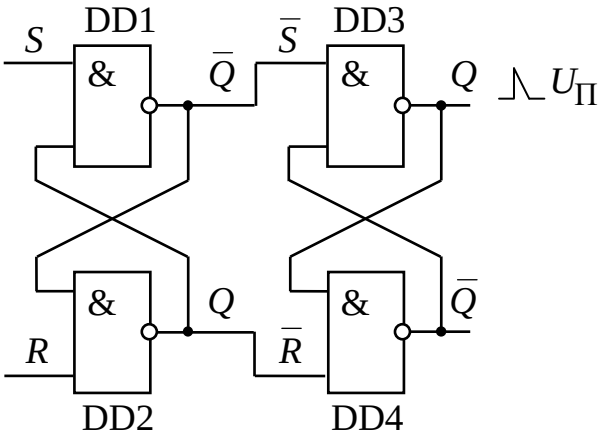
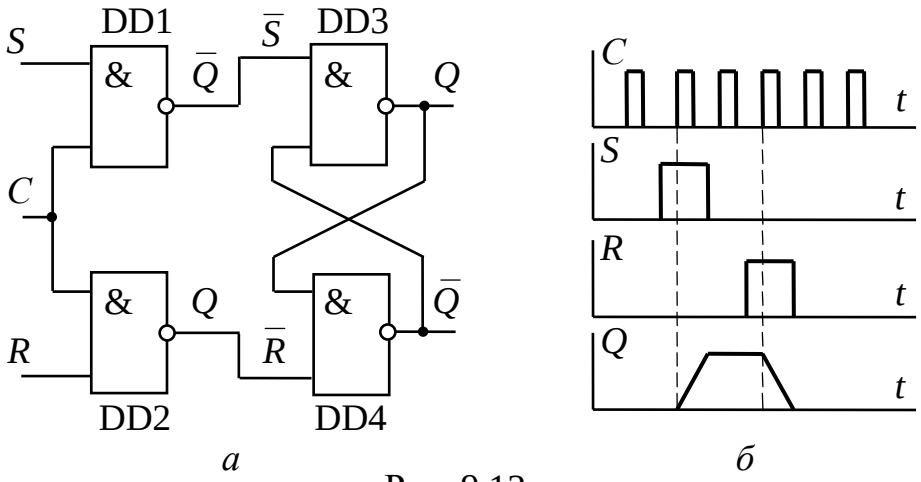


Рис. 9.11

Табл. 9.6

Позначення входу	*Призначення*
S	Вхід установки тригерів у стан $Q = 1$
R	Вхід установки тригерів у стан $Q = 0$
J	Вхід установки *JK*-тригерів у стан $Q = 1$
K	Вхід установки *JK*-тригерів у стан $Q = 0$
D	Вхід завантаження інформації у *D*-тригер
T	Тактовий вхід *T*-тригерів
V	Підготовчий вхід дозволу прийому інформації
C	Вхід синхронізації. Виконавчий вхід прийому інформації

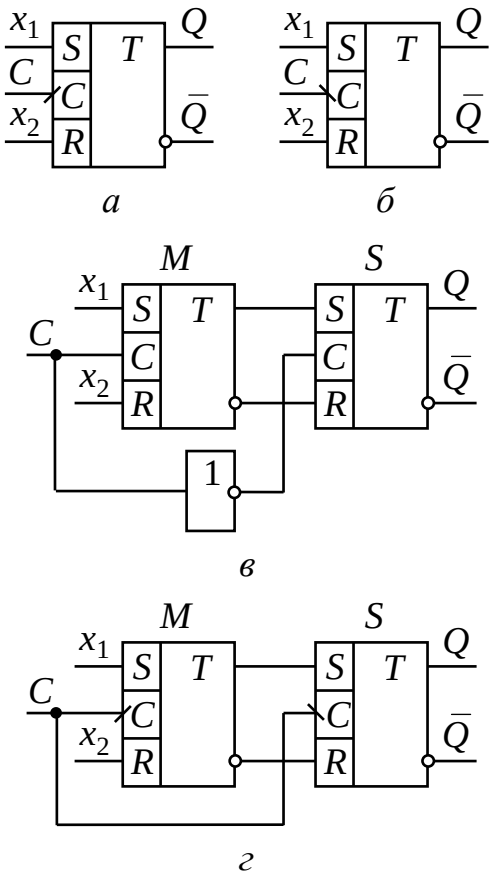


а *б*

Рис. 9.12

$$t_З > t_{З\,01}; \qquad t_З > t_{З\,10}. \tag{9.5}$$

$$Q_{n+1} = S_n\, L_n + Q_n\, \overline{R}_n + Q_n\, \overline{L}_n; \quad S_n \cdot R_n \cdot L_n = 0.$$



а *б* *в* *г*

Рис. 9.13

9.3. *D*-тригери

Табл. 9.7

C_n	D_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

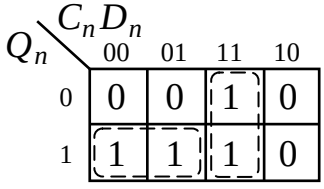


Рис. 9.14

$$Q_{n+1} = C_n\ D_n + \overline{C_n}\ Q_n. \tag{9.6}$$

$$Q_{n+1} = C_n\ D_n. \tag{9.7}$$

$$Q_{n+1} = C_n\ D_n + \overline{C_n}\ Q_n + D_n\ Q_n.$$

$$Q_{n+1} = \overline{\overline{C_n D_n} \cdot \overline{\overline{C_n} Q_n} \cdot \overline{D_n Q_n}},$$

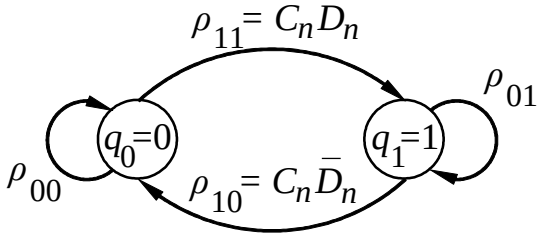


Рис. 9.15

$\rho_{11} = C_n\ D_n,\ \rho_{10} = C_n\ \overline{D_n}.$

$$\rho_{00} = \overline{C_n}\ \overline{D_n} + C_n\ \overline{D_n} + \overline{C_n}\ D_n = \overline{D_n} + \overline{C_n}. \tag{9.8}$$

$$\rho_{01} = \overline{C_n}\ \overline{D_n} + C_n\ D_n + \overline{C_n}\ D_n = \overline{C_n} + D_n. \tag{9.9}$$

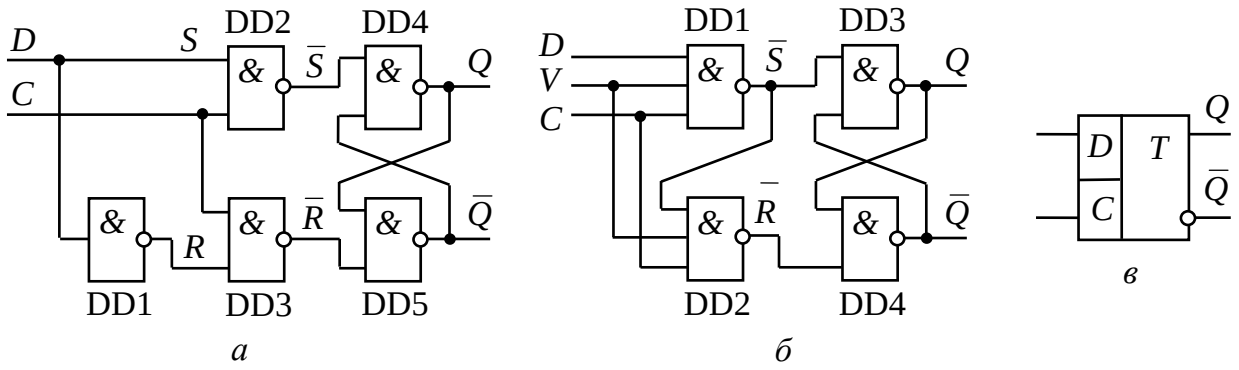


Рис. 9.16

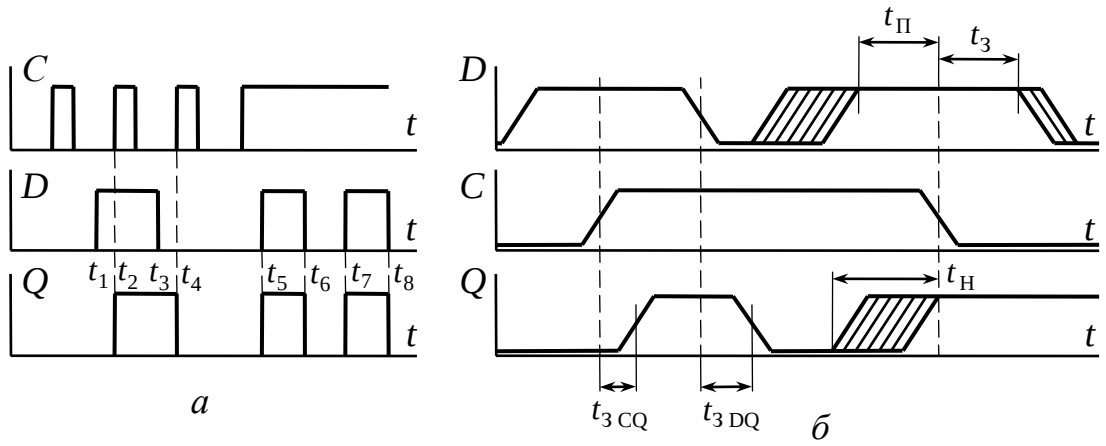


Рис. 9.17

$$Q_{n+1} = V\,(\overline{C_n}\,Q_n + C_n\,D_n) + \overline{V}\,Q_n\,. \qquad (9.10)$$

Приклад 9.4. Використовуючи асинхронні *D*-тригери та допоміжну логіку, розробити схему пристрою для запису, тимчасового зберігання та зчитування напівбайтового слова.

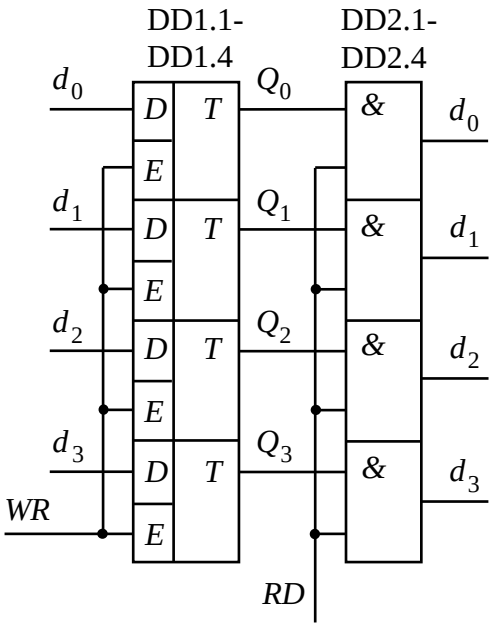


Рис. 9.18

Табл. 9.8

Режим роботи	*Вхід*		*Вихід*	
	E	*D*	*Q*	$\overline{Q}$
Дозвіл передачі даних	1	0	0	1
	1	1	1	0
Зберігання	0	x	Q_{n-1}	$\overline{Q}_{n-1}$

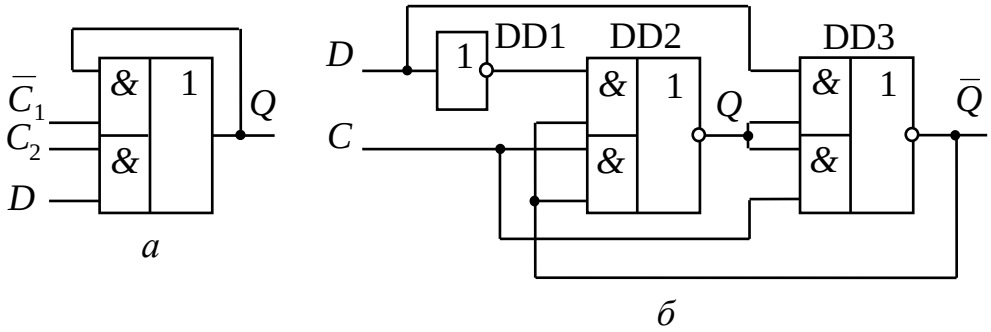
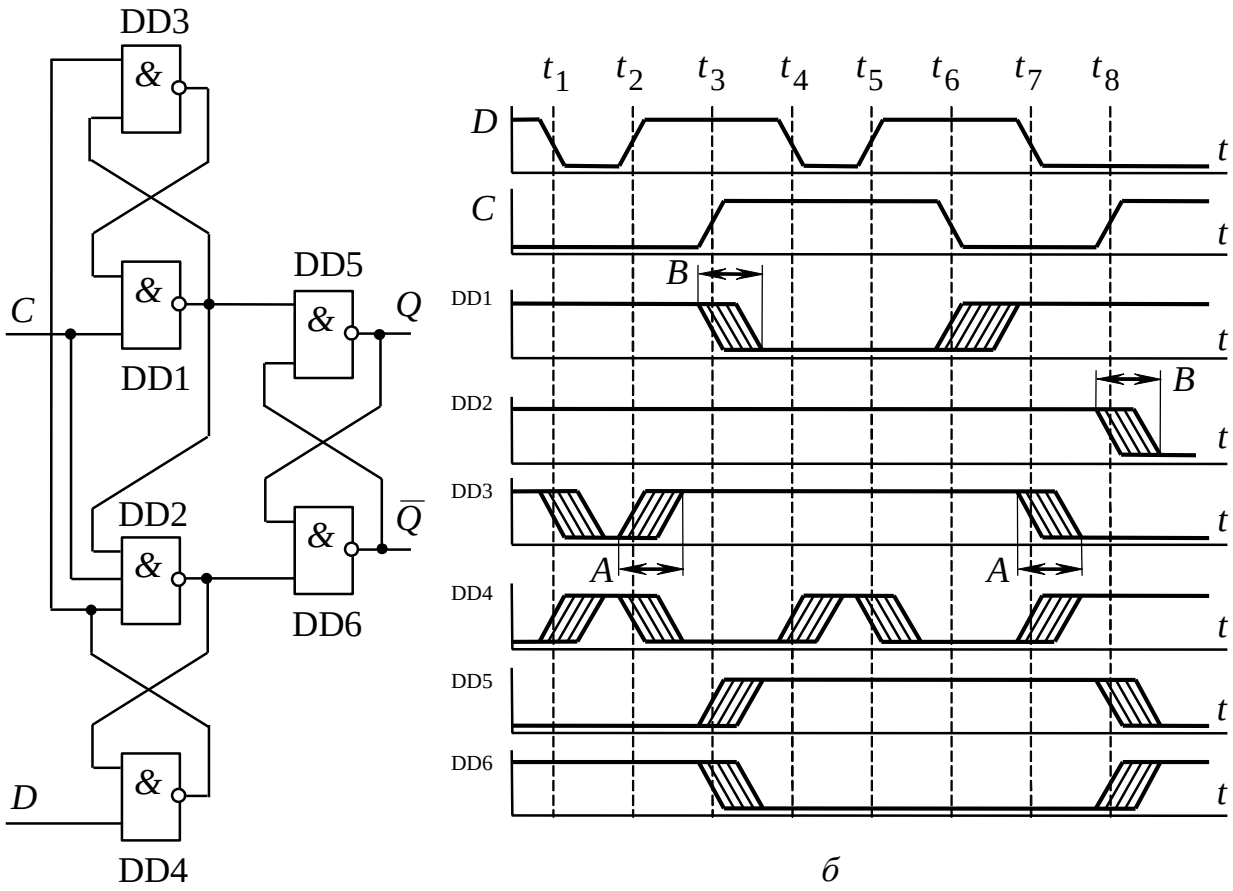


Рис. 9.19



а *б*

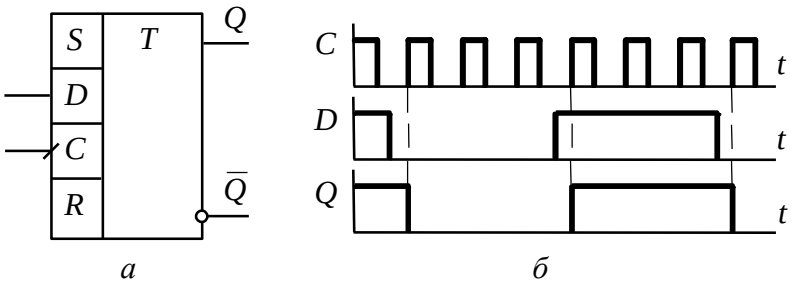
Рис. 9.20

Приклад 9.5. Дати пояснення особливості роботи *D*-тригера К561ТМ2 (аналоги західних фірм-виробників – 4013BDM, CD4013AD) за допомогою таблиці станів (Табл. 9.9).

Табл. 9.9

S_n	R_n	C	D_n	Q_{n+1}
0	0	⎍	0	0
0	0	⎍	1	1
0	0	⎏	x	Q_n
0	1	x	x	0
1	0	x	x	1
1	1	x	x	$Q = \overline{Q}$

Приклад 9.6. На рис. 9.21 приведене умовне зображення *D*-тригера К561ТМ2. Зробити необхідні з’єднання в схемі для забезпечення роботи в режимі синхронного *D*-тригера і привести відповідні часові діаграми.



а *б*

Рис. 9.21

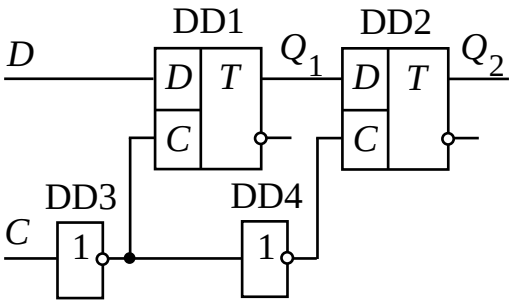


Рис. 9.22

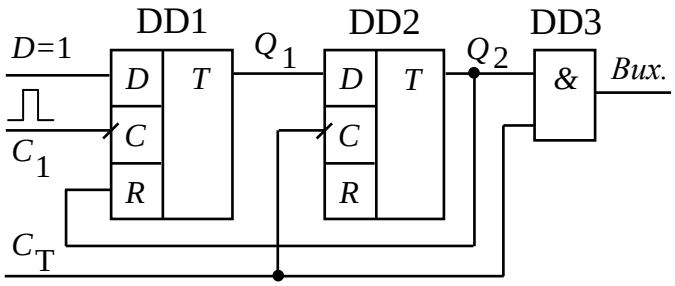


Рис. 9.23

9.4. *JK*-тригери

Табл. 9.10

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

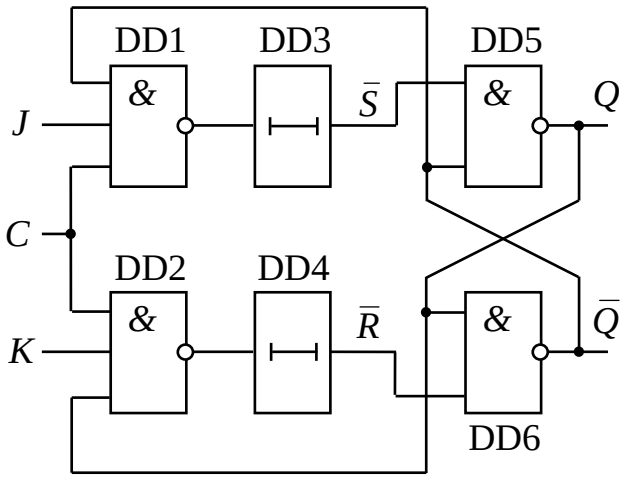


Рис. 9.24

$$Q_{n+1} = J_n \overline{Q}_n + \overline{K}_n Q_n . \tag{9.11}$$

$$Q_{n+1} = C(J_n \overline{Q}_n + \overline{K}_n Q_n) + \overline{C} Q_n . \tag{9.12}$$

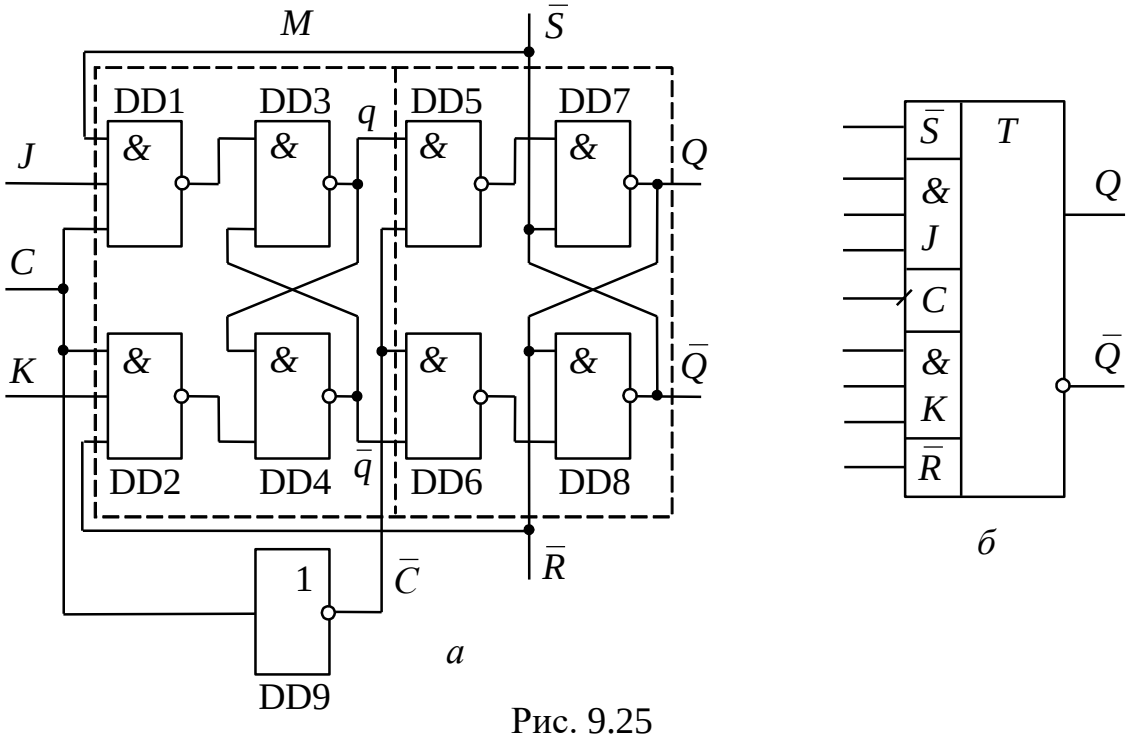


Рис. 9.25

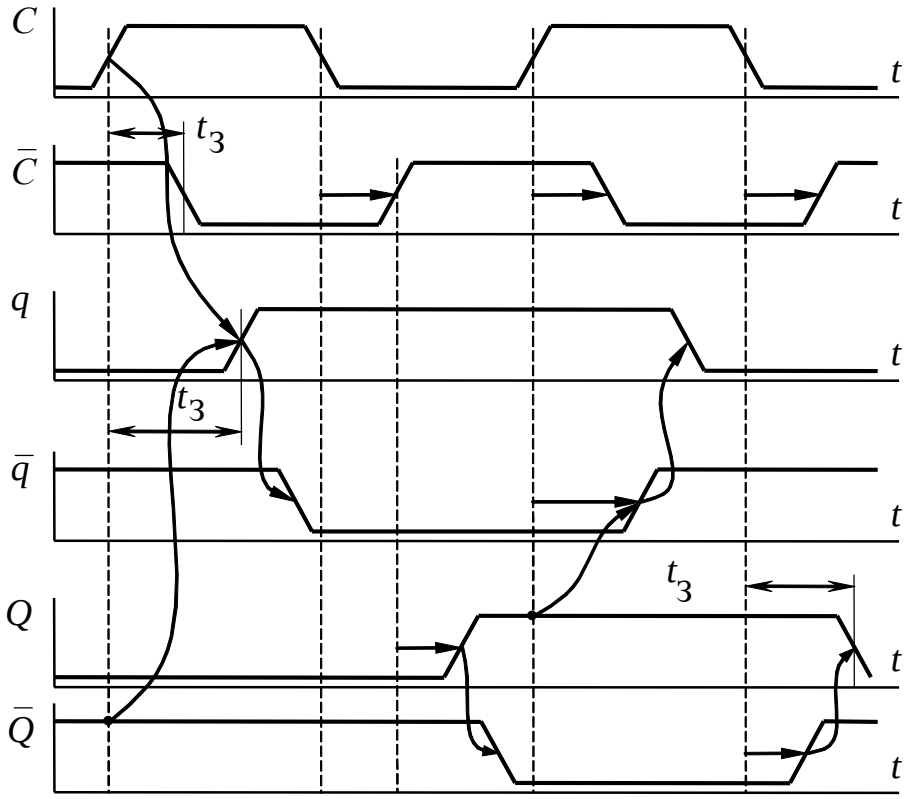


Рис. 9.26

Табл. 9.11

Режими	C_n	J_n	K_n	Q_{n+1}
Збереження	x	0	0	Q_n
Обнуління	⌊	0	1	0
Установка	⌊	1	0	1
T-режим	⌊	1	1	$\overline{Q}_n$

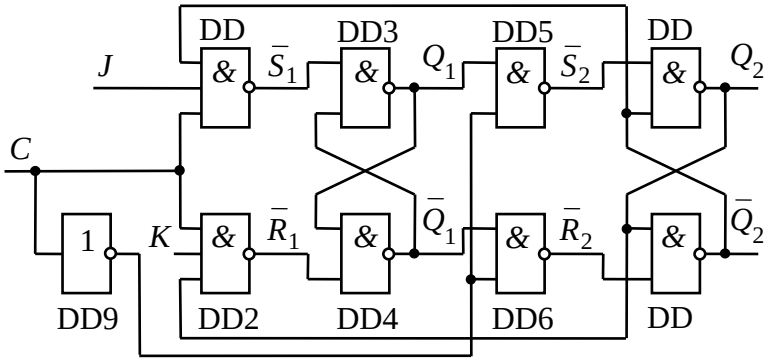


Рис. 9.27

Приклад 9.7. Для *JK*-тригера *MS*-типу, схема якого наведена на рис. 9.27, при початкових умовах $J = K = Q_1 = Q_2 = 0$ задається наступна послідовність сигналів:

1. *J*, 0→1; *K*, 0→0; *C* – перший імпульс синхронізації;
2. *J*, 1→1; *K*, 0→1; *C* – другий імпульс синхронізації;
3. *J*, 1→0; *K*, 1→1; *C* – третій імпульс синхронізації;
4. *J*, 0→0; *K*, 1→0; *C* – четвертий імпульс синхронізації.

Зміна сигналів на входах *J* і *K* відбувається в інтервали часу, коли синхросигнали відсутні. Необхідно побудувати часові діаграми на входах *J*, *K* і виходах Q_1, Q_2 тригера в інтервали часу, протягом яких були подані чотири синхросигнали *C*.

.

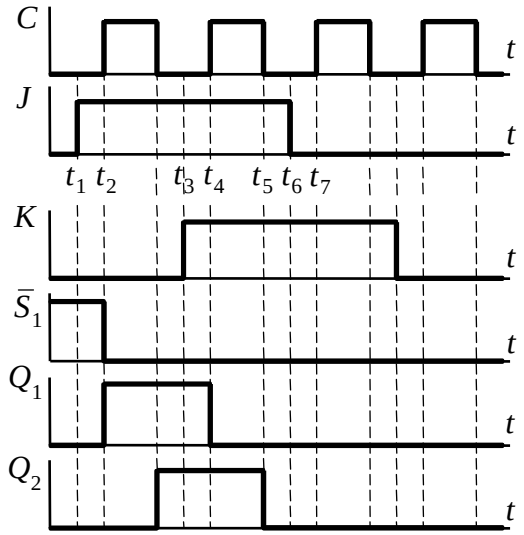


Рис. 9.28

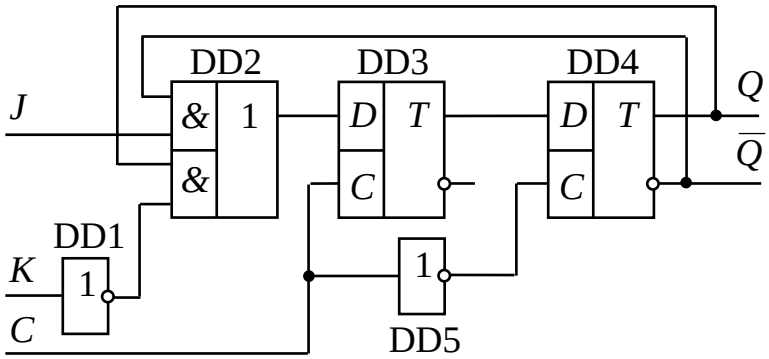


Рис. 9.29

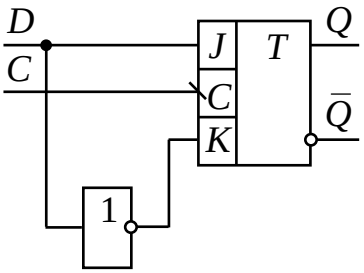
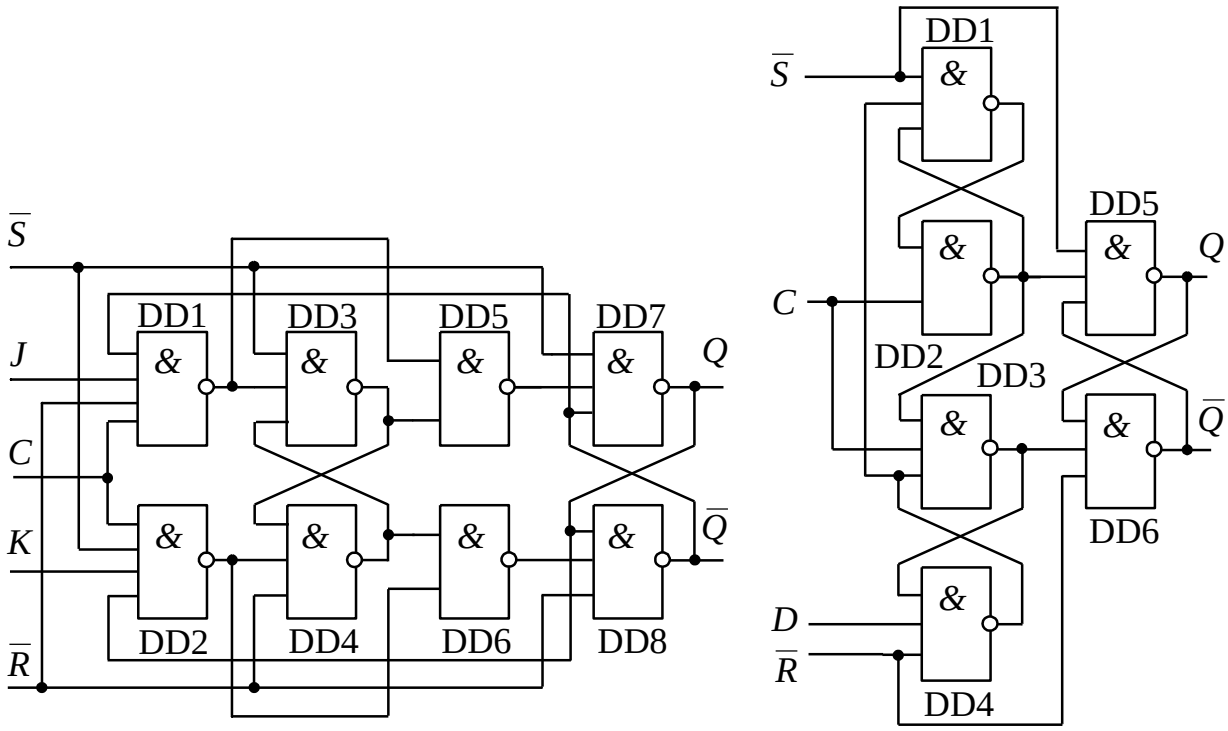


Рис. 9.30



а *б*

Рис. 9.31

9.5. *T*- та *TV*-тригери

Табл. 9.12

T-тригер		$\overline{T}$-тригер	
T_n	Q_n	T_n	Q_n
0	Q_n	0	Q_n
⌜	$\overline{Q}_n$	⌜	Q_n
⌞	Q_n	⌞	$\overline{Q}_n$
1	Q_n	1	Q_n

$$Q_{n+1} = Q_n \overline{T_n} + \overline{Q_n}\, T_n . \qquad (9.13)$$

$$Q_{n+1} = (Q_n \overline{T} + \overline{Q_n}\, T)\, C + \overline{C}\, Q_n . \qquad (9.14)$$

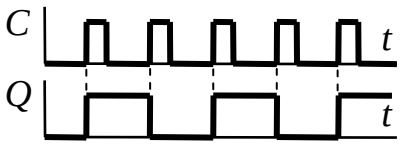
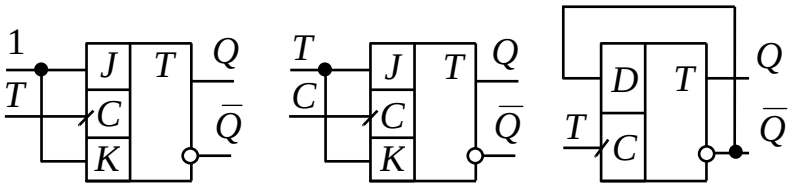


Рис. 9.32



а *б* *в*

Рис. 9.33

$$Q_{n+1} = (T_n \overline{Q_n} + \overline{T_n}\, Q_n)\, V_n + Q_n \overline{V_n} . \qquad (9.15)$$

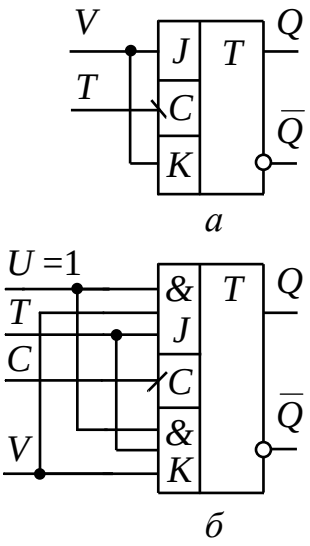


Рис. 9.34

$$Q_{n+1} = S_n + Q_n \overline{R_n} \quad \text{і} \quad S_n \cdot R_n = 0$$

$S_n = J \overline{Q_n}$ і $R_n = K Q_n$,

$$Q_{n+1} = J \overline{Q_n} + \overline{K} Q_n,$$

$$D_n = Q_{n+1} = J \overline{Q_n} + \overline{K} Q_n,$$

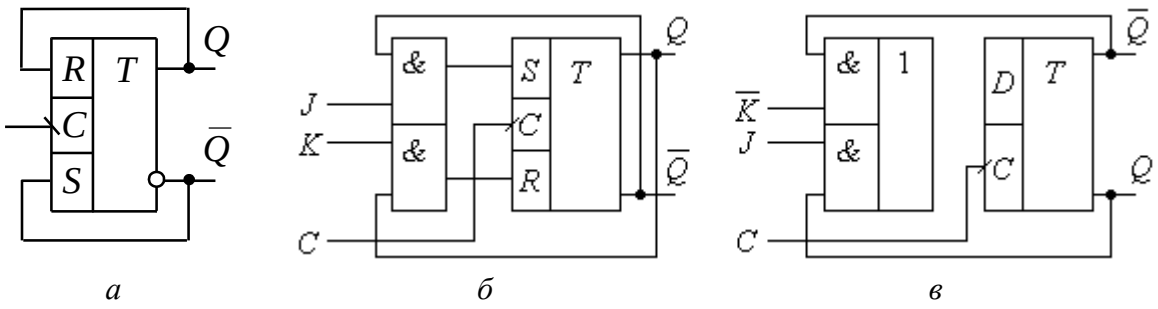


Рис. 9.35

9.6. Несиметричні тригери

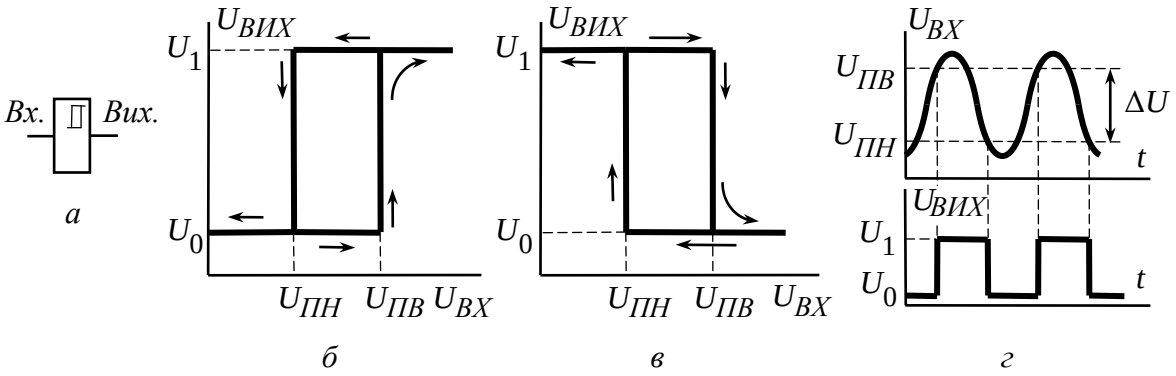


Рис. 9.36

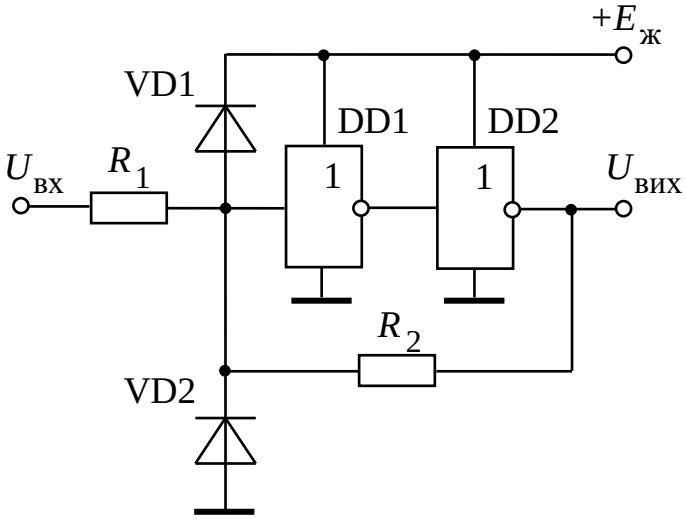


Рис. 9.37

$$U_П \approx E_ж / 2.$$

$$U_{вх1} \cdot \frac{R_2}{R_1 + R_2} \geq U_П, \qquad (9.16)$$

$$U_{\text{вх1}} \geq \frac{U_{\text{П}} \cdot \left(R_1 + R_2\right)}{R_2} = \frac{E_{\text{ж}} \cdot \left(R_1 + R_2\right)}{2R_2}. \qquad (9.17)$$

$$U_{\text{вх0}} = \left[\left(R_1 + R_2\right) / R_2\right] \cdot U_{\text{П}} - \left(\frac{R_1}{R_2} \cdot E_{\text{ж}}\right) \approx \frac{\left(R_2 - R_1\right) \cdot E_{\text{ж}}}{2R_2}. \qquad (9.18)$$

Приклад 9.8. Визначити співвідношення між резисторами R_1 та R_2 (див. рис. 9.37) при наступних вихідних даних: $E_{\text{ж}} = 5$ В; $U_{\text{вх1}} = 4$ В; $U_{\text{вх0}} = 1$ В.

Розв'язання. Користуючись формулами (9.17) і (9.18), складемо систему рівнянь:

$$\begin{cases} U_{\text{вх1}} = \dfrac{R_1 + R_2}{2R_2} E_{\text{ж}} \\ U_{\text{вх0}} = \dfrac{R_2 - R_1}{2R_2} E_{\text{ж}} \end{cases}; \qquad \begin{cases} 8 \cdot R_2 = 5 \cdot \left(R_1 + R_2\right) \\ 2 \cdot R_2 = 5 \cdot \left(R_2 - R_1\right) \end{cases}.$$

З кожного з них маємо: $R_2 = \dfrac{5}{3} R_1$.