Лабораторная работа № 2

дослідження логічних елементів

Мета роботи

- освоїти спосіб завдання булевих функцій таблицями істинності;
- експериментальне визначення таблиць істинності основних логічних елементів (ЛЕ) шляхом їх дослідження в середовищі програми EWB5;
- вивчити принципи включення ЛЕ в корпуси реальних інтегральних мікросхем (IMC, MC);
- освоєння приладу програми, призначеного для відображення цифрових сигналів.

Основні теоретичні відомості

Особливістю цифрової електроніки (техніки) є те, що усі сигнали, як вхідні, так і вихідні, так і проміжні, характеризуються двома значеннями. У реальних цифрових приладах при їх роботі це два рівня напруги – низький та високий. При описанні використовують терміни логічний нуль (лог. 0, 0) та логічна одиниця (лог. 1, 1). Обумовлюється це тим, що однією з теоретичних основ цифрової техніки є булева алгебра, яка була розроблена Джорджем Булем у середині 19 століття, як один з розділів математики. Згідно з математичними визначеннями алфавіт булевої алгебри має тільки два символи, подібно двійковій системі числення.

Дж. Буль назвав розроблений їм розділ математики *алгеброю логіки висловлювань* (алгеброю логіки), запропонувавши вважати, що як самі висловлювання (функції), так і їх аргументи можуть бути або *істинними*, або *хибними*. При реалізації булевих виразів у вигляді електронних схем низьку напругу визначили у якості одного з символів алфавіту, а високу – у якості другого. Однак, вшановуючи пам'ять Дж. Буля, у багатьох комп'ютерних програмах використовують логічні запропоновані їм оператори **true** і **false**.

Дж. Буль пов'язав функції **Ү** і аргументи **Хі** математичними виразами:

$$Y = f (X_1, X_2, ..., X_N)$$
(2.1)

Обмеженість алфавіту алгебри логіки двома значеннями призводить до ряду особливостей. Наприклад, при кінцевому числі аргументів булеві функції обмежені (усі функції, які реально використовуються, задовольняють цьому критерію). Це дозволяє для завдання (опису) булевої функції використовувати простий перебір всіх можливих сполучень значень аргументів з вказівкою значення функції при зазначених сполученнях аргументів. Таке подання функції отримало назву *таблиці істинності*.

Функція, яка має скінченне число значень називається перемикальною (логічною). Логічна функція, число можливих значень якої дорівнює двом, називається булевою. Булеві функції двох змінних подано в табл.2.1.

Табл.2.1.

позна-	HA	БІР АРГ	УМЕНТ	TIB	НАЗВА ЛОГІЧНОЇ	
ЧЕННЯ	0	0	1	1	ΦΥΗΚΙΙΙΪ	ФУНКЦІЯ
ieiiin	0	1	0	1	47 magn	
f_1	0	0	0	0	Константа нуль	0
f_2	0	0	0	1	Кон'юнкція	X_1X_2
f_3	0	0	1	0	Заборона X2	$X_1 \overline{X}_2$
f_4	0	0	1	1	Повторення X ₁	X ₁
f_5	0	1	0	0	Заборона X1	$\overline{X}_1 X_2$
f_6	0	1	0	1	Повторення X ₂	X2
f_7	0	1	1	0	Виключне АБО	$X_1 \oplus X_2 = X_1 \overline{X}_2 \vee \overline{X}_1 X_2$
f_8	0	1	1	1	Диз'юнкція	$X_1 \lor X_2$
f_9	1	0	0	0	Стрілка Пірса	$\overline{X_1 \lor X_2}$
f_{10}	1	0	0	1	Рівнозначність	$X_1 \sim X_2 = X_1 X_2 \vee \overline{X}_1 \overline{X}_2$
f_{11}	1	0	1	0	Інверсія X ₂	\overline{X}_2
f_{12}	1	0	1	1	Імплікація від X_2 до X_1	$X_1 \overline{\vee X}_2$
f_{13}	1	1	0	0	Інверсія X ₁	\overline{X}_1
f_{14}	1	1	0	1	Імплікація від X_1 до X_2	$\overline{X}_1 \lor X_2$
f_{15}	1	1	1	0	Штрих Шеффера	$\overline{X_1X_2}$
f_{16}	1	1	1	1	Константа одиниця	1

Дж. Буль показав, що будь-які логічні функції можна виразити через три простіші функції – функції одного або двох аргументів: **HI** (інверсія, заперечення, **NO**), **I** (кон'юнкція, логічне множення, **AND**), **AБО** (диз'юнкція, логічне складання, **OR**). Їх математичний запис:

(2.2)

- заперечення
 - $\mathbf{Y} = \mathbf{X};$
- диз'юнкція

 $Y = X1 + X2 = X1 V X2 = X1 U \Lambda X2;$ (2.3)

- кон'юнкція
 - $\mathbf{Y} = \mathbf{X1} \cdot \mathbf{X2} = \mathbf{X1} \quad \mathbf{\Lambda} \quad \mathbf{X2} = \mathbf{X1} \quad \mathbf{\cap} \quad \mathbf{X2}. \tag{2.4}$

У виразах (3.3) і (3.4) надані різни форми запису функцій **І** та **НІ**. Найчастіше використовують першу зі знаком додавання між аргументами для диз'юнкції та крапку (яку зазвичай опускають) – для кон'юнкції.

В подальшому було показано, що логічні функції можна виразити чи через функції *I*, чи через функції *AБO* та *HI*. Всі вказані логічні функції утворюють так звані базисні функції, причому перший набір (*HI*, *I*, *AБO*) зветься повнимбазисом, а два останні (*I*, *HI* чи *AБO*, *HI*) – мінімальними. Реалізація мінімальних базисів проводиться чи на основі елементу *I-HI* (функція Шеффера, штрих Шеффера, *NAND*), чи елементу *AБO-HI* (функція Пірса, стрілка Пірса, *NOR*).

Широке практичне застосування також знайшли логічні елементи, які виконують так звану функцію **виключне АБО** (функція нерівнозначності, суматор за модулем 2, **XOR**), та *виключне* **АБО-НІ** (функція рівнозначності, **XNOR**).

Фундаментальними логічними схемами є логічні елементи, з яких складаються складні схеми і цифрові системи. Назви та позначення логічних елементів наведено в табл. 2.2.

Табл.2.2.

Назва логічного	Позначе	ення	Логічна	Назва в розділі
елемента	ГОСТ	ANSI	функція	Standard Gates
НЕ (інвертор)		->-	$X \qquad 1 \qquad Y = \overline{X}$	Inverters
буферний елемент	1	\rightarrow	$\begin{array}{c c} X & 1 & Y \\ \hline Y = X \end{array}$	Buffers
I	&	Ð	$\begin{array}{c c} X & \& \\ Y & \\ \hline \\ Z = X \land Y \end{array}$	And Gates
АБО		Ð	$\begin{array}{c c} X & 1 \\ Y & Z \\ \hline Z = X \lor Y \end{array}$	Or Gates
ВИКЛЮЧНЕ АБО	=1	Ð	$\begin{array}{c} \underline{X} \\ \underline{Y} \\ \underline{Z} = X \oplus Y \end{array} = 1 $	Xor Gates
I-HE	& 	Ð	$ \frac{X}{Y} = \frac{X}{Z + X} $	Nand Gates
АБО-НЕ		Þ	$\begin{array}{c} X \\ Y \\ Z = \overline{X \lor Y} \end{array}$	Nor Gates

Перераховані логічні функції, а також деякі більш складні, наприклад, виконуючи операції *І*-**АБО-НІ**, отримали найменування *логічних елементів*. Вони реалізовані у вигляді окремих інтегральних мікросхем. Їх таблиці істинності наведені у табл.2.3.

Таблиця 2.3

X1	X2	$\mathbf{F} = \mathbf{X1} \bullet \mathbf{X2}$	$\mathbf{F} = \mathbf{X} 1 \mathbf{\bullet} \mathbf{X} 2$	$\mathbf{F} = \mathbf{X}1 + \mathbf{X}2$
0	0	0	1	0
1	0	0	1	1
0	1	0	1	1
1	1	1	0	1
X1	X2	$\mathbf{F} = \mathbf{X1} + \mathbf{X2}$	$\mathbf{F} = \mathbf{X1} \oplus \mathbf{X2}$	$\mathbf{F} = \mathbf{X}1 \oplus \mathbf{X}2$
X1 0	X2	$\mathbf{F} = \mathbf{X1} + \mathbf{X2}$	$\mathbf{F} = \mathbf{X}1 \oplus \mathbf{X}2$	$\mathbf{F} = \mathbf{X}1 \oplus \mathbf{X}2$
X1 0 1	X2 0 0	$\mathbf{F} = \mathbf{X1} + \mathbf{X2}$ 1 0	$\mathbf{F} = \mathbf{X1} \oplus \mathbf{X2}$ 0 1	$\mathbf{F} = \mathbf{X1} \oplus \mathbf{X2}$ 1 0
X1 0 1 0	X2 0 0 1	$\mathbf{F} = \mathbf{X1} + \mathbf{X2}$ 1 0 0	$\mathbf{F} = \mathbf{X1} \oplus \mathbf{X2}$ 0 1 1	$\mathbf{F} = \mathbf{X1} \oplus \mathbf{X2}$ 1 0 0

Примітка: символ **Ф** носить найменування *псевдо плюс* і поряд з символом **=1** використовується для позначення логічної функції *виключне* **АБО**.

Логічні елементи також є основою більш складних цифрових мікросхем. Вони реалізують достатньо складні булеві функції, які мають широке застосування. Мікросхеми об'єднані у так звані *серії*, елементи яких мають близьку схемотехнічну побудову і технологію виготовлення. У програмі EWB5 серії МС зведені у бібліотеки групі **DIGIT** (рис. 2.1).



Рис. 2.1. Бібліотеки серій цифрових мікросхем.

Бібліотеки мікросхем логічних елементів згідно їх логічних функцій також надані у групі **Logic Gates** (рис. 3.2). Бібліотека мікросхем, які виконують більш складні логічні функції, представлена у групі (рис. 3.3).

Ð	S Q P	₿	Ţ	Ň]			
I L	ogic G	ates							×
Ð	\triangleright	₽	\triangleright	Ð	D	D	₽	♦	₽
	OR		NOR		XOR	XNOR	BUF		

Рис. 2.2. Бібліотека ІМС за логічними функціями.

RQ	<u></u>	
🔳 D	igital	×
-A 2- -B 2-		
MUX	DEC ENC +-×+ 123	→ FF

Рис. 2.3. Бібліотека ІМС, які виконують складні логічні функції

Для виводу мікросхем на робоче поле програми треба витягнути на екран необхідну іконку вибраної групи логічних елементів. На екрані також з'являється і перелік елементів, тип яких був викликаний. На рис. 2.4,а надане зображення, яке з'являється на робочому полі після активації кнопки **NAND** групи **Logic Gates** (рис. 2.2).



Рис. 2.4. Вибір мікросхеми з каталогу бібліотеки

Вибір конкретної мікросхеми проводиться у такій послідовності:

- у результаті прокрутки переліку каталогу бібліотеки знаходять необхідну МС, яку виділяють клацанням лівої кнопки мишки;
- активують команду Accept.

Після цього на екрані з'являється зображення корпуса MC (рис. 2.4,в) і перелік мікросхем зникає У разі потреби получити ще одне зображення цієї чи іншої мікросхеми процедуру необхідно повторюють. Мікросхема виникає у вигляді її корпуса, у якому розміщуються вибрані за каталогом логічні елементи. Входи та виходи ЛЕ приєднані до виводів корпуса. Входи позначаються літерами англійського алфавіту **A**, **B**, **C** ... **F** Вихідний сигнал знімається з виводів корпуса позначених літерами **Y** чи **O**. Виводи корпуса, що не мають приєднання до цифрових елементів мають позначення **NC**. В одному корпусі можуть бути декілька ЛЕ. У цьому разі перед буквами ставиться цифра, що вказує до якого елемента належить вивід. Наприклад, на рис. 2.4,6 надана МС **7400** у вигляді корпуса, що має 16 виводів. У корпусі міститься 4 логічних двоходових елемента **I-HI** (**NAND**), що вже було видно з роз'яснення каталогу (рис.3.4,а, **Quad 2-In NAND**). Приєднання ЛЕ до виводів корпуса показано на рис. 2.5,а. Зображення логічних елементів **I-HI** виконано згідно стандартів України. На рис. 2.5,6 надано зображення цієї ж мікросхеми при її розміщенні на принципового кресленні цифрового приладу, де вона буде використана.



Рис. 2.5. Розміщення ЛЕ у корпусі мікросхеми 7400 та їх зображення згідно ДСТУ

Для того щоб забезпечити функціонування елементів, вивід **GND** необхідно приєднати до спільної точки (землі), а **VCC** – до джерела живлення (джерела <u>Vcc</u> <u>Vdd</u> у групі **Sources**, рис. 1).

На кресленнях схем цифрові елементи рисуються у вигляді умовних графічних зображень (УГЗ). Приклад УГЗ згідно ДСТУ елементу **І-НІ** надано на рис. 2.5.

Логічні елементи зі стандартним виходом не допускають з'єднання декількох виходів ЛЕ. При такому з'єднанні обов'язково виникає ланцюг короткого замкнення джерела живлення на землю через вихідні каскади з'єднаних елементів. Однак з'єднання виходів ЛЕ (вірніше, приєднання їхніх виходів до спільного дроту) необхідно для організації так званої "загальною шини", яка забезпечує послідовну у часі передачу інформації від декількох джерел через спільний канал зв'язку – набір проводів з'єднуючого кабелю.

Для рішення цієї задачі були розроблені мікросхеми з трьома станами (коротко, **3C**). Цифровий елемент з стандартним виходом може знаходитись двох станах: або високої, або низької напруги. У ІМС **3C** при подачі відповідного сигналу на управляючий електрод, обидва транзистори закриваються, розриваючи вихід як від джерела живлення, так і від землі.. Про таке відключення кажуть, що елемент введений у третій стан – *стан високого імпедансу*.

При вимірах (індикації) вихідної напруги елементу **3С** у стані високого імпедансу значення напруги не відрізняється від **0** (див. рис.2.7,а, де досліджується елемент **3С**, наданий умовним графічним зображенням, яке використовується у програмі EWB). Тобто складається враження, що вихід приєднаний до землі. Однак, виміри за допомогою мультиметра, налаштованого на опір (рис. 2.7,6), показують, що вихід елементу у цьому стані від'єднаний від спільної точки (землі).



Рис. 2.7. Визначення електричних показників виходу v стані **ЗС**



Рис. 2.8. Передача інформації на спільну шину

На рис. 2.8 показана схема, на якій об'єднані виходи двох елементів **3C** (**U1**, **U2**), що надані УГЗ. На їх входи поступає інформація від двох генераторів прямокутних імпульсів (генератори **V1** і **V3**) з різною частотою (для зручності спостереження). Ще більш низька частота від генератора **V2** підводиться до управляючого електроду елементів (називаються «Електродами стробування» і мають позначення **G**). , причому завдяки використання інвертора **U3** керуючи напруги поступають у протифазі. Напруга генераторів відповідає значенням напруг логічних сигналів (**0** і **5** B).

Як видно з осцилограм (рис. 2.9) при подачі на управляючий електрод напруги лог. 1 елемент **U1** передає на об'єднаний вихід інформацію, що поступає на його вхід. Інформація з другого інформаційного каналу блокується елементом **U3**, бо на його управляючий вхід завдяки інвертору **U2** надходить напруга лог.0, яка переводить елемент у стан високого імпедансу. При напрузі лог. 0 від генератора блокується перший канал, а до спільного виходу приєднується другий інформаційний канал.



Рис. 2.9. Осцилограми сигналів схеми рис. 2.7

Значно більші можливості ніж осцилограф для відображення цифрових сигналів має **Логічний** аналізатор (Logic Analyzer), що знаходиться у наборі Instrument. Він дозволяє побачити зміну у часі аж 16 логічних сигнали. Його зовнішній вид, при виводі на робоче поле екрану, показаний на

рис. 3.10. Зображення аналізатора не обертається. Враховуючи значну кількість можливих точок приєднання необхідно ретельно вибирати місце розташування аналізатора.



Рис. 2.10. Логічний аналізатор

Після подвійного клацання лівою кнопкою мишки на початковому зображенні на екрані виникає збільшене зображення екрана **Логічного аналізатора**.На рис. 2.11 показаний вид екрана аналізатора, на якому надані сигнали з лементів схемирис. 2.9 при відсутності зв'язку між виходами елементів **V1 i V3** (дві останні осцилограми).

	Logic Analyzer		<u> </u>
			7
0	ากอากกรากกอากกอากกราน	ատան	บบรามการการการการการการการการการการการการการก
0	J		
Ψ	L		
ଞ			
S	Լ.Ո.Ո.Ո.Ո.Ո.Ո.ՈՈ.Ո.ֆ		
Q			
X			

Рис. 2.11. Сигнали зі схеми рис. 2.8 при відсутності зв'язку між виходами елементів ЗС

Рисунку видно, що елементи **U1** і **U2** пропускають сигнали, коли на їх управляючому виводі надходять напруги лог. 1. Введення інвертора **U3** у коло сигналу управління дозволяє отримати протифазне відмикання елементів **3C**: при відкритому стані елементу **U1** елемент **U2** закритий і навпаки при відкритому стані елементу **U2** елемент **U1** закритий. Тому при з'єднанні виходів цих елементів їх вихідний сигнал приймає вид, наданий у верхній строчці рис. 3.9.

Робота з **Логічним аналізатором** схожа з роботою з осцилографом. Для спостереження за сигналами необхідно клацнути на кнопці **Pause** чи **Stop**. Для збільшення (зменшення) тривалості сигналів, що відображаються, необхідно, збільшити (зменшити) лічильник у вікні **Clocks per division** (діє подібно зміні швидкості розгортки у осцилографі). Є дві мірні лінійки і вікна у низу екрана з показниками часу їх знаходження. Знизу екрана є лінійка горизонтальної прокрутки, що дозволяє аналізувати процеси на значному інтервалі часу.

Мікросхеми з **3С**, зазвичай, буфери, які розраховані на значні струми, що забезпечує їх роботу на лінії з підвищеною ємністю, яка властива спільній шині. В технічній документації вказується напруга на управляючому електроді, при якій елемент працює за виходом у звичайному, стандартному, для цифрових МС, режимі. Тобто, при подачі на управляючий електрод вказаної напруги, напруга на виході буде змінюватись відповідно до вхідного сигналу. Режим стану **3С** відбувається при протилежному (інверсному) значенні напруги управляючого електрода.

Це було проілюстровано вище на елементі **3С**, наданому в УГЗ. Згідно умовних позначень активним рівнем сигналу управляючого електроду є 1. При заземлені управляючого електрода (рис. 2.7) логічний елемент переходив у стан високого імпедансу за виходам. Аналогічні переключення ЛЕ відбувались і у схемі рис. 2.8.

Буферні мікросхеми **3С** мають від 4 до 8 окремих незалежних елементів. У деяких з мікросхемах кожний елемент має власний управляючий електрод. Частіше один електрод забезпечує роботу групи елементів. Зазвичай таких груп дві.

Порядок виконання роботи

1. Дослідити та на заставі отриманих даних скласти таблиці істинності декількох з основних логічних елементів, які представлені у програмі умовними графічними зображеннями, які використовуються у програмі. Конкретні типи ЛЕ (УГЗ) надані у табл. 2.4 згідно варіанту. Варіант схеми, на якій можна одночасного дослідити таблиці істинності ЛЕ, представлений на рис. 2.12. Таблиця 2.4

№ вар.	1	2	3	4
	I:	I HI;	I-HI;	I-HI;
ЛЕ (УГЗ)	АБО-НІ	АБО	викл АБО	викл АБО-
	-			HI
Мікросхеми	7410	4025	4073	4075
<i>IMC</i> з 3С	74125	74368	74368	74240
№ вар.	5	6	7	8
	АБО-НІ;	викл АБО;	I;	АБО;
ЛЕ (УГЗ)	викл АБО	АБО	АБО-НІ	викл АБО-
				HI
Мікросхеми	4023	7427	7411	7415
<i>IMC</i> з 3С	74365	74241	74244	74244
№ вар.	9	10	11	12
	I HI·	AFO-HI.	I-HI-	АБО;
ЛЕ (УГЗ)	АБО	лысти, викл АБО	викл АБО	викл АБО-
	1120	biller rib o		HI
Мікросхеми	7411	4077	4025	4070
<i>IMC з 3С</i>	74126	74368	74465	74365
№ вар.	13	14	15	16
ЛЕ (УГЗ)	АБО-НІ;	викл АБО;	I;	АБО;
	АБО	АБО	АБО-НІ	викл АБО-
				HI
Мікросхем	7411	7427	4023	7415
и				
<i>IMC з 3С</i>	74365	74241	74244	74244
№ вар.	17	18	19	20
ЛЕ (УГЗ)	I HI;	АБО-НІ;	I-HI;	АБО;
	АБО	викл АБО	викл АБО	викл АБО-
				HI
Мікросхем	4070	4077	4025	7411
и				
IMC з ЗС	74126	74368	74465	74365

Вхідні сигнали, у якості яких служить нульова напруга та напруга джерела живлення, подаються на входи за допомогою двох перемикачів, які спрацьовують при натисненні клавіш «1» і «2» клавіатури. Перемикачі знаходяться у групі **Basic** і за замовчуванням реагують на клавішу пропуску (**Space**). Зміна клавіші відбувається у результаті подвійного клацання на зображенні перемикача і введені нового символу у виникле вікно**Кеу**. На рис. 2.12 такими кнопками є клавіша числа **1** – для лівого перемикача, і **2** – для правого.



Рис. 2.12. Схема дослідження таблиць істинності ЛЕ

Для зручності роботи у схему введені індикаторні лампочки (меню **Indicators**), які забарвлюються (червоніють) при високій напрузі, що відповідає «лог. **1**». При низькій напрузі, значення «лог. **0**», чи її відсутності – у елементів з виходом **3С**, вони остаються білими. Зробити скріни усіх можливих комбінацій.

2. Вивести на екран зображення мікросхеми, тип якої вказаний згідно заданого варіанта. Приєднати відповідні виводи до землі і джерела живлення. Визначити приєднання входів та виходів елементів до виводів корпус і дослідити таблицю істинності одного з елементів.

3. Дослідити цю ж мікросхему, використовуючи Генератор слів та Логічний аналізатор.

4. Зібрати схему рис.2.8. Приєднати до входів елементів генератори прямокутних імпульсів амплітудою 5 В (зазвичай така амплітуда встановлена «за замовчуванням»). Частоту першого генератора **F1** встановити (1000+N)Гц, другого **F2** – (400+N)Гц, де N – номер варіанту.

5. Дослідити роботу схеми з двома буферними елементами використовуючи мікросхему, вказану у табл. 2.4. Для індикації використайте **Логічний аналізатор**.

Основні операції в середовищі Multisim 13 Інтерфейс системи Multisim 13.

В інтегрованому пакеті *Multisim 13* після завантаження відображаються меню, панелі інструментів, панель контрольно-вимірювальних приладів, вікно редагування схеми.

Панель інструментів забезпечує доступ до наступних груп елементів: -

джерела (Sources);

- пасивні компоненти і комутаційні пристрої (Basic); -

діоди (Diodes);

- транзистори (Transistors);

- аналогові мікросхеми (Analog);
- цифрові мікросхеми TTL серії (TTL);
- цифрові мікросхеми КМОП серії (CMOS);

- окремі цифрові схеми, арифметико-логічні пристрої (АЛП), регістри, лічильники, мультиплексори, дешифратори, ОЗП і т. п. (Misc Digital);

- мікросхеми змішаного типу (Mixed); -

індикаторні пристрої (Indicators);

- компоненти змішаного типу (Miscellaneous)); -

аналогові обчислювальні пристрої (Controls);

- радіочастотні компоненти (RF);
- електромеханічні елементи (Electro-Mechanical).

Панель контрольно-вимірювальних приладів (Instruments) містить:

- цифровий мультиметр (Multimeter);
- функціональний генератор (Function Generator);
- вимірювач потужності (Wattmeter);
- осцилограф (Oscilloscope);
- вимірювач АЧХ і ФЧХ (Bode Plotter);
- генератор слів (Word Generator);
- логічний аналізатор (Logic Analyzer);
- логічний перетворювач (Logic Converter);

- вимірювач нелінійних спотворень у діапазоні частот від 20 до 200000 Гц (Distortion Analyzer);

- спектральний аналізатор (Sperctrum Analyzer);

- прилад для аналізу електричних кіл в узагальненому вигляді (Network Analyzer). Вікно
- редактора схем призначене для створення і редагування принципових схем

пристрою. Зміна налаштувань здійснюється за допомогою команди Options>Preferences.

Алгоритм технології підготовки та емуляція роботи електричних схем.

1. Вибір необхідних компонентів електричної схеми та розміщення їх у вікні редагування. Компоненти, необхідні для створення схеми, об'єднані в групи. Кожній групі цифрових компонентів відповідає кнопка на панелі інструментів (рис. 1.1).

Рис. 1.1 Позначення груп елементів: цифрові мікросхеми TTL серії; цифрові мікросхеми серії СМОS; цифрові схеми (Misc Digital).

При натисканні на кнопку групи відкривається діалогове вікно Вибір компонента (Select Component, рис. 1.2), у якому необхідно вибрати компонент, натиснути кнопку ОК і вказати мишкою місце елемента на схемі. Після завершення вибору всіх компонентів необхідно натиснути кнопку Close. Розміщення компонентів також здійснюється за допомогою команди Place – Place Component.

Select a Component		— 🗆 X
Database:	Component:	Symbol (ANSI Y32.2) OK
Master Database	~ 7400N	Tr. Close
Group:	7400N	
🗄 m	~ 7401N	search
Family:	7402N	Detail report
All <all families=""></all>	7403N	View model
74STD	7404N	
74STD IC	7405N	Help
14S	7406N	A B C I I I
74S IC	7407N	Eurotion:
174LS	74083	
74 S IC	7408N	
15 74F	7409N	
MB 74ΔIS	74100J	×
74AS	74100N	Model manufacturer/ID:
	74107N	IIT / 7400
	74109N	
	74116N	
	74125N	Backage manufacturer (turge)
	74126N	TRC-22216/2222 /NO14
	7412N	IPC-2221A/2222 / NOTT
	74132N	
	74136N	Hyperlink:
	7413N	v
Components: 1064	Searching:	Filter: off

Рис. А1.2. Діалогове вікно Вибір компонента.

У базі даних Multisim містяться реальні і віртуальні схемотехнічні компоненти, які мають відмінності у моделях і у приєднанні до конструктивних параметрів, зокрема до корпусів. Моделі віртуальних елементів не враховують часові затримки поширення сигналів,

а моделі реальних елементів – враховують, що необхідно при проектуванні з метою наступної апаратно-програмної реалізації схеми.

Реальний і віртуальний компоненти мають різне колірне відображення в робочій області Сігсці, реальний компонент відображається синім кольором, віртуальний – чорним.

2. Введення та зміна параметрів вибраних компонентів.

Подвійне клацання мишкою на компоненті у вікні редагування призводить до відображення вікна редагування властивостей компонента.

3. З'єднання компонентів схеми.

Після розміщення компонентів і встановлення параметрів здійснюється з'єднання їх виходів провідниками. Для виконання приєднання вказівник мишки підводиться до входу або виходу компонента і після появи точки вказівника з'єднання провідник проводиться між двома довільними точками мишею із натиснутою лівою кнопкою. Створення з'єднувача завершується клацанням мишки на вході другого елемента або подвійним клацанням за необхідності завершити з'єднувач в довільній точці схеми.

За необхідності розірвання з'єднання необхідно виділити з'єднувач і видалити його.

4. Вмикання електричної схеми.

Вмикання електричної схеми здійснюється за допомогою піктограми перемикача 0/1 в правому верхньому куті діалогового вікна: 0 – живлення вимкнено; 1 – живлення увімкнено. Після вмикання живлення здійснюється емуляція роботи схеми, і на контрольно-вимірювальних приладах реєструються характеристики.

Елементи переміщуються мишею або клавішами управління курсором.

Поворот виділеного елемента на 90° здійснюється за допомогою відповідних команд контекстного меню.

З метою видалення елемента чи провідника слід виділити його, після чого натиснути DEL на клавіатурі. Для редагування використовуються стандартні комбінації Ctrl+C (копіювання в буфер), Ctrl+V (вставлення із буфера), Ctrl+X (переміщення в буфер).

Дослідження і синтез логічних схем проводиться за допомогою логічного перетворювача (Logic Converter).

Приклад 1.1. Дослідити елемент І-НЕ, побудувати таблицю істинності.

Розв'язання. Дослідження логічного елемента здійснюється за допомогою логічного перетворювача. На рис. А1.3 наведено приклад приєднання елемента І-НЕ до входів (А, В) і виходу (Out) логічного перетворювача.



Рис. А1.3. Приєднання логічного елемента І-НЕ до логічного перетворювача.

За наявності двох входів можливі тільки чотири комбінації вхідних сигналів, що відображається у вигляді таблиці істинності, яка генерується після натискання кнопки.



Для отримання булевого виразу функціонування досліджуваного елемента чи схеми необхідно натиснути кнопку перетворення від таблиці істинності до булевого виразу.

10|1 → AlB

Одержаний вираз відображається у додатковому рядку виведення, розташованому в нижній частині вікна перетворювача. У логічному виразі використовуються наступні позначення: А' — інверсія А, В' – інверсія В, знак + відповідає логічній операції АБО.

У загальному випадку для синтезу схеми виконують наступні дії: відкрити логічний перетворювач; активізувати мишкою клеми-кнопки А, В...Н (починаючи з А), кількість яких дорівнює кількості входів пристрою, який синтезується; внести необхідні зміни у стовпець Вихід (OUT); натиснути у вікні перетворювача кнопки перетворень. Результат відображається у вигляді схеми в робочій області, а булевий вираз – у вікні логічного перетворювача.

Приклад 1.2. Побудувати за допомогою логічного перетворювача схему пристрою, функціонування якого задане таблицею істинності

А	В	Out
0	0	1
0	1	1
1	0	0
1	1	1

Розв'язання. Відкрити логічний перетворювач і виділити входи А, В. Для внесення необхідних змін у стовпець ОUT курсором виділити символ, який треба змінити, і ввести за допомогою клавіатури або змінити його багаторазовим виділенням мишкою.

Після внесення всіх змін послідовно натиснути на кнопки наступної групи:

101	→	AjB
101	SIMP	AjB
AjB	→ ī	101

Перша кнопка дозволяє здійснити формування логічного виразу за таблицею істинності. Наступна кнопка дозволяє за таблицею істинності одержати логічний вираз і здійснити його спрощення. Третя кнопка здійснює побудову таблиці істинності за логічним виразом.

Кнопки



використовуються для побудови схем в інших базисах логічних елементів.

Одержана логічна схема наведена на рис.1.4, а мінімізований логічний вираз – у полі редагування в нижній частині вікна перетворювача.



Рис. А1.4. Результат синтезу комбінаційної схеми за допомогою логічного перетворювача.

Подавання на вхід схеми логічних рівнів та імпульсних послідовностей здійснюється за допомогою компонента генератор слів (Word Generator) із панелі приладів (рис.А1.5).



Програмування Генератора слів здійснюється у вертикальному полі редагування вхідних сигналів у шістнадцятковій системі (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, F) або у двійковій системі у полі редагування Віпату. Кожний стовпець вертикального поля редагування відповідає одному розряду у шістнадцятковій системі або чотирьом розрядам двійкового коду.

Приклади програмування генератора слів та індикації вхідних слів за допомогою семисегментного індикатора а також програмування генератора слів, приєднання та дослідження роботи логічного елемента І наведено на рис. 6 – рис. 7 відповідно.



Рис.А1.6. Приклад програмування генератора та індикації слів на виходах



Рис А1.7. Приклад програмування генератора слів та приєднання логічного елемента.

Автоматичне заповнення генерованих слів зростаючою послідовністю здійснюється командою Set...– Up counter, встановлення початкового і кінцевого слова циклу – за допомогою контекстного меню – Set initial position, Set final position.

Для відображення часових діаграм вхідних і вихідних сигналів компонентів і схем необхідно вибрати прилад Логічний аналізатор (Logic Analyser) і подвійним клацанням відкрити область побудови часових діаграм.

Для аналізу комбінаційної схеми та побудови часових діаграм її необхідно приєднати до цифрового генератора слів (Word Generator) і логічного аналізатора.

Приклад 1.3 Аналіз логічного елемента І.

Аналіз логічного елемента I (7408N) здійснюється за допомогою генератора слів і логічного аналізатора. Один із варіантів приєднання елемента до генератора слів, програмування генератора слів і побудова часових діаграм роботи логічного елемента за допомогою логічного аналізатора наведені на рис. А1.8.



Рис. А1.8. Приклад побудови часових діаграм вхідних і вихідного сигналів логічного елемента І.

Приклад 1.4. Аналіз функціональної схеми.

Варіант приєднання та аналізу функціональної схеми пристрою до генератора слів та відображення рівнів сигналів на входах та виході за допомогою логічного аналізатора наведено на рис. А1.9.



Рис. А1.9. Аналіз функціонування комбінаційної схеми.

Графіки, схеми і компоненти копіюються в буфер обміну як фрагмент області екрану (пункт меню Tools/Capture Screen Area) і можуть бути вставлені в інший документ.

Додаток Б



Рис.Б1.1





Рис.Б1.2



Рис.Б1.3