

ЛАБОРАТОРНА РОБОТА 6

МОДЕЛЮВАННЯ СУМАТОРІВ І КОМПАРАТОРІВ

Мета: навчитись проектувати і моделювати суматори і компаратори багаторозрядних чисел, перетворювачі.

Хід роботи

1. Змоделювати схему однорозрядного цифрового компаратора згідно рис. 6.1.

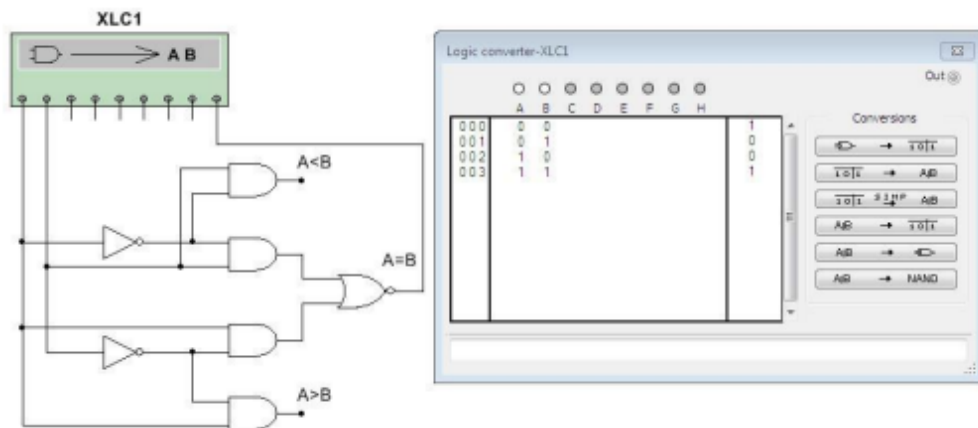


Рис. 6.1 Моделювання схеми однорозрядного цифрового компаратора.

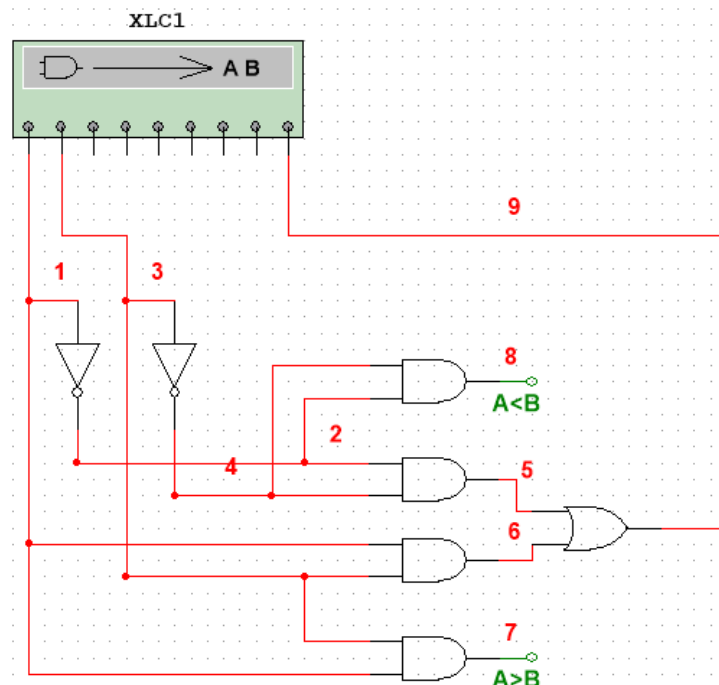


Рис. 6.2

					МММТ.420.015.015-ЗЛ6				
Змн.	Арк.	№ докум.	Підпис	Дата					
Розроб.		Кушимов К.В.			Електроніка та МПТ Звіт практичної роботи		Лім.	Арк.	Акрушів
Перевір.		Воронова Т. С.						1	7
							ДУ “Житомирська політехніка”, МТ-5		
Н. Контр.		.							
Затверд.									

2. Сформувати таблицю істинності для трьох режимів роботи компаратора: випадки $A=B$, $A>B$, A

Logic converter-XLC1

	A	B	C	D	E	F	G	H
000	0	0						0
001	0	1						1
002	1	0						0
003	1	1						0

Conversions

- $\Rightarrow \rightarrow \overline{101}$
- $\overline{101} \rightarrow A|B$
- $\overline{101} \xrightarrow{\text{IMP}} A|B$
- $A|B \rightarrow \overline{101}$
- $A|B \rightarrow \Rightarrow$
- $A|B \rightarrow \text{NAND}$

AB

Рис. 6.3. $A<B$

Logic converter-XLC1

	A	B	C	D	E	F	G	H
000	0	0						1
001	0	1						0
002	1	0						0
003	1	1						1

Conversions

- $\Rightarrow \rightarrow \overline{101}$
- $\overline{101} \rightarrow A|B$
- $\overline{101} \xrightarrow{\text{IMP}} A|B$
- $A|B \rightarrow \overline{101}$
- $A|B \rightarrow \Rightarrow$
- $A|B \rightarrow \text{NAND}$

$A'B + AB$

Рис. 6.4. $A=B$

Logic converter-XLC1

	A	B	C	D	E	F	G	H
000	0	0						0
001	0	1						0
002	1	0						1
003	1	1						0

Conversions

- $\Rightarrow \rightarrow \overline{101}$
- $\overline{101} \rightarrow A|B$
- $\overline{101} \xrightarrow{\text{IMP}} A|B$
- $A|B \rightarrow \overline{101}$
- $A|B \rightarrow \Rightarrow$
- $A|B \rightarrow \text{NAND}$

AB'

Рис. 6.5. $A>B$

3. Дослідити роботу однорозрядного напівсуматора.

З метою побудови таблиці істинності і логічного виразу необхідно під'єднати напівсуматор до перетворювача згідно рис.6.6 і послідовно натиснути кнопки

$\Rightarrow$	$\rightarrow \overline{101}$
$\overline{101}$	$\rightarrow A B$
$\overline{101}$	$\xrightarrow{\text{IMP}} A B$

Змн.	Арк.	№ докум.	Підпис	Дата

МММТ.420.015.015-3П6

Арк.

2

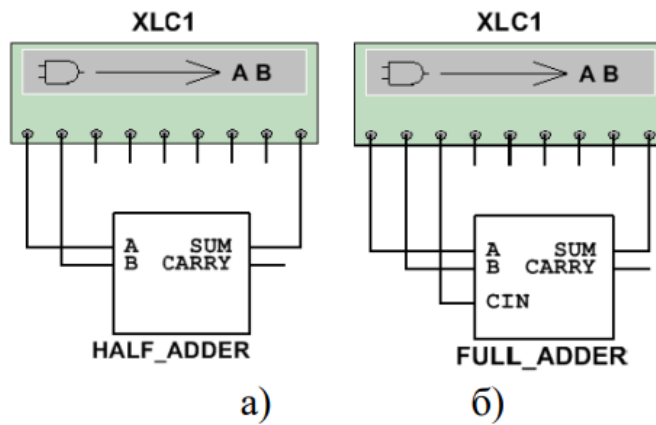


Рис. 6.6. Приклад під'єднання напівсуматора (а) та повного суматора (б) до логічного перетворювача.

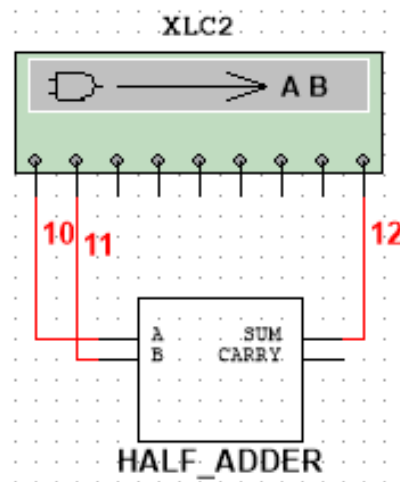


Рис. 6.7.

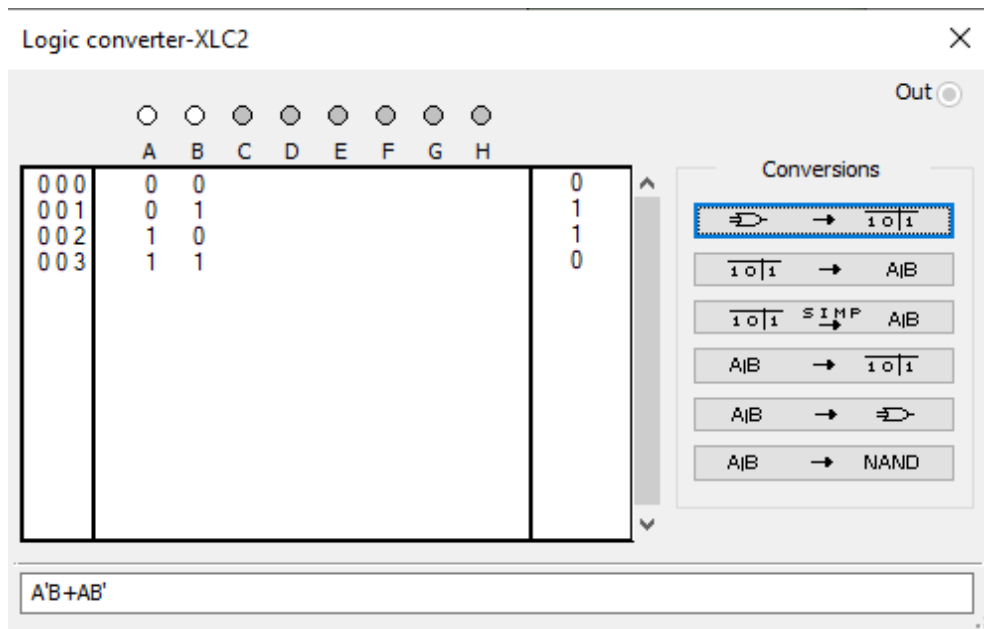


Рис. 6.8.

4. Дослідити роботу однорозрядного повного суматора, змодельовати схему згідно рис.6.6 (б).

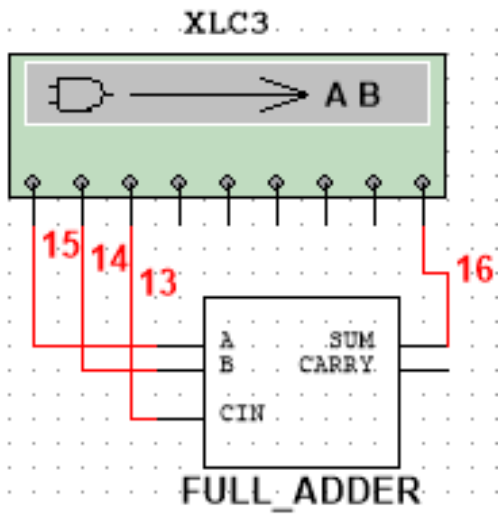


Рис. 6.9.

Logic converter-XLC3

	A	B	C	D	E	F	G	H	Out
000	0	0	0						0
001	0	0	1						1
002	0	1	0						1
003	0	1	1						0
004	1	0	0						1
005	1	0	1						0
006	1	1	0						0
007	1	1	1						1

Conversions

- $\overline{A}B \rightarrow \overline{1}0|1$
- $\overline{1}0|1 \rightarrow A|B$
- $\overline{1}0|1 \xrightarrow{\text{SIMP}} A|B$
- $A|B \rightarrow \overline{1}0|1$
- $A|B \rightarrow \Rightarrow$
- $A|B \rightarrow \text{NAND}$

$A'B'C + A'BC' + AB'C' + ABC$

Рис. 6.10.

5. Спроекувати та здійснити моделювання трирозрядного суматора з послідовним перенесенням. Приклад моделювання дворозрядного суматора наведено на рис. 6.11.

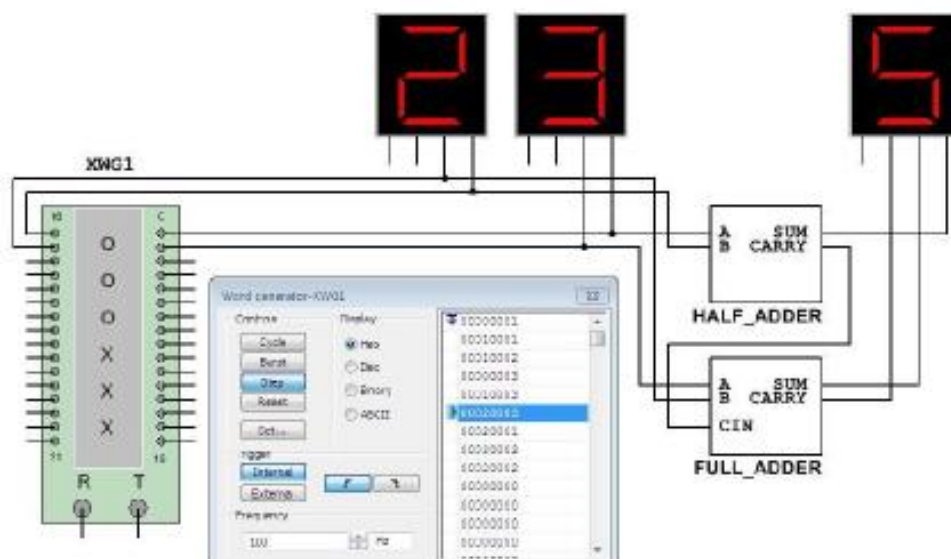


Рис. 6.11. Моделювання дворозрядного суматора.

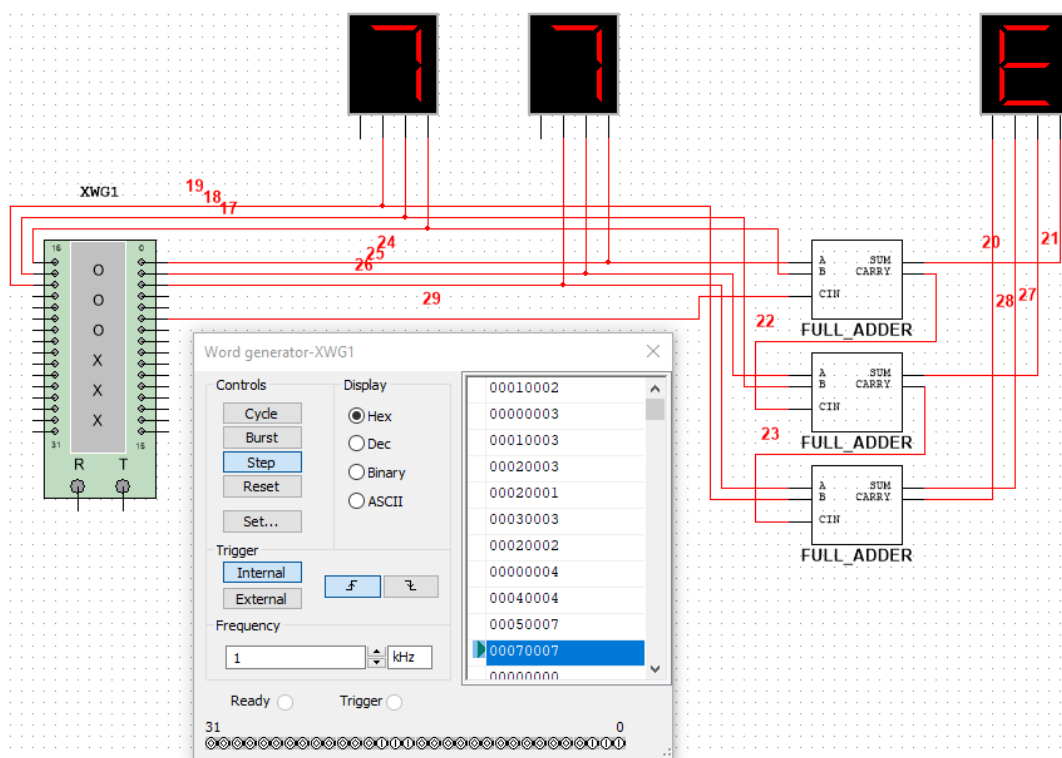


Рис. 6.12

6. Синтезувати схему і змодельювати компаратор для порівняння двох дворозрядних чисел з трьома виходами: якщо перше число більше другого, якщо перше число дорівнює другому, якщо перше число менше другого.

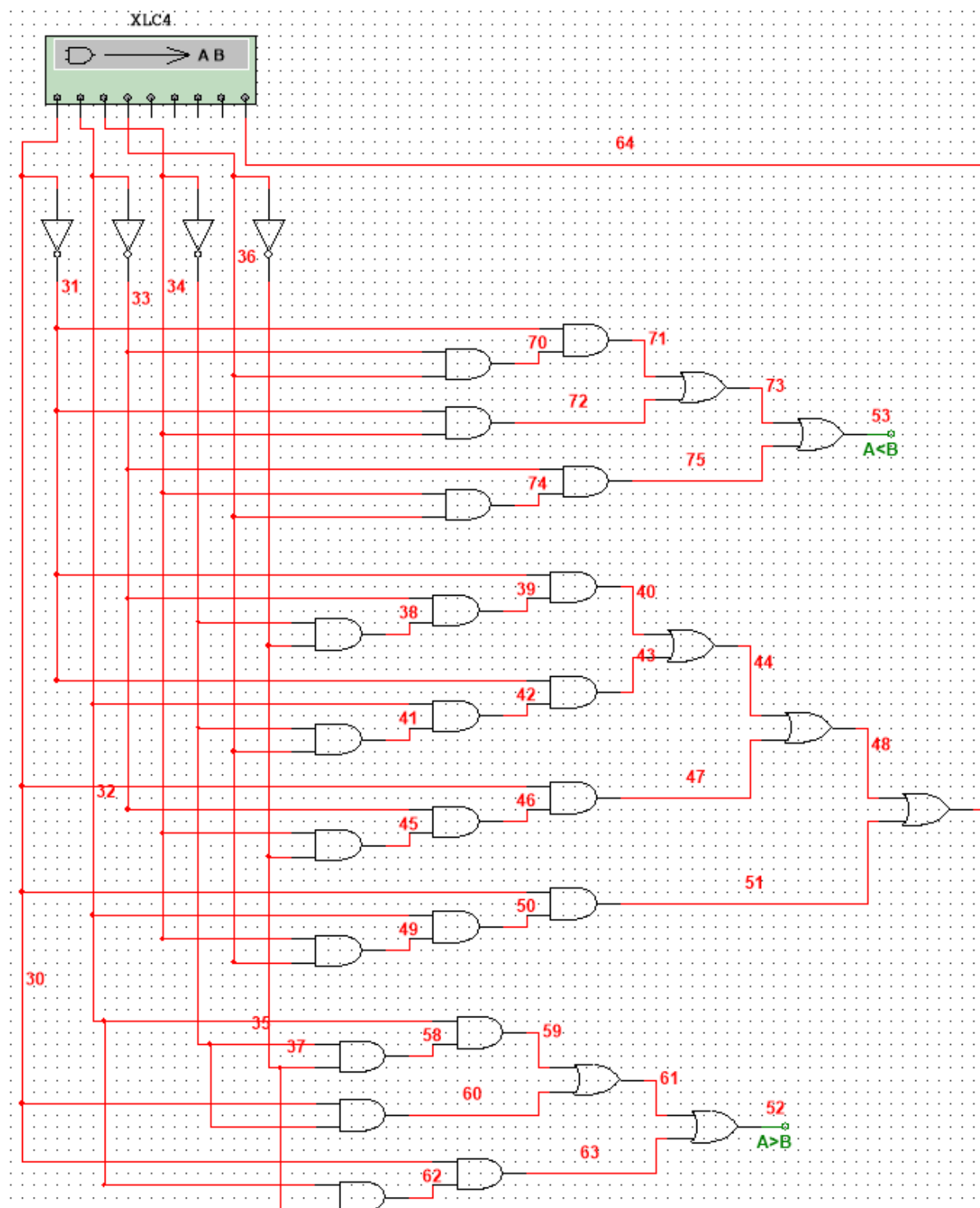


Рис. 6.13

Змн.	Арк.	№ докум.	Підпис	Дата

МММТ.420.015.015-3П6

Арк.

6

7. Здійснити моделювання трирозрядного перетворювача прямого коду в обернений відповідно до прикладу 6.1. Побудувати часові діаграми рівнів сигналів на входах і виходах схеми.

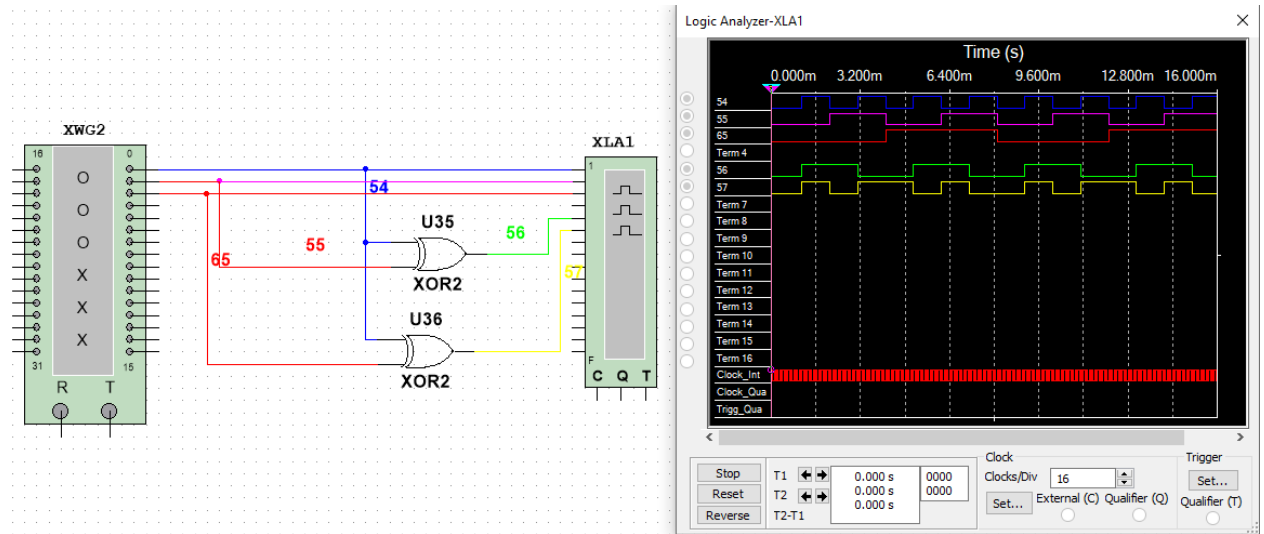


Рис. 6.14

Висновки: під час виконання практичної роботи я навчився проектувати і моделювати суматори і компаратори багаторозрядних чисел та перетворювачі.