

Лабораторна робота №3

Тема: Синтез комбінаційної схеми

Мета: Вивчити метод мінімізації за допомогою карт Карно, навчитися синтезувати комбінаційні схеми, навчитися будувати електричні принципові схеми та досліджувати їх роботу

Виконання роботи

The image shows a student's handwritten work on a grid notebook. It includes a truth table for a 4-variable function, two Karnaugh maps, a Boolean algebra derivation, a list of prime implicants, and a logic circuit diagram.

N	X ₁	X ₂	X ₃	X ₄	Y
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

$$y = \overline{x_2} \overline{x_3} x_4 + x_1 x_2 x_4 + x_1 \overline{x_2} \overline{x_3} + \overline{x_2} x_4$$

$$y = \overline{x_2} \overline{x_3} x_4 \bullet x_1 x_2 x_4 \bullet x_1 \overline{x_2} \overline{x_3} \bullet \overline{x_2} x_4$$

3 шт. - „11”
 3 шт. - „3i-11” (на 3 вкл.)
 1 шт. - „2i-11” (на 2 вкл.)
 1 шт. - „4i-11” (на 4 вкл.)

The logic circuit diagram shows four inputs (X₁, X₂, X₃, X₄) connected to four AND gates. The outputs of these AND gates are connected to a single OR gate, which produces the output Y.

Рис. 3.1 Виконання до програмної частини

ММАТ. 420.025.011 – 3ЛЗ				
Змн.	Арк.	№ докум.	Підпис	Дата
Розроб.		Соколюк К. Р.		
Перевір.		Воронова Т.С.		
Електротехніка та мікропроцесорна техніка				
		Літ.	Арк.	Аркушів
			1	
ДУ «Житомирська політехніка», група АТ-33				

Пояснення до програмної частини

Згідно з заданим варіантом (11) формуємо таблицю вхідних та вихідних сигналів;

За допомогою карти Карно мінімізуємо та записуємо рівняння для y ;

Модернізуємо рівняння за законом загальної інверсії;

Отримуємо елементи логічної схеми на основі отриманого рівняння та, додатково, малюємо логічну схему рівняння.

В програмному середовищі Multisim, створюємо логічну схему та перевіряємо її роботу

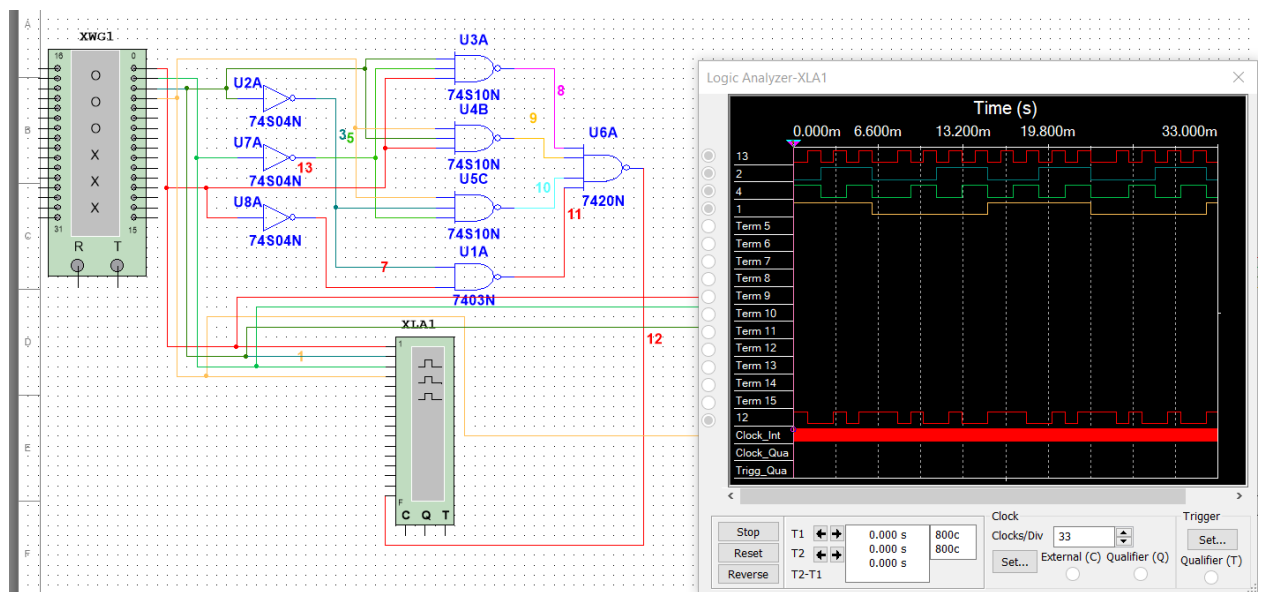


Рис. 3.2 Створена власноруч логічна схема

									Арк.	
Змн.	Арк.	№ докум.	Підпис	Дата	ММАТ. 420.025.011 – ЗЛЗ					

Генеруємо електронну схему за допомогою логічного конвертора:

Logic converter-XLC1

Out

	A	B	C	D	E	F	G	H	
004	0	1	0	0					0
005	0	1	0	1					1
006	0	1	1	0					0
007	0	1	1	1					0
008	1	0	0	0					1
009	1	0	0	1					1
010	1	0	1	0					1
011	1	0	1	1					0
012	1	1	0	0					0
013	1	1	0	1					1
014	1	1	1	0					0
015	1	1	1	1					1

Conversions

- $\overline{A}B \rightarrow \overline{A|B}$
- $\overline{A|B} \rightarrow A|B$
- $\overline{A|B} \xrightarrow{\text{SIMP}} A|B$
- $A|B \rightarrow \overline{A|B}$
- $A|B \rightarrow \overline{A}B$
- $A|B \rightarrow \text{NAND}$

$A'B'C'D'+A'B'CD'+A'BC'D'+AB'C'D'+AB'C'D+AB'CD'+ABC'D+ABCD$

Рис. 3.3 Отримання рівняння логічної схеми

Logic converter-XLC1

Out

	A	B	C	D	E	F	G	H	
004	0	1	0	0					0
005	0	1	0	1					1
006	0	1	1	0					0
007	0	1	1	1					0
008	1	0	0	0					1
009	1	0	0	1					1
010	1	0	1	0					1
011	1	0	1	1					0
012	1	1	0	0					0
013	1	1	0	1					1
014	1	1	1	0					0
015	1	1	1	1					1

Conversions

- $\overline{A}B \rightarrow \overline{A|B}$
- $\overline{A|B} \rightarrow A|B$
- $\overline{A|B} \xrightarrow{\text{SIMP}} A|B$
- $A|B \rightarrow \overline{A|B}$
- $A|B \rightarrow \overline{A}B$
- $A|B \rightarrow \text{NAND}$

$AB'C'+B'D'+BC'D+ABD$

Рис. 3.4 Спрощення рівняння

Отримуємо згенеровану схему

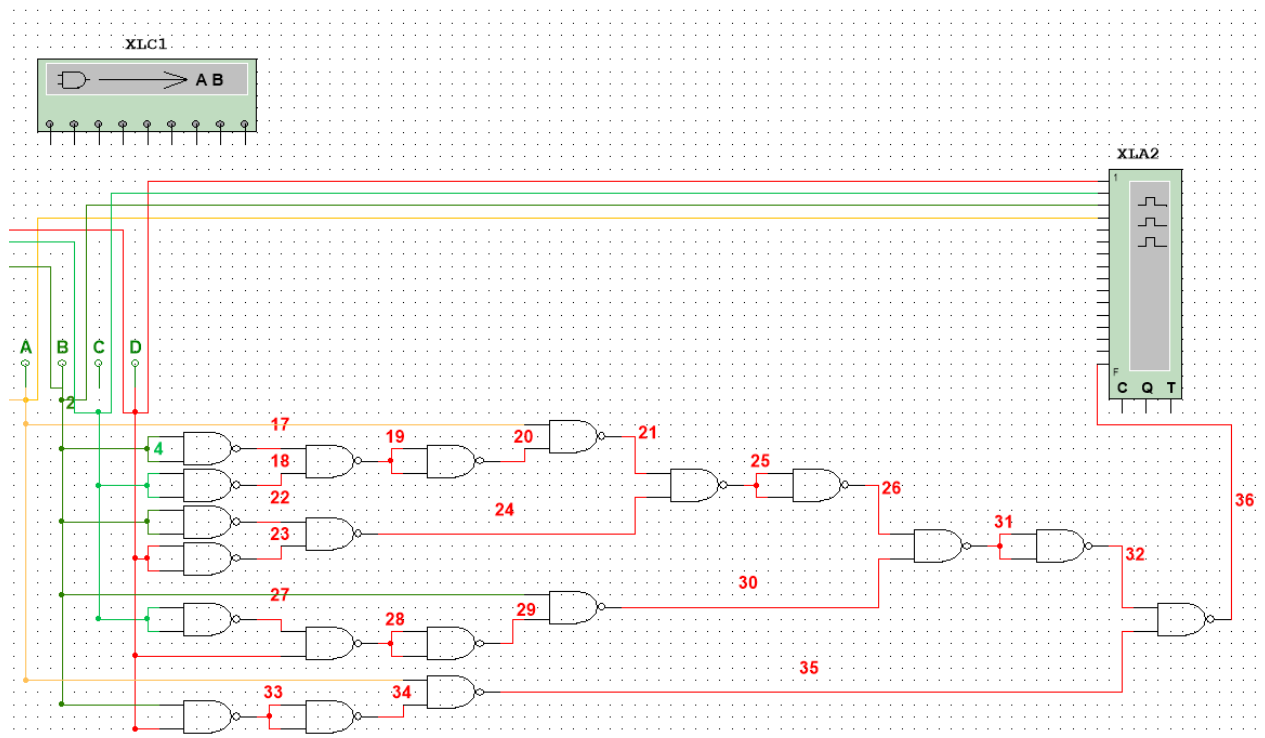


Рис. 3.5 Згенерована схема за допомогою Logic converter

Перевіряємо її роботу

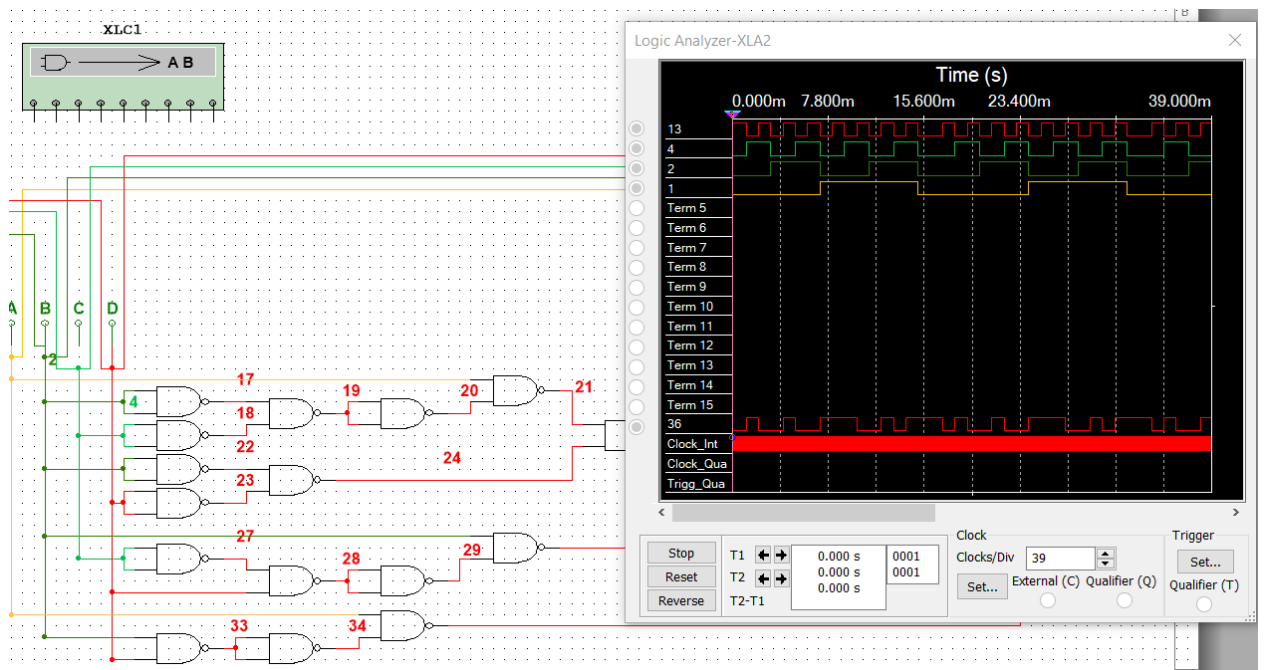


Рис. 3.6 Результат роботи отриманої схеми

Порівнюємо результати обох схем

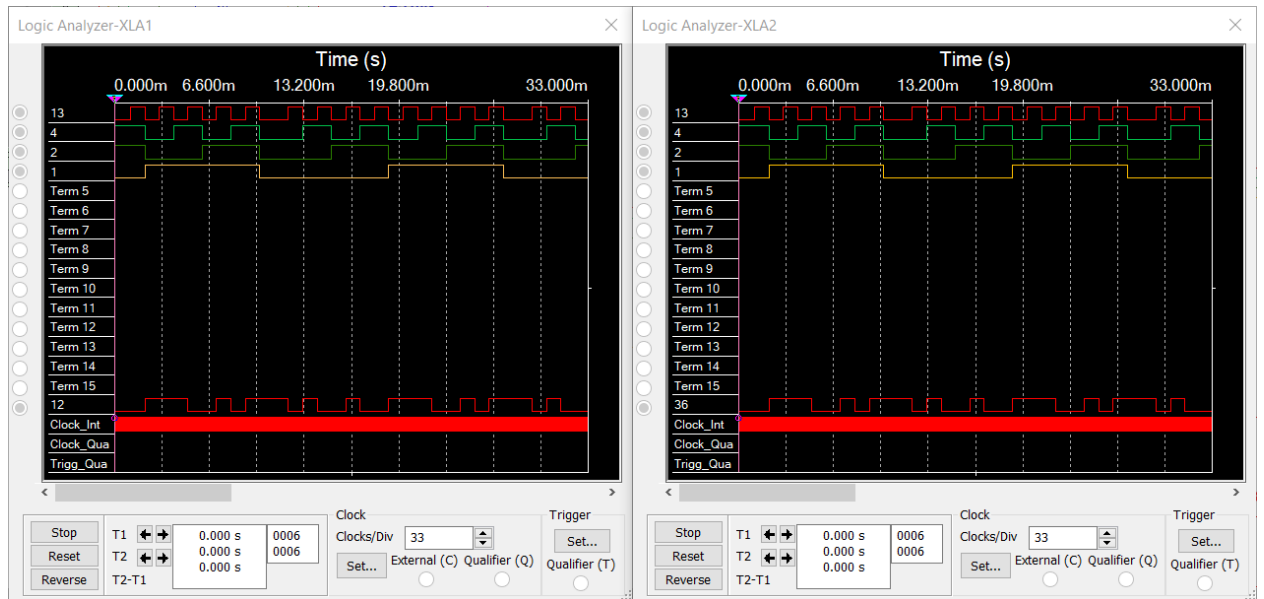


Рис. 3.7 Порівняння результатів двох схем (власної та згенерованої)

Висновок

За час проведений на лабораторній роботі, було вивчено метод мінімізації за допомогою карт Карно, навчено як синтезувати комбінаційні схеми, навчилися будувати електричні принципові схеми та досліджувати їх роботу. В результаті отримали два ідентичні результати з двома схемами, зробленою власноруч та синтезованою програмно.

					ММАТ. 420.025.011 – ЗЛЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		