

## Лекція 4

### СХЕМОТЕХНІКА ЛОГІЧНИХ ЕЛЕМЕНТІВ

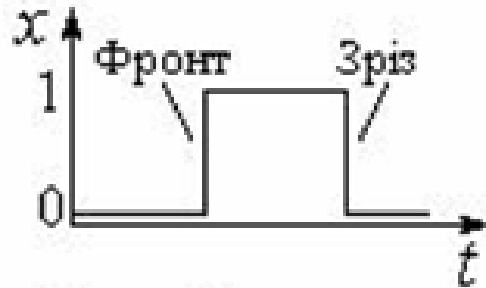


Рис. 1. Імпульсний сигнал

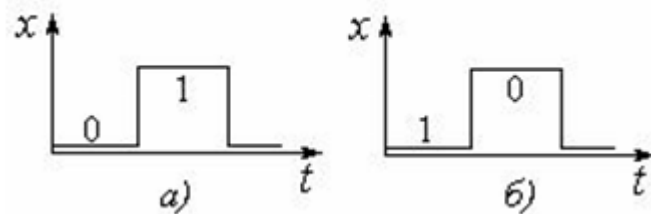


Рис. 2 . Логіка а - позитивна, б – негативна

### Інвертор (логічний елемент НЕ)

$$F = \bar{A}$$

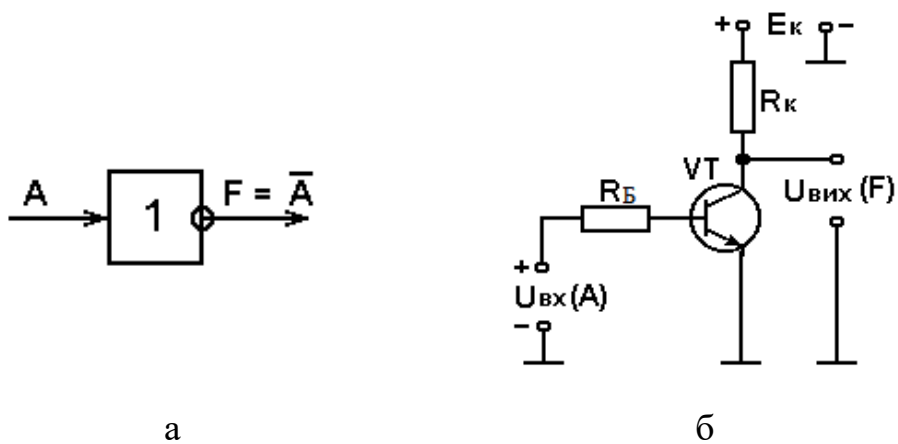


Рис. 3 – Логічний елемент НЕ: а – позначення на електричних схемах; б – принципова схема

## Кон'юнктор (логічний елемент І)

$$F=A \wedge B=A \cdot B.$$

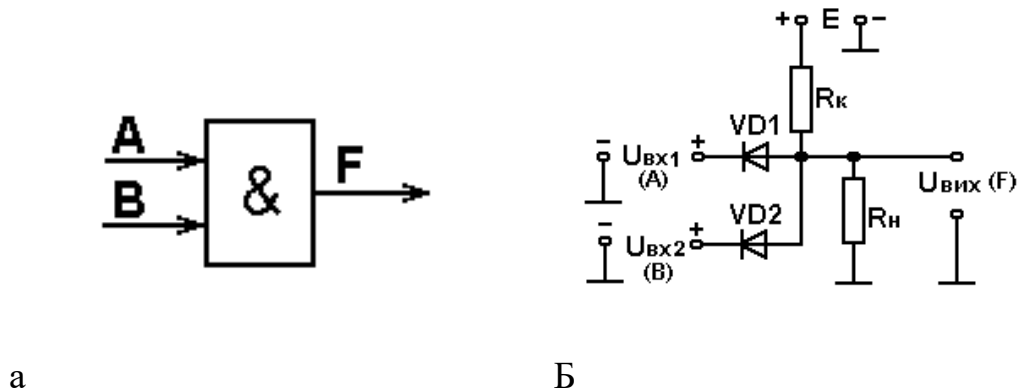


Рис. 4 – Логічний елемент І: а – позначення на електричних схемах; б – принципова схема

Таблиця 1 – Таблиця істинності логічного елемента І

N набору	B	A	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

## Диз'юнктор (логічний елемент АБО)

$$F=A \vee B=A+B.$$

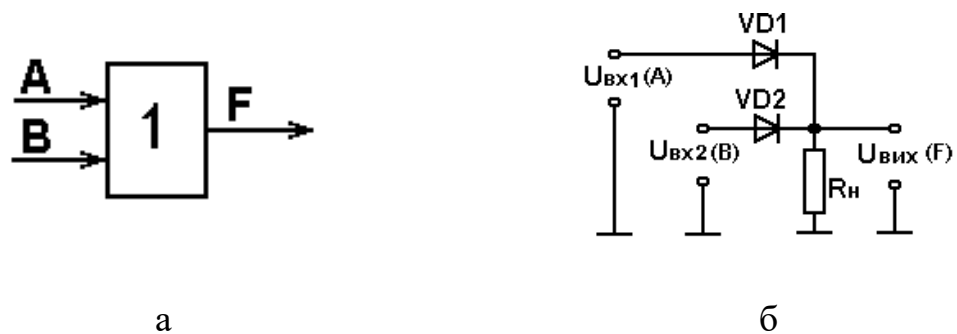


Рис. 5 – Логічний елемент АБО: а – позначення на електричних схемах; б – принципова схема

Таблиця 2 – Таблиця істинності логічного елемента АБО

<b>N набору</b>	<b>B</b>	<b>A</b>	<b>F</b>
<b>0</b>	0	0	0
<b>1</b>	0	1	1
<b>2</b>	1	0	1
<b>3</b>	1	1	1

**Повторювач**

$$F = A.$$

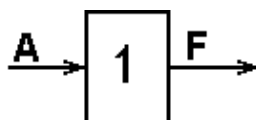


Рис. 6 – Позначення повторювача на електричних схемах

**Логічний елемент І – НЕ**

$$F = \overline{A \wedge B} = \overline{A \cdot B} \tag{5}$$



Рис. 7 – Логічний елемент І-НЕ: а – позначення на електричних схемах; б – функціональна схема

Таблиця 3 – Таблиця істинності логічного елемента І-НЕ

<b>N набору</b>	<b>B</b>	<b>A</b>	<b>F</b>
<b>0</b>	0	0	1
<b>1</b>	0	1	1
<b>2</b>	1	0	1
<b>3</b>	1	1	0

## Логічний елемент АБО - НЕ

$$F = \overline{A + B} = \overline{A} \vee \overline{B} \text{ (б)}$$

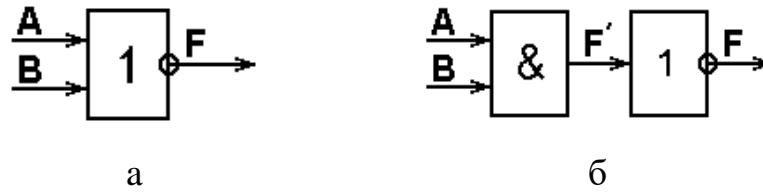


Рис. 8 – Логічний елемент АБО-НЕ: а – позначення на електричних схемах; б – функціональна схема

Таблиця 4 – Таблиця істинності логічного елемента АБО-НЕ

<b>N набору</b>	<b>B</b>	<b>A</b>	<b>F</b>
<b>0</b>	0	0	1
<b>1</b>	0	1	0
<b>2</b>	1	0	0
<b>3</b>	1	1	0

## Виключне АБО

$$F = A \veebar B.$$

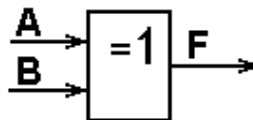


Рис. 9 – Позначення логічного елемента “Виключне АБО” на електричних схемах

Таблиця 5 – Таблиця істинності логічного елемента Виключне АБО

<b>N набору</b>	<b>B</b>	<b>A</b>	<b>F</b>
<b>0</b>	0	0	0
<b>1</b>	0	1	1
<b>2</b>	1	0	1
<b>3</b>	1	1	0

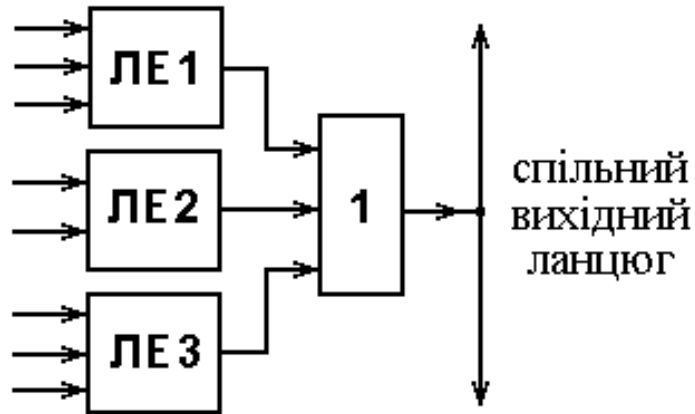


Рис. 10 – Схема об'єднання виходів декількох логічних елементів на спільний вихідний ланцюг

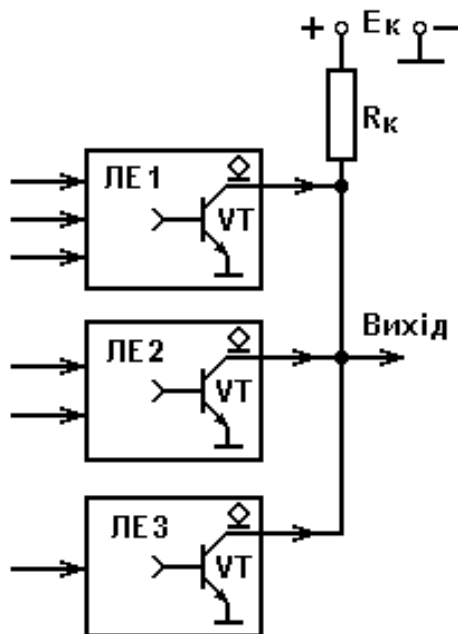


Рис. 11 – Схема об'єднання виходів декількох логічних елементів із відкритим колектором на спільний вихід

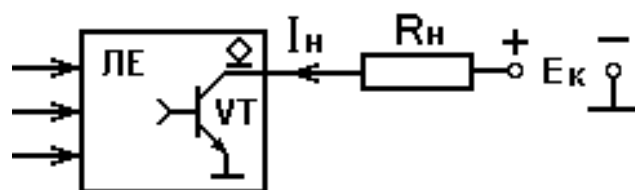


Рис. 12 - Схема підключення до виходу логічного елемента із відкритим колектором зовнішнього навантаження  $R_n$

$$I_n \leq I_{вих}^0.$$

де  $I_n$  - струм навантаження;  $I_{вих}^0$  - значення максимального струму, що може протікати через відкритий вихідний транзистор логічного елемента (на виході логічний нуль).

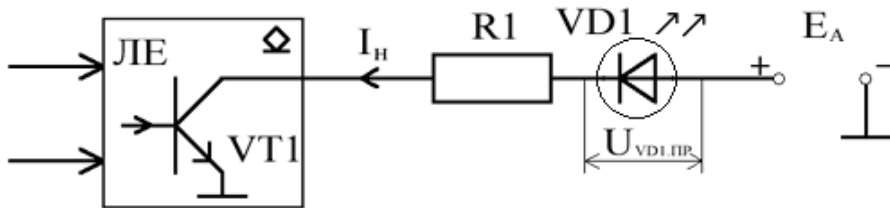
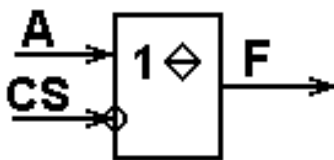


Рис. 13 – Схема підключення світлодіода до ЛЕ з відкритим колектором

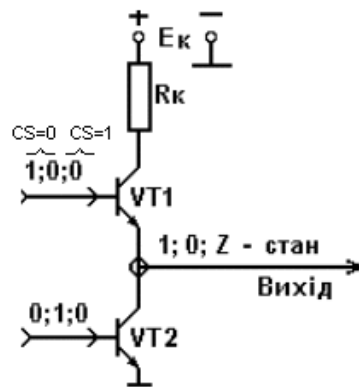
$$R1 = \frac{E_A - U_{VD1.пр}}{I_{засв. VD1}}.$$

Наприклад,  $E_A = 5$  В,  $U_{VD1.пр} = 2$  В,  $I_{засв. VD1} = 20$  мА.

$$\text{Тоді } R1 = \frac{5 - 2}{20 \cdot 10^{-3}} = 150 \text{ Ом.}$$



а



б

Рис. 14 – Логічний елемент з трьома станами вихідного сигналу:

а – позначення на електричних схемах; б – принципова схема

# ПАРАМЕТРИ І ХАРАКТЕРИСТИКИ ЦИФРОВИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМ (ІМС)

1 Коефіцієнт об'єднання по входу ( $K_{об}$ )

2 Коефіцієнт розгалуження по виходу ( $K_{роз}$ )

3 Статичні характеристики

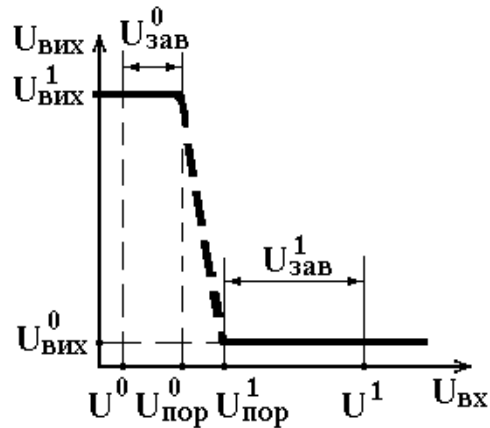


Рис. 15 – Передавальна характеристика інвертора ТТЛ - типу

4 Завадостійкість

5 Динамічні характеристики і параметри

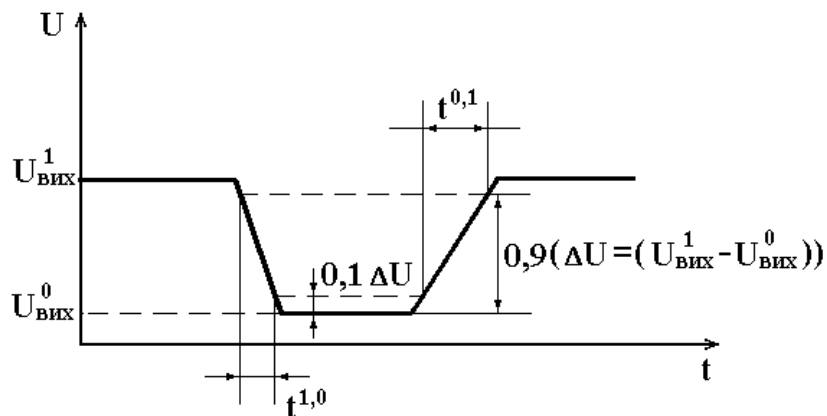


Рис. 16 – Зміна вихідної напруги логічного елемента у часі при його  
перемиканні з 1 в 0 і навпаки

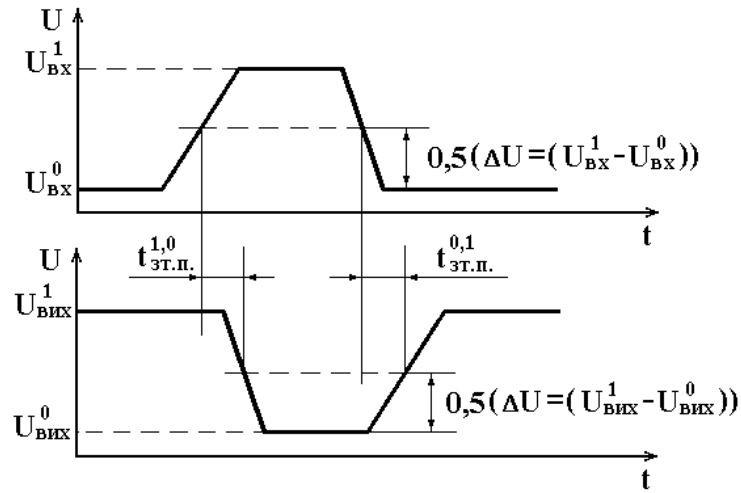


Рис. 17 – Зміни у часі вхідної та вихідної напруг логічного елемента

## 6 Вигляд реалізованої логічної функції

## 7 Споживані струм і потужність

$$P_{\text{сп.ср}} = 0,5 \cdot (P_{\text{сп}}^1 + P_{\text{сп}}^0)$$

## 8 Вхідні і вихідні струми, напруги

$I_{\text{вх}}^0$  - найбільший вхідний струм при сигналі 0 на вході;

$I_{\text{вх}}^1$  - найбільший вхідний струм при сигналі 1 на вході;

$U_{\text{вих}}^1$  - мінімальна вихідна напруга при логічній 1 на виході;

$U_{\text{вих}}^0$  - максимальна вихідна напруга при сигналі 0 на виході.

## 9 Порогові напруги

Зона невизначеності  $\Delta U_{\Gamma} = U_{\text{пор}}^1 - U_{\text{пор}}^0$ ,

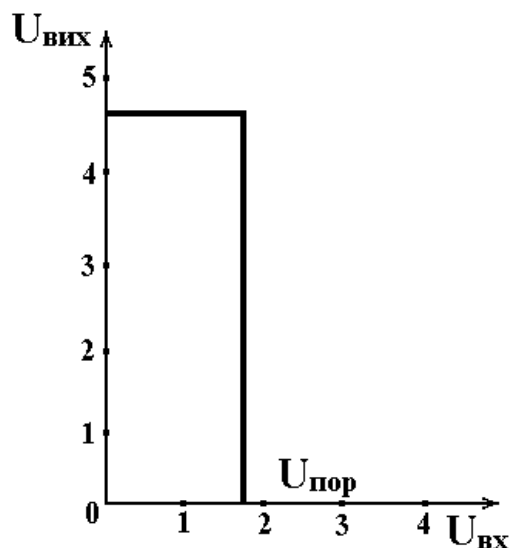


Рис. 18 – Передавальна характеристика ідеального логічного елемента

$$U_{\text{пор}} = U_{\text{пор}}^0 = U_{\text{пор}}^1$$



## 10 Допустимі значення основних параметрів

$E_{\min}$ ,  $E_{\max}$  - допустимі значення напруги живлення;

$U_{\min}^1$ ,  $U_{\max}^0$  - допустимі значення рівнів логічних сигналів одиниці і нуля;

$I_{\text{вх. max}}^0$ ,  $I_{\text{вих max}}^0$ ,  $I_{\text{вих min}}^1$  - допустимі вхідний і вихідний струми в стані 0 і 1.

Існує ще ряд параметрів, наприклад, техніко-економічних, що приводяться в технічній документації, яка додається до ІМС, і в довідниках.

Промисловість випускає різноманітні ІЛЕ. Залежно від типу базових ключів виділяють такі типи інтегральних логічних схем:

- діодно - транзисторна логіка (ДТЛ);
- резисторно - транзисторна логіка (РТЛ);
- резисторно - є мнісна транзисторна логіка (РСТЛ);
- транзисторно - транзисторна логіка (ТЛ);
- емітерні - зв'язана транзисторна логіка (ЕЗТЛ);
- транзисторно-транзисторна логіка з бар'єром Шоттки (ТТЛШ);
- логіка на МОН - структурах (МОНЛ);
- логіка на комплементарних МОН - структурах (КМОН);
- інжекційно-інтегральна логіка (І<sup>2</sup>Л).

**Таблиця 1 Порівняльні характеристики ІМС різних серій**

Тип логіки	Серія ІМС	$U_{ж},$ В	$U_{вих}^1,$ В	$U_{вих}^0,$ В	$U_3,$ В	$t_{з.сер},$ нс	$P_{спож.},$ мВт
ЕЗЛ	К1500	-4.5	-1.03	-1.61	0.1	1.4	16
	К500	-5.2	-0.98	-1.63	0.1	2.9	34
ТТЛШ	К1531	5	2.7	0.5	0.5	3.8	2.1
	К531					5	16
	К1533					12	2.4
	К555					20	7.5
КМОН	К176	9	7.7	0.5	0.9	200	10-3
	К561	5*	4.99	0.01	2.5	160	10 <sup>-5**</sup>
	К564	5*	4.99	0.01	2.5	160	10 <sup>-5**</sup>
ТТЛ	К131	5	2.4	0.4	0.4	11	40
	К155					19	25
	К134					100	2

\* Зберігають працездатність при зміні напруги живлення від 3 до 15В.  
 \*\* Не більше 0.1мВт на частоті 1МГц.

**Таблиця 2 Розподіл за рангами логічних елементів**

Тип логічного елемента	Швидкодія	Розсіювана потужність	Розгалуження за входом	Завадостійкість	Степінь генерації завад
РТЛ	5	6	5	10	2
ДТЛ	7	6	5	9	2
ТТЛ	3	6	5	5	9
р-МДН	10	2	2	3	2
п-МДН	8	2	2	4	2
КМОН	9	1	1	1	2
ТТЛШ	2	8	5	5	9
ІІЛ	5	4	5	5	2
ЕЗЛ	1	10	2	4	1

