

## Лабораторна робота №5

### Моделювання арифметико-логічного пристрою.

Мета: ознайомитись і навчитись моделювати режими роботи і функції арифметико-логічного пристрою, які використовуються в мікропроцесорах.

#### 1. Основні теоретичні відомості

*Арифметико-логічний пристрій.*

Арифметико-логічний пристрій (АЛП) (англ. Arithmetic Logic Unit, ALU) – блок процесора, що використовується для виконання арифметичних та логічних перетворень над даними, які називаються операндами. Цей пристрій є фундаментальною частиною будь-якого обчислювача. Центральний процесор та відеопроцесор можуть мати декілька АЛП, які відрізняються своїм функціональним призначенням або типом оброблюваних даних.

Інтегральна мікросхема арифметико-логічного пристрою 74181 (рис. 9.1) забезпечує 32 режими роботи АЛП залежно від стану управляючих сигналів на входах M, S0...S3.

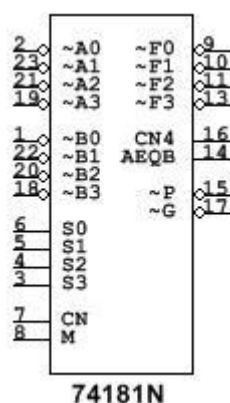


Рис. 5.1 Мікросхема арифметико-логічного пристрою.

Зміною станів сигналів на управляючих входах моделюються більшість функцій АЛП, які використовуються в мікропроцесорах.

Режими задаються подаванням сигналів 0 або 1 на входи управління S0, S1, S2, S3. У положенні перемикача M=0 (сигнал 0), виконуються 16 арифметичних операцій (16 комбінацій сигналів S0...S3) з урахуванням перенесення на вході CN (CN=1) або без урахування перенесення (CN=0). При M=1 виконуються 16 логічних операцій, коди яких задаються на входах S0, S1, S2, S3.

Логічні операції з операндами  $A = (A_3, A_2, A_1, A_0)$  і  $B = (B_3, B_2, B_1, B_0)$  виконуються порозрядно:  $A * B = (A_3 * B_3, A_2 * B_2, A_1 * B_1, A_0 * B_0)$ , де \* – довільна двомісна операція алгебри логіки. При виконанні арифметичних операцій АЛП є чотирирозрядним суматором з паралельним перенесенням.

Використовуються дві форми подання АЛП – для роботи з прямими й інверсними операндами. Якщо змінні  $A_i$ ,  $B_i$  і CN інверсні, то і функції  $F_i$  і CN 4 також змінюються на інверсні.

Функції і режими роботи мікросхеми АЛП для прямих і інверсних операндів наведені в табл. 5.1.

S3 S2 S1 S0	Арифметичні операції M=0	Логічні операції M=1
0 0 0 0	$F = A + 1 + CN$	$F = \overline{A}$
0 0 0 1	$F = A \wedge B + 1 + CN$	$F = \overline{A \wedge B}$
0 0 1 0	$F = A \wedge \overline{B} + 1 + CN$	$F = \overline{A \vee B}$
0 0 1 1	$F = 1 + CN$	$F = 1$
0 1 0 0	$F = A + (A \vee \overline{B}) + CN$	$F = \overline{A \vee B}$
0 1 0 1	$F = (A \wedge B) + (A \vee B) + CN$	$F = \overline{B}$
0 1 1 0	$F = A + \overline{B} + CN$	$F = \overline{A \oplus B}$
0 1 1 1	$F = (A \vee \overline{B}) + CN$	$F = A \vee \overline{B}$
1 0 0 0	$F = A + (A \vee B) + CN$	$F = \overline{A} \wedge B$
1 0 0 1	$F = A + B + CN$	$F = A \oplus B$
1 0 1 0	$F = (A \wedge \overline{B}) + (A \vee B) + CN$	$F = B$
1 0 1 1	$F = (A \vee B) + CN$	$F = A \vee B$
1 1 0 0	$F = A + A + CN$	$F = 0$
1 1 0 1	$F = A + (A \wedge B) + CN$	$F = A \wedge \overline{B}$
1 1 1 0	$F = A + (A \wedge \overline{B}) + CN$	$F = A \wedge B$
1 1 1 1	$F = A + CN$	$F = A$

## 2. Порядок виконання роботи

1. Здійснити моделювання арифметичних операцій додавання і віднімання арифметико-логічного пристрою.

Приклад моделювання режиму арифметичного додавання наведено на рис.5.1.

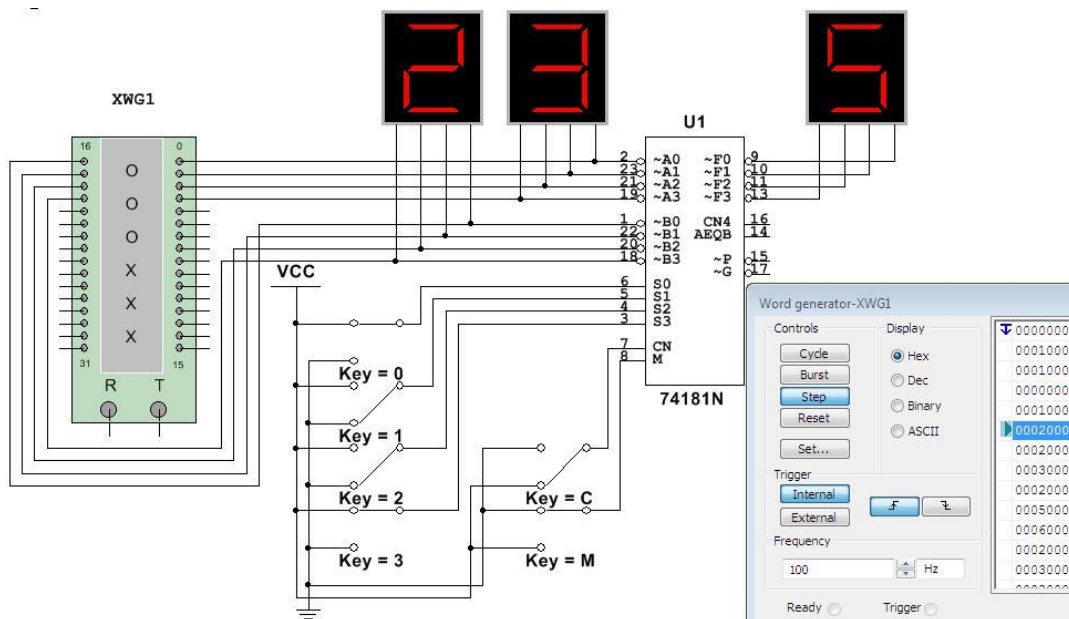


Рис. 5.1. Моделювання АЛП на ІМС 74181.

Значення чотирирозрядних операндів А і В задаються за допомогою генератора слів і у шістнадцятковому коді відображаються на алфавітно-цифрових індикаторах. Результат операції відображається на виходах F0...F3.

Режими задаються за допомогою перемикачів 0, 1, 2, 3 для подавання сигналів 0 або 1 на входи управління S0, S1, S2, S3. У положенні перемикача M=0 (сигнал 0), виконуються 16 арифметичних операцій (16 комбінацій сигналів S0...S3) з урахуванням перенесення на вході CN (CN=1) або без урахування перенесення (CN=0). При M=1 виконуються 16 логічних операцій, що задаються на входах S0, S1, S2, S3.

2. Здійснити моделювання виконання логічної операції інверсії першого операнда.
3. Визначити стан виходів схеми, якщо  $S_3S_2S_1S_0=0001$ ,  $A_3A_2A_1A_0=1110$ ,  $B_3B_2B_1B_0=1001$ , CN=1.
4. Об'єднати дві чотирирозрядні схеми 74181 і здійснити моделювання операції додавання восьмибітових чисел.
5. Здійснити моделювання режимів роботи відповідно до варіанту (табл. 5.2).

### Варіанти завдань

Таблиця 5.2

Варіант	M=1				M=0				
	S3	S2	S1	S0	S3	S2	S1	S0	CN
1	0	0	0	0	0	0	1	0	CN=1
2	0	0	0	1	0	0	0	1	CN=0
3	0	0	1	0	0	0	0	0	CN=1
4	0	0	1	1	0	1	0	1	CN=0
5	0	1	0	0	0	0	1	1	CN=1
6	0	1	0	1	0	1	1	0	CN=0
7	0	1	1	0	0	0	1	0	CN=1
8	0	1	1	1	1	0	1	0	CN=0
9	1	0	0	0	1	0	1	1	CN=1
10	1	0	0	1	1	1	0	1	CN=0
11	1	0	1	0	1	1	0	0	CN=1
12	1	0	1	1	1	1	1	0	CN=0
13	1	1	0	0	1	1	1	1	CN=1
14	1	1	0	1	1	0	0	0	CN=0
15	1	1	1	0	1	0	1	0	CN=1

### 3. Звіт повинен містити:

1. Завдання.
2. Функціональні схеми пристроїв для різних режимів роботи.
3. Коди операцій з поясненнями і результати їх виконання.
4. Висновки.

### 4. Контрольні питання

1. Які функції АЛП?
2. Інтегральні схеми АЛП Умовні позначення, принцип роботи, призначення виходів.
3. Режими роботи інтегральних схем АЛП.
4. Яке призначення виходу CN4?
5. Скільки ІС 74181 необхідно для додавання двох 32-розрядних чисел?