

## Лекція 7

### 1. Дешифратори-демультиплексори

*Демультиплексори* – це цифрові комбінаційні пристрої, функціональне призначення яких протилежне функціональному призначенню мультиплексорів. У них сигнали з одного інформаційного входу  $x$  розподіляються на  $2^m$  виходів  $y_i$ , які комутуються  $m$  адресними входами, тобто фактично вони є генераторами мінтермів. Завдяки цій властивості легко створювати канонічні суми, тобто реалізовувати за допомогою логічних операцій **АБО** логічні функції вхідних змінних.

Якщо прийняти кількість адресних входів  $m = 2$  (рис. 7.1), то роботу пристрою описуватимуть булеві рівняння (7.1). Прикладом табличної форми запису роботи демультиплексора, згідно з рівняннями (7.1), є табл. 7.1.

Таблиця 7.1.

| $V$ | $A_1$ | $A_0$ | $x$ | $y_0$     | $y_1$     | $y_2$     | $y_3$     |
|-----|-------|-------|-----|-----------|-----------|-----------|-----------|
| 0   | 0     | 0     | 1/0 | 1/0       | 0         | 0         | 0         |
| 0   | 0     | 1     | 1/0 | 0         | 1/0       | 0         | 0         |
| 0   | 1     | 0     | 1/0 | 0         | 0         | 1/0       | 0         |
| 0   | 1     | 1     | 1/0 | 0         | 0         | 0         | 1/0       |
| 1   | 0     | 0     | $x$ | $\bar{V}$ | 0         | 0         | 0         |
| 1   | 0     | 1     | $x$ | 0         | $\bar{V}$ | 0         | 0         |
| 1   | 1     | 0     | $x$ | 0         | 0         | $\bar{V}$ | 0         |
| 1   | 1     | 1     | $x$ | 0         | 0         | 0         | $\bar{V}$ |

$$\begin{aligned}
 y_0 &= \bar{v} \cdot x \cdot \bar{a}_0 \cdot \bar{a}_1 \\
 y_1 &= \bar{v} \cdot x \cdot a_0 \cdot \bar{a}_1 \\
 y_2 &= \bar{v} \cdot x \cdot \bar{a}_0 \cdot a_1 \\
 y_3 &= \bar{v} \cdot x \cdot a_0 \cdot a_1
 \end{aligned}
 \tag{7.1}$$

У відповідності до схеми рис. 7.1, активними станами виходів  $y_0 \div y_3$  є логічні “1”.

У мікросхемах ТТЛ виходи часто мають інверсні значення, і активні стани характеризуються низьким рівнем сигналу.

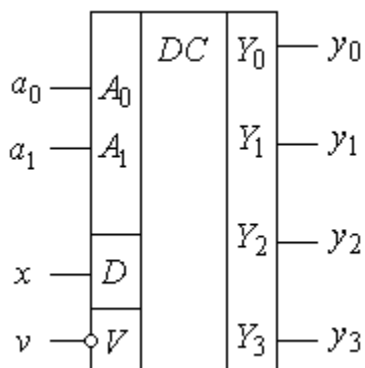


Рис. 7.1

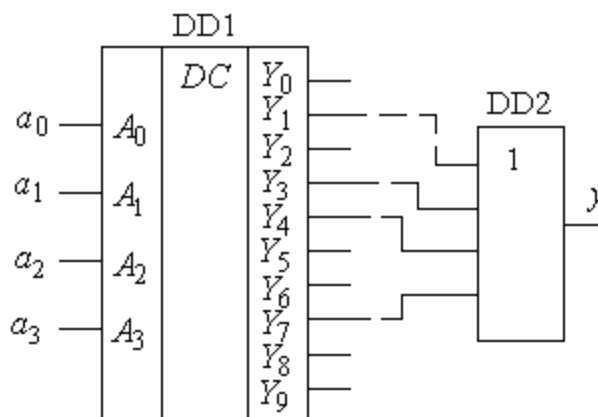


Рис. 7.2

Особливістю більшості серійних мікросхем є їх багатofункціональність. Приведена на рис. 7.2 мікросхема DD1 дешифратора при  $a_3 = 0$  виконуватиме функцію перетворювача трьохрозрядного двійкового коду у вісімковий. Значення  $a_3 = 1$  при цьому буде заборонено. Якщо на вхід  $a_3$  подавати послідовний двійковий код, а входи  $a_0, a_1, a_2$  використовувати як адресні, то одержимо демультиплексор “з 1 на 8”.

**Приклад 1.** Розробити перетворювач чотирьохрозрядного двійкового коду в код “2 з 5” та коду “2 з 5” в двійковий код.

*Розв’язання.* Код “2 з 5” використовується для безпомилкової передачі цифрової інформації. В цьому п’ятирозрядному коді кожна допустима комбінація містить дві одиниці та три нулі і, оскільки таких комбінацій десять, то кожна з них відповідає одній десятковій цифрі (Табл. 7.2).

Таблиця 7.2

| Десяткова<br>цифра | 4-розрядний<br>двійковий<br>код |       |       |       | Код «2 з 5» |       |       |       |       |
|--------------------|---------------------------------|-------|-------|-------|-------------|-------|-------|-------|-------|
|                    | $x_3$                           | $x_2$ | $x_1$ | $x_0$ | $a_4$       | $a_3$ | $a_2$ | $a_1$ | $a_0$ |
| 0                  | 0                               | 0     | 0     | 0     | 0           | 0     | 0     | 0     | 0     |
| 1                  | 0                               | 0     | 0     | 1     | 0           | 0     | 0     | 1     | 1     |
| 2                  | 0                               | 0     | 1     | 0     | 0           | 0     | 1     | 0     | 1     |
| 3                  | 0                               | 0     | 1     | 1     | 0           | 0     | 1     | 1     | 0     |
| 4                  | 0                               | 1     | 0     | 0     | 0           | 1     | 0     | 0     | 1     |
| 5                  | 0                               | 1     | 0     | 1     | 0           | 1     | 0     | 1     | 0     |
| 6                  | 0                               | 1     | 1     | 0     | 0           | 1     | 1     | 0     | 0     |
| 7                  | 0                               | 1     | 1     | 1     | 1           | 0     | 0     | 0     | 1     |
| 8                  | 1                               | 0     | 0     | 0     | 1           | 0     | 0     | 1     | 0     |
| 9                  | 1                               | 0     | 0     | 1     | 1           | 0     | 1     | 0     | 0     |

Мінімізуючи функції  $a_0 \div a_4$ , отримаємо вирази для вихідних сигналів:

$$a_0 = (x_0 \oplus x_1) \bar{x}_2 \bar{x}_3 + (x_0 \otimes x_1) x_2 \bar{x}_3$$

$$a_1 = \bar{x}_1 \bar{x}_2 (x_0 \oplus x_3) + x_0 \bar{x}_3 (x_1 \oplus x_2)$$

$$a_2 = \bar{x}_0 x_1 \bar{x}_3 + x_0 \bar{x}_2 (x_1 \oplus x_3)$$

$$a_3 = x_2 \bar{x}_3 (\bar{x}_0 \bar{x}_1 + x_0 \oplus x_1)$$

$$a_4 = x_0 x_1 x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 x_3$$

які легко реалізуються у базисі комбінаційної логіки або з допомогою дешифратора.

**Приклад 2.** Використовуючи дешифратор K1533ИДЗ (SN74154N), призначений для перетворення чотирьохрозрядного двійкового коду в напругу низького логічного рівня, що з'являється на одному з шістнадцяти виходів  $\bar{0} \div \bar{15}$ , реалізувати логічну функцію:

$$y = x_1 \bar{x}_2 \bar{x}_3 + x_1 x_3 + \bar{x}_1 x_2.$$

Для реалізації функції використовувати багатовходові логічні елементи з множини **I**, **I-НІ**, **АБО**, **АБО-НІ**.

*Розв'язання.* Для реалізації функції приведемо її до досконалої диз'юнктивної нормальної форми:

$$y = x_1\bar{x}_2\bar{x}_3 + x_1x_2x_3 + x_1\bar{x}_2x_3 + \bar{x}_1x_2x_3 + \bar{x}_1x_2\bar{x}_3.$$

Понизивши порядок індексів при логічних змінних, отримуємо:

$$y = \vee 1, 2, 5, 6, 7.$$

Використовуючи шестивходовий елемент К1533ЛА2 **I-НІ** (зарубіжні аналоги – 7430РС, СDB430Е, МН7430, SN7430N, УСУ7430N), отримаємо схему, яка реалізовуватиме задану функцію (рис. 7.3).

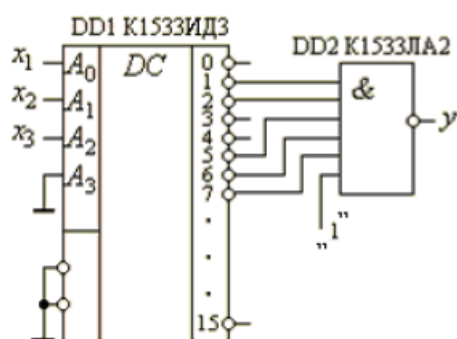


Рис. 7.3

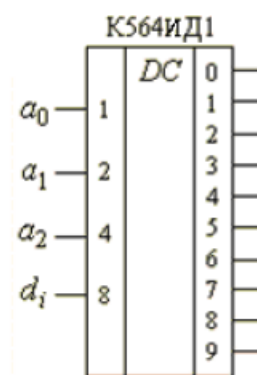


Рис. 7.4

**Приклад 3.** Використовуючи дешифратор К564ИД1, розробити пристрій для перетворення двійкового однобайтного коду, заданого в послідовному форматі, в код, представлений у паралельному форматі.

*Розв'язання.* Дешифратор К564ИД1 – це перетворювач чотирьохрозрядного двійкового коду в прямий десятковий. Він має чотири входи розрядів двійкового коду (1, 2, 4, 8) і 10 виходів розрядів десяткового коду (0 ÷ 9) (рис. 7.4). Табл. 7.3 є таблицею істинності мікросхеми і пояснює її роботу.

Для використання дешифратора К564ИД1 у якості демультіплексора входи 1, 2, 4 необхідно використовувати як адресні  $a_0$ ,  $a_1$ ,  $a_2$ , а вхід 8 як вхід даних послідовного формату. На вихідних шинах 0 ÷ 7 отримуватимемо рознесені в часі значення двійкового коду, який подається на вхід 8 в інвертованому виді.

На рис. 7.5 зображені часові діаграми роботи пристрою при подачі на вхід 8 послідовного двійкового коду  $d_i$ .

Таблиця 7.3

| Вхідний код<br>Входи |   |   |   | Вихідний код<br>Виходи |   |   |   |   |   |   |   |   |   |
|----------------------|---|---|---|------------------------|---|---|---|---|---|---|---|---|---|
| 8                    | 4 | 2 | 1 | 0                      | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| 0                    | 0 | 0 | 0 | 1                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0                    | 0 | 0 | 1 | 0                      | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0                    | 0 | 1 | 0 | 0                      | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0                    | 0 | 1 | 1 | 0                      | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0                    | 1 | 0 | 0 | 0                      | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0                    | 1 | 0 | 1 | 0                      | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0                    | 1 | 1 | 0 | 0                      | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0                    | 1 | 1 | 1 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1                    | 0 | 0 | 0 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1                    | 0 | 0 | 1 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1                    | 0 | 1 | 0 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1                    | 0 | 1 | 1 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1                    | 1 | 0 | 0 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1                    | 1 | 0 | 1 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1                    | 1 | 1 | 0 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1                    | 1 | 1 | 1 | 0                      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

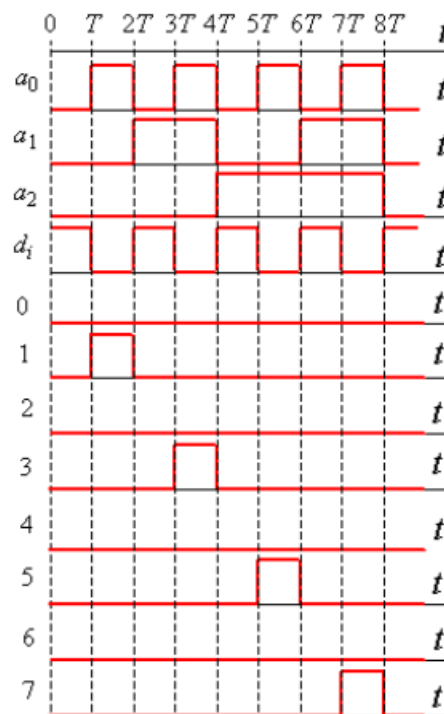


Рис. 7.5

Дешифратори широко використовуються для реалізації логічних функцій. Наприклад, для реалізації функції:

$$y = \vee 1,3,4,7$$

достатньо об'єднати виходи  $y_1, y_3, y_4, y_7$  за допомогою чотирьохвходового елемента АБО (DD2 на рис. 7.2).

Якщо виходи  $y_0 \div y_{n-1}$  дешифратора інвертовані, то об'єднання виходів відповідних диз'юнкцій забезпечується елементами, що реалізують операцію І-НІ.

Використання дешифраторів як генераторів мінтермів корисно в тих випадках, коли необхідно реалізовувати систему логічних функцій. При використанні дешифраторів для реалізації логічних функцій відпадає необхідність їх мінімізації. Більш того, їх необхідно приводити до досконалої диз'юнктивної форми.

**Приклад 4.** Комбінаційна схема визначена за допомогою наступних рівнянь:

$$y_1 = x_1 x_2 + \bar{x}_1 \bar{x}_2 \bar{x}_3 ;$$

$$y_2 = x_1 + x_2 + \bar{x}_3 ;$$

$$y_3 = \bar{x}_1 x_2 + x_1 \bar{x}_2 x_3 ,$$

Розробити схему, що реалізує ці три рівняння за допомогою дешифратора та зовнішніх логічних елементів.

*Розв'язання.* Для вирішення цієї задачі перетворимо функцію до вигляду:

$$\bar{y}_1 = \overline{x_1 x_2 x_3 + x_1 x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3} = \overline{x_1 x_2 x_3} \cdot \overline{x_1 x_2 \bar{x}_3} \cdot \overline{\bar{x}_1 \bar{x}_2 \bar{x}_3} ;$$

$$\bar{y}_2 = \overline{x_1 + x_2 + \bar{x}_3} = \bar{x}_1 \bar{x}_2 x_3 ;$$

$$\bar{y}_3 = \overline{\bar{x}_1 x_2 x_3 \cdot \bar{x}_1 x_2 \bar{x}_3 \cdot x_1 \bar{x}_2 x_3} .$$

Із приведених функцій бачимо:

1) функція  $y_2$  може бути отримана за допомогою звичайного інвертора, підключеного до виходу, відповідного  $x_3 \bar{x}_2 \bar{x}_1 = 100_2 = 4_{10}$  ;

2) функція  $y_1$  отримується об'єднанням через елемент **3І-НІ** виходів, відповідних  $x_3 x_2 x_1 = 111_2 = 7_{10}$ ;  $\bar{x}_3 x_2 x_1 = 011_2 = 3_{10}$ ;  $\bar{x}_3 \bar{x}_2 \bar{x}_1 = 000_2 = 0_{10}$ ;

3) аналогічно, функція  $y_3$  отримується шляхом об'єднання виходів, номери яких відповідають  $x_3 x_2 \bar{x}_1 = 110_2 = 6_{10}$ ;  $\bar{x}_3 x_2 \bar{x}_1 = 010_2 = 2_{10}$ ;  $x_3 \bar{x}_2 x_1 = 101_2 = 5_{10}$ , за допомогою елемента **3І-НІ**.

Використаємо мікросхему K1533ЛЕ4 (або її зарубіжні аналоги – 7427РС, DM7427N, ECG7427, FLH621, MC7427N, SN7427N, SN66N). Принципова схема, яка реалізує вказані функції, зображена на рис. 7.6.

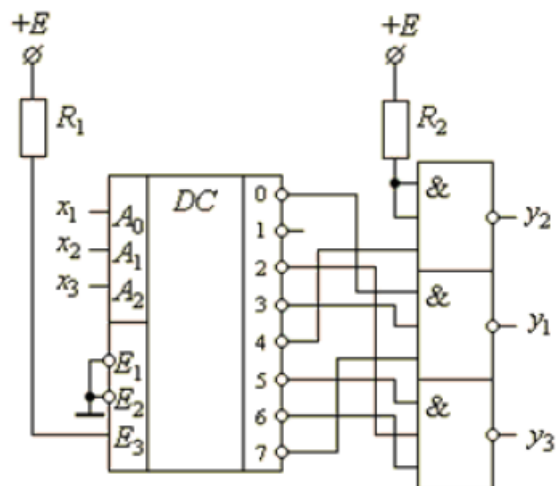


Рис. 7.6

Нарощування дешифраторів забезпечується на тих самих принципах, що і нарощування мультиплексорів.

Наприклад, на рис. 7.7 наведена схема перетворювача “з 4 в 16”. Наведена схема має можливість виконувати різні види кодових перетворень. У залежності від необхідного вихідного коду, необхідно використовувати ті виходи  $y_0 \div y_{15}$  схеми, які відповідають вибраному коду.

При пірамідальному нарощуванні перетворювачів кодів організація схеми залежить від характеру їх використання.

На рис. 7.8 приводиться приклад створення демультимплексора на 32 виходи на базі мікросхеми К1533ИД4 (зарубіжні аналоги – 74155РС, УСУ74155N). Схемотехнічно мікросхема складається з двох секцій,  $Y$  та  $E$ , кожна з яких має інверсний вхід  $V$ , об’єднаний з прямим та інверсним інформаційними входами  $Y$  та  $E$  через вхідний елемент  $I$ . Обидві секції мають об’єднані адресні входи  $A_0, A_1$ .

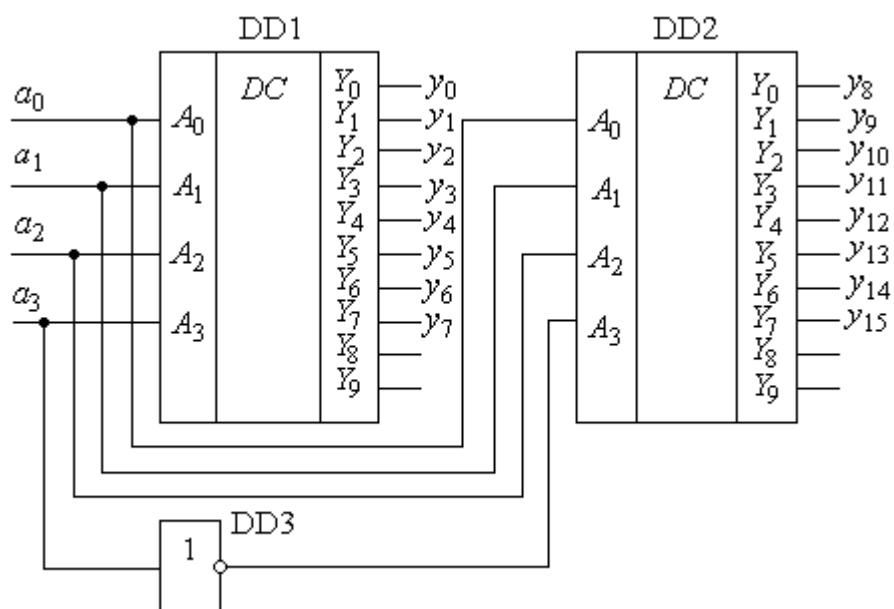


Рис. 7.7

При забезпеченні на входах  $V_1$  і  $V_2$  низького логічного рівня сигнали, що поступають на входи  $Y$  та  $E$ , передаватимуться на свої виходи  $Y_0 \div Y_3$  та  $E_0 \div E_3$  у відповідності до зміни адресів. Якщо входи  $Y$  та  $E$  об'єднати, як показано на рис. 7.8 в мікросхемах DD2, DD5, то з'єднання входів  $Y$  надасть нам можливість організувати схему демультіплексора “з 1 на 8”. При забезпеченні  $x = 0$  схема, представлена на рис. 7.8, перетворюється в дешифратор “з 5 на 32”. Якщо в мікросхемі DD1 об'єднати входи  $Y$  та  $E$  для створення адресної шини  $a_5$ , то при нульових сигналах на входах  $V_1$  та  $V_2$  і відповідному нарощенні вихідних мікросхем одержимо дешифратор “з 6 на 64”.



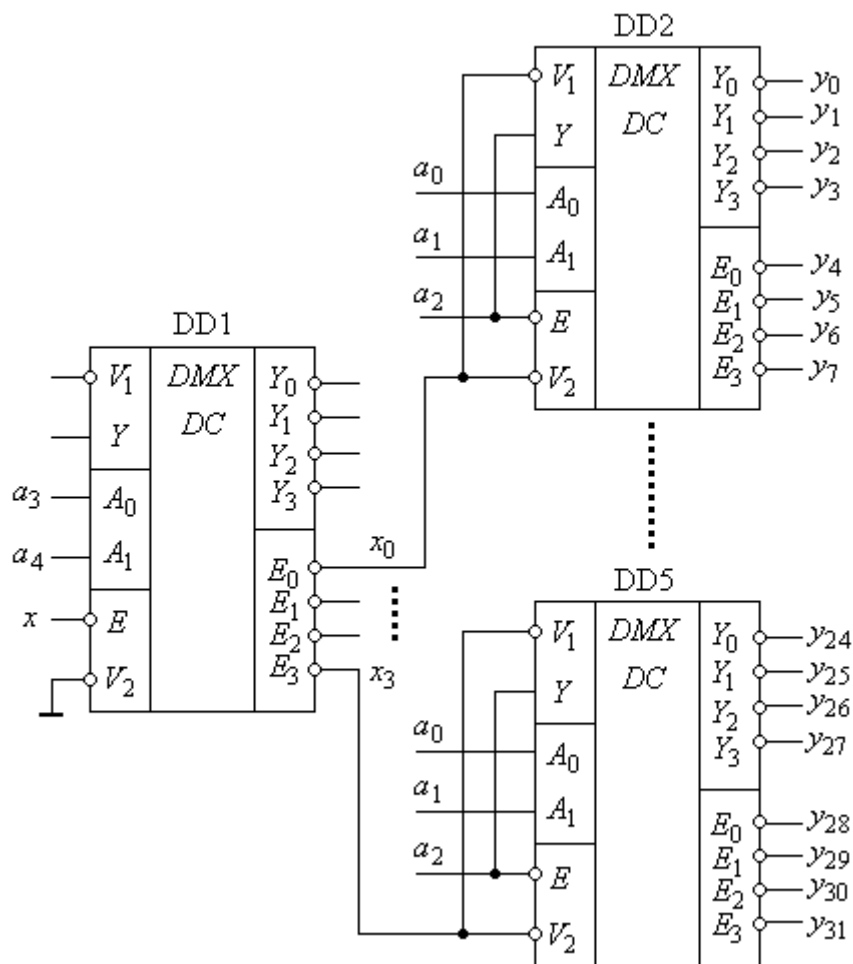


Рис. 7.8

**Приклад 5.** Використовуючи чотирьохрозрядний дешифратор К1533ІДЗ (SN74154N), розробити принципову схему дешифратора для перетворення п'ятирозрядного коду  $x_0 \div x_4$  з напругою низького рівня на одному з 32 виходів.

*Розв'язання.* Принципова схема розробленого дешифратора приведена на рис. 7.9 (DD1, DD2 – К1533ІДЗ (зарубіжний аналог – SN74154N); DD3 – К1533ІА3 (зарубіжні аналоги – 7400РС, CDB400Е, D100D, МН7400, SN7400N)).

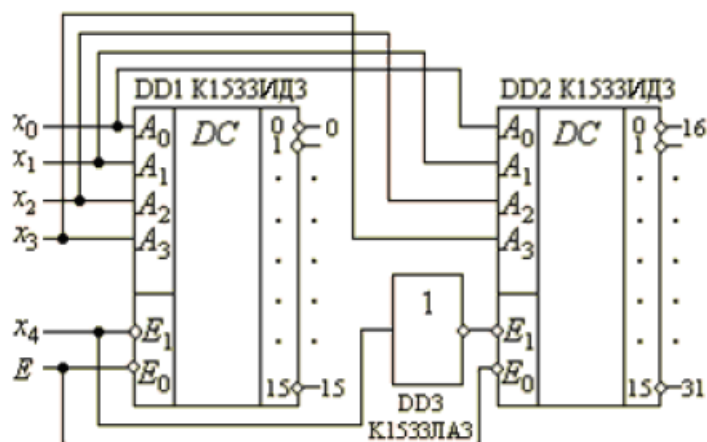


Рис. 7.9

**Приклад 6.** Використовуючи дешифратори серії 564ИД1, розробити принципову схему дешифрації шестирозрядного двійкового коду на 64 виходи.

*Розв'язання.* Дешифратор 564ИД1 виконує перетворення чотирьохрозрядного двійкового коду в вихідний сигнал високого рівня на одному з 10 виходів.

Із таблиці істинності мікросхеми (табл. 7.3) маємо, що при зміні двійкового коду в інтервалі значень, відповідаючих десятковим числам 0 – 9, має місце однозначна відповідність вхідного двійкового коду і сигналу високого рівня на відповідному виході 0 – 9. При значеннях вхідного двійкового коду, більших **111**, виходи 0 – 7 мають нульовий вихідний сигнал. Таким чином, мікросхема дозволяє однозначно виконувати дешифрацію трьохрозрядного двійкового коду на один з 8 виходів при наявності нуля на вході  $A_3$  (рис. 7.10). При наявності сигналу високого рівня на вході  $A_3$  виходи 0 – 7 будуть відключені. Тобто вхід  $A_3$  може виконувати функцію входу, який дозволяє роботу мікросхеми з декодування інформації, яка надходить на входи  $A_0, A_1, A_2$ .

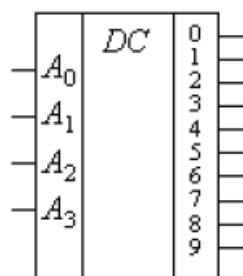


Рис. 7.10

Виконаний аналіз вказує на те, що мікросхему можна використовувати для побудови дешифратора шестирозрядного двійкового коду на 64 виходи лише шляхом їх пірамідальної побудови. Для цього 8 дешифраторів запаралелюються по входах  $A_0 - A_2$ , а вхід  $A_3$  підключається до виходів керуючого дешифратора через інвертори. Входи  $A_0 - A_2$  керуючого дешифратора є старшими розрядами адресної шини  $x_0 - x_5$ .

Окрім розглянутих областей використання, кодові перетворювачі виступають складовою частиною керуючих автоматів. Широке використання вони знаходять у цифрових пристроях криптографічного захисту інформації.

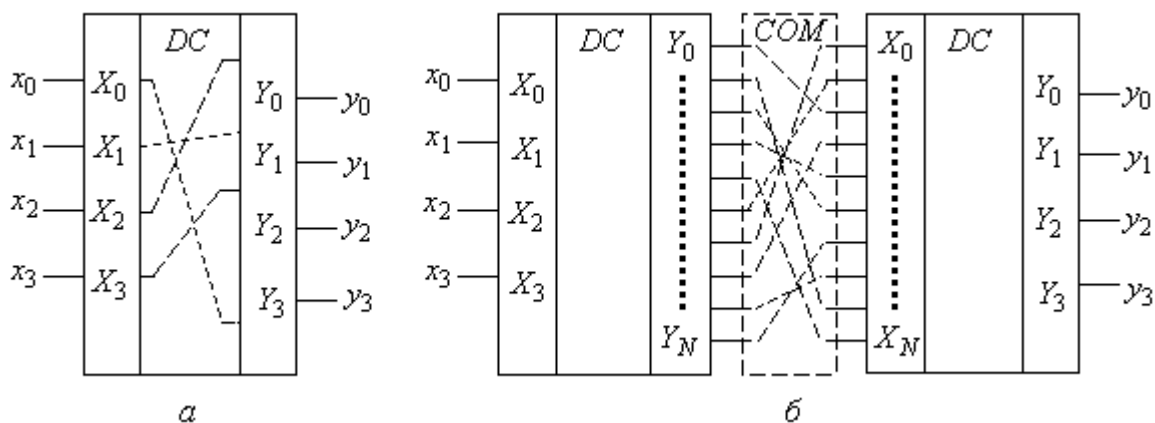


Рис. 7.11

На рис. 7.11 приведені два варіанти засекречення інформації. Спосіб перестановки з допомогою внутрішніх комутаторів (рис. 7.11, а) надає можливість для  $n$ -входового перетворювача створити  $n!$  можливих варіантів. Спосіб підстановки (рис. 7.11, б) розширює кількість варіантів, адже перестановка виконується після перетворення вхідного двійкового коду. Кількість можливих варіантів з'єднань з допомогою комутатора **COM** підвищується до  $2^n!$ . Зворотнє перетворення інформації забезпечується блоком зі зворотнім законом перестановки. Використання подібних пристроїв дає можливість відкрито передавати та зберігати конфіденційну та секретну інформацію.

## 2. Обчислювальні пристрої

### 2.1. Суматори

Найпростішою схемою є *напівсуматор*, який виконує операцію знаходження суми двох однорозрядних слів.

Роботу напівсуматора описує Табл. 7.4, з якої знаходимо логічні рівняння для суми і для переносу:

$$S = a_0 \cdot \overline{b_0} + \overline{a_0} \cdot b_0 ;$$

$$P = a_0 \cdot b_0 .$$

Таблиця 7.4

| $a_0$ | $b_0$ | $S$ | $P$ |
|-------|-------|-----|-----|
| 0     | 0     | 0   | 0   |
| 0     | 1     | 1   | 0   |
| 1     | 0     | 1   | 0   |
| 1     | 1     | 0   | 1   |

При знаходженні суми багаторозрядних слів напівсуматор може використовуватись лише в молодшому розряді. Для знаходження суми старших розрядів схема повинна мати три входи – два інформаційні і третій – вхід переносу з молодших розрядів. Схема, що відповідає цим вимогам, називається *повним суматором*, а логіку її роботи описує Табл. 7.5.

Таблиця 7.5

| $N$ | $a_i$ | $b_i$ | $p_{i-1}$ | $S_i$ | $P_{i+1}$ |
|-----|-------|-------|-----------|-------|-----------|
| 0   | 0     | 0     | 0         | 0     | 0         |
| 1   | 0     | 0     | 1         | 1     | 0         |
| 2   | 0     | 1     | 0         | 1     | 0         |
| 3   | 0     | 1     | 1         | 0     | 1         |
| 4   | 1     | 0     | 0         | 1     | 0         |
| 5   | 1     | 0     | 1         | 0     | 1         |
| 6   | 1     | 1     | 0         | 0     | 1         |
| 7   | 1     | 1     | 1         | 1     | 1         |

З Табл. 7.5 знаходимо наступні рівняння:

$$S_i = \vee 1, 2, 4, 7 = p_{i-1} (\bar{a}_i \cdot \bar{b}_i + a_i \cdot b_i) + \bar{p}_{i-1} (a_i \cdot \bar{b}_i + \bar{a}_i \cdot b_i) ;$$

$$P_i = \vee 3, 5, 6, 7 = p_{i-1} (\bar{a}_i \cdot b_i + a_i \cdot \bar{b}_i + a_i \cdot b_i) + \bar{p}_{i-1} a_i \cdot b_i = a_i \cdot b_i + p_{i-1} (a_i \oplus b_i)$$

для побудови логічної схеми однорозрядного повного суматора.

Знаходження суми багаторозрядних слів може виконуватись як послідовно, так і паралельно. Для послідовного виконання операції використовується один повний суматор, загальний для всіх розрядів. Для виконання операції суми слова подаються на інформаційні розряди послідовно, починаючи з молодших розрядів (рис. 7.12).

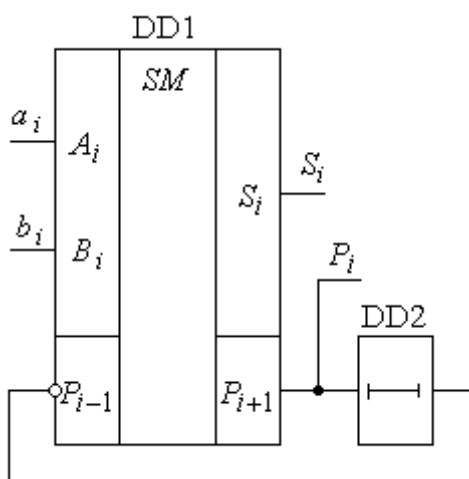


Рис. 7.12

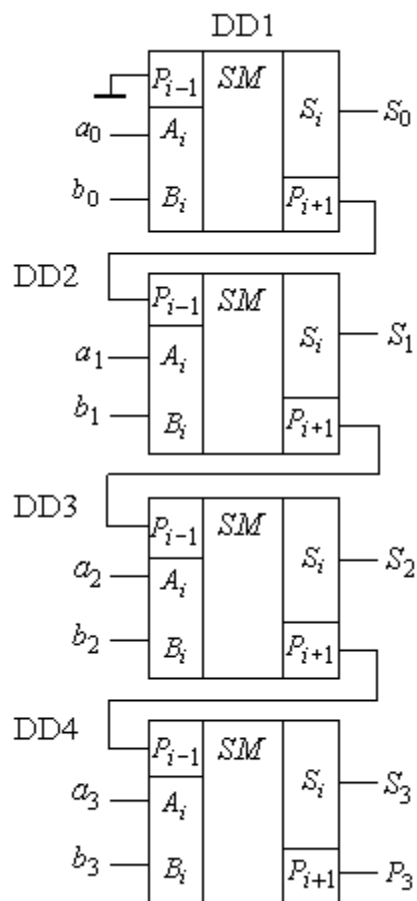


Рис. 7.13

Для врахування результату операції з попереднім розрядом вхід та вихід переносу об'єднується через елемент затримки DD2. Цей елемент повинен забезпечити затримку та зберігання сигналу  $P_{i+1}$  на один такт виконання операції. Синхронно з інтервалом в один такт повинні подаватись і вхідні дані  $a_i, b_i$ .

Приведена схема виконання операції суми сама по собі нескладна, але вимагає складного апаратного забезпечення. До того ж, послідовне порозрядне виконання операції суттєво знижує швидкодію.

На рис. 7.13 приведена схема організації чотирьохрозрядного паралельного суматора з послідовним переносом. Для кожного розряду в ній використовуються окремі однорозрядні повні суматори, які з'єднані між собою послідовно по виходах-входах переносу. Незважаючи на паралельну одночасну подачу всіх розрядів слів, операція в  $i$ -му розряді починає виконуватись тільки після того, як поступить сигнал переносу з  $(i-1)$ -го розряду. Звідси витікає, що швидкодія суматора визначатиметься сумою затримок передачі сигналу переносу з молодшого розряду на вихід суматора старшого розряду.

За схемою, приведеною на рис. 7.13, виготовляються мікросхеми К1533ИМ3 (зарубіжні аналоги – 7483PC, CDB483E, FLH241, MC7483N, N7483N, SN7482AN, UCY7483N), умовне зображення якої приведено на рис. 7.14 (мікросхема DD2). Мікросхема може використовуватись для операцій як з додатними, так і з від'ємними числами. При виконанні операції додавання на вхід  $p_0$  необхідно подати сигнал низького рівня.

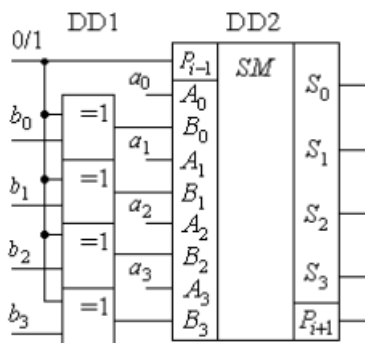


Рис. 7.14

Нарощування розрядності суматорів виконується на схемі, приведеній на рис. 7.13. Таблиця станів для суматорів за своєю сутністю є таблицею суми двох чисел (Див. Табл. 7.4 – Табл. 7.5). Вона має простий вигляд і зручна в користуванні для чисел невеликої розрядності. Суматор К1533ИМЗ, як і всі комбінаційні схеми, має широкі функціональні можливості. Перш за все, він може використовуватись для знаходження суми чисел з меншою розрядністю. Схема входів-виходів при цьому може бути різноманітною. Його можливо використовувати і для віднімання двох чисел. Ця операція виконується шляхом додавання зменшуваного і зменшуючого, представленого у доповнюючому коді. Для виконання цієї операції зменшуюче  $b_3 b_2 b_1 b_0$  з допомогою інверторів перетворюється в зворотній код, а потім до нього по входу  $p_0$  додається одиниця.

**Приклад 7.** Розглянути мікросхему К1533ИМЗ. Пояснити, як використовувати цей чотирихрозрядний суматор для додавання:

- а) двох чотирихрозрядних чисел;
- б) двох дворозрядних та двох одnorозрядних чисел;
- в) двох восьмирозрядних (байтових) чисел.

*Розв'язання.* При додаванні двох чотирихрозрядних слів необхідно вхід переносу  $P_0$  заземлити (рис. 7.15). В дворозрядному суматорі входами є  $A_1, A_2$  та  $B_1, B_2$ , а виходами  $S_1, S_2, S_3$ . Останній є виходом переносу. В одnorозрядному суматорі використовуються входи

$A_4, B_4$ , а виходами є  $S_4$  та  $P_4$ . При додаванні двох однобайтових слів необхідно наростити два однотипних суматори. При цьому вихід  $P_4$  суматора напівбайтів молодших розрядів з'єднується з входом  $P_0$  суматора напівбайтів старших розрядів слів, що складаються.

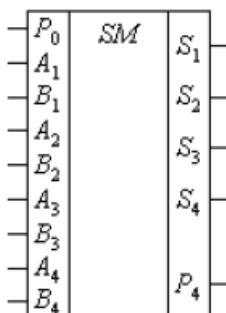


Рис. 7.15

Операції знаходження суми та різниці можна поєднати в одному пристрої, як показано на рис. 7.14. Для виконання операції додавання на вхід  $P_{i-1}$  переносу подається сигнал низького рівня. Відповідно на входах елементів **ВИКЛ. АБО** число  $b_3 b_2 b_1 b_0$  буде представлено в прямому коді. При подачі на вхід  $P_{i-1}$  сигналу високого рівня, як відмічалось раніше, число  $b_3 b_2 b_1 b_0$  буде представлено у доповнюючому коді.

Слід нагадати, що при виконанні операції віднімання результат на виході суматора залежить від співвідношення між числами, що беруть участь в операції. При

$$a_3 a_2 a_1 a_0 > b_3 b_2 b_1 b_0$$

результат одержується в прямому коді, а в розряді переносу  $P_{i+1}$  з'являється **1**.

Коли ж

$$a_3 a_2 a_1 a_0 < b_3 b_2 b_1 b_0,$$

результат отримується в зворотньому коді, а в розряді переносу  $P_{i+1}$  одержується **0**.



**Приклад 8.** Розробити пристрій двійкового множення на суматорах та логічних елементах І, що дозволяє множити чотирьохрозрядне число  $A$  на трьохрозрядне число  $B$ .

*Розв'язання.* Після множення трьохрозрядного і чотирьохрозрядного кодів отримується семирозрядний код. Результат операції утворюється за рахунок паралельного множення множеного на кожен розряд множника і складання проміжних добутків зі зсувом на один розряд. При підрахуванні добутку виконуються наступні дії

$$\begin{array}{r}
 \phantom{\times} \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{\times} \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{\times} \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{\times} \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \times \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{\times} \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{\times} \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{\times} \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \hline
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \hline
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \phantom{A_4} \phantom{A_3} \phantom{A_2} \phantom{A_1} \\
 \hline
 M_7 \quad M_6 \quad M_5 \quad M_4 \quad M_3 \quad M_2 \quad M_1
 \end{array}$$

Тут  $M_1 = A_1B_1$ ;  $M_2 = A_1B_2 + A_2B_1$ ;  $M_3 = A_1B_3 + A_2B_2 + A_3B_1$ ;  $M_4 = A_2B_3 + A_3B_2 + A_4B_1$ ;  $M_5 = A_3B_3 + A_4B_2$ ;  $M_6 = A_4B_3$ ;  $M_7$  – біт переносу із попереднього розряду; знак “+” – знак арифметичного додавання.

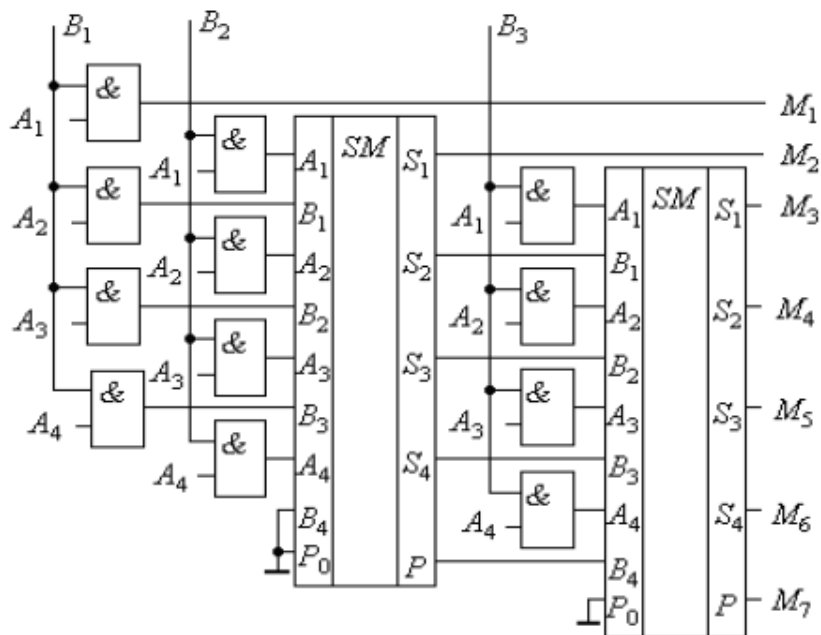


Рис. 7.16

Однорозрядне множення забезпечується елементами І. Суми можуть бути реалізовані суматорами К1533ИМЗ. Для реалізації цієї операції на рис. 7.16 приведена принципова схема.

**Приклад 9.** Розробити принципову схему суматора, який здійснює додавання однорозрядних десяткових чисел.

*Розв'язання.* Для додавання десяткових чисел необхідно використати їх двійково-десяткову форму представлення. Це дозволяє для виконання операції додавання використати чотирьохрозрядний суматор двох чисел, наприклад, мікросхему К1533ИМЗ.

Відомо, що у тому випадку, коли в результаті додавання отримується результат  $S > 9$ , значення молодшого напівбайта є невірним. Для отримання вірного результату необхідно його відкоригувати. Корегування виконуємо шляхом додавання до результату числа  $6_{10} = 0110_2$ . Цю операцію в системі двійково-десяткового числення можна сформулювати наступним чином. При появі в результаті додавання двійкових кодів  $1010_2 = 10_{10}$ ,  $1011_2 = 11_{10}$ ,  $1100_2 = 12_{10}$ ,  $1101_2 = 13_{10}$ ,  $1110_2 = 14_{10}$ ,  $1111_2 = 15_{10}$  до отриманого результату необхідно додати число  $6_{10}$ . Якщо ці коди не з'являються, то додавання числа  $6_{10}$  не робити.

Зрозуміло, що розроблювана схема повинна мати дві мікросхеми К1533ИМЗ. Перша з них виконуватиме операцію додавання, а друга, за необхідності, виконувати корегування результату. Корегування результату виконується згідно з логічною функцією:

$$y = \vee 10, 11, 12, 13, 14, 15 .$$

Представляючи її в формі карти Карно й мінімізуючи, знаходимо:

$$y = x_2 x_3 + x_1 x_3 = x_3 \cdot (x_1 + x_2) .$$

При додаванні чисел, результат яких перевищує число  $15_{10}$ , в сумі виникає перенос  $P$  в п'ятий – старший – розряд, який також необхідно враховувати при використанні десяткової корекції. Тому функція  $y$  керування десятковою корекцією набуде вигляду:

$$y = P + x_3 \cdot (x_1 + x_2) .$$

Отриманий результат дозволяє побудувати принципову схему суматора (рис. 7.17).

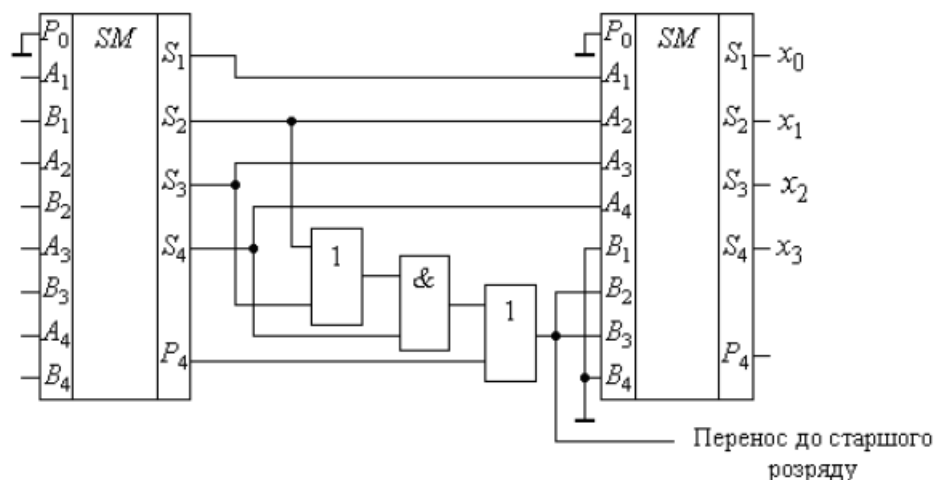


Рис. 7.17

У зв'язку з затримкою переносу, як відмічалось раніше, швидкодія суматора К1533ИМ3 обмежена. Для підвищення швидкодії в ряді серій мікросхем виготовляють спеціальні вузли, які називаються *пристроями прискореного переносу*. Принцип прискореного переносу полягає у тому, що для кожного двійкового розряду знаходять два допоміжних логічних сигнали:  $g_i = a_i b_i$  (сигнал генерації переносу) та  $h_i = a_i + b_i$  (сигнал розповсюдження).

Сигнал  $g_i = 1$ , коли складові  $i$ -го розряду такі, що перенос в старший розряд  $P_{i+1} = 1$  незалежно від значення вхідного переносу  $P_{i-1}$ .

Сигнал  $h_i$  іноді називають *сигналом прозорості*, тому що відповідно до його визначення при  $h_i = 1$  сигнал переносу з попереднього розряду  $p_i$  вільно пройде наступний розряд  $P_{i+1}$ . За допомогою  $g_i$  та  $h_i$  можна представити роботу вузла переносу одного розряду суматора  $P_{i+1} = g_i + p_i h_i$ .

Будуючи структуру зв'язків між переносами, починаючи зі старшого розряду до нульового, можна створити логічну схему, яка дасть можливість організувати паралельний суматор. Серед мікросхем ТТЛ паралельний перенос має суматор К1533ИМ6, який має затримку розповсюдження сигналу

$t_3$  від входів до виходу  $P_{i+1}$  приблизно у 2 рази меншу, ніж К1533ИМЗ. В мікросхемах КМОН суматори також виконуються з вузлом паралельного переносу.

Для прискорення переносу в суматорах з великою кількістю розрядів використовується принцип групового переносу. Суматор розділяється на групи, які мають невелику розрядність і входи-виходи переносу. Сутність групового переносу полягає в тому, що, допоміжно до вузла переносу, в групі будують вузол переносу між групами більш високого рівня, який формує сигнали групових переносів, котрі подаються на входи міні-суматорів. Паралельний перенос між групами суттєво прискорює роботу багаторозрядних суматорів.

## ***2.2. Перемножувачі***

Ідеологія перемноження двох бінарних слів полягає у використанні операцій додавання і зсуву проміжної суми.

Реальні чотирьохрозрядні перемножувачі використовують просту технологію, відповідно до якої для двох слів  $A$  і  $B$ , які необхідно перемножити, створюється таблиця істинності з вихідним словом  $C$  подвійної довжини. Кожен розряд  $c_i$  слова  $C$  є логічною функцією з логічними змінними слів  $A$  і  $B$ . Тому реалізація чотирьохрозрядного перемножувача є простою реалізацією восьми логічних функцій.

При необхідності реалізувати перемножувач двох восьмирозрядних слів кожне з них розбивається на групи, по 4 біти кожна, і з кожною з груп виконуються операції, як з однією змінною, за принципом знаходження проміжної суми з послідовним виконання операції зсуву.

На базі чотирьохрозрядних перемножувачів і з використанням такої структури будується перемножувач восьмирозрядних слів.