

1 ЕЛЕМЕНТНА БАЗА СУЧАСНИХ ПЛІС

1.1 Актуальність проблеми розробки цифрових пристроїв на ПЛІС

Сьогодні на світовому ринку електронних технологій різноманіття запропонованих схематичних рішень ділиться на 3 основних типи: мікропроцесори, замовні великі інтегральні схеми (ЗБІС) і програмовані логічні інтегральні схеми (ПЛІС).

Економічна ефективність виробництва БІС визначається, виходячи з вартості S виробництва однієї мікросхеми:

$$S = P_1 + \frac{P_2}{N}, \quad (1.1)$$

де P_1 – вартість виконання повного технологічного циклу під час виробництва однієї БІС, включаючи витрати на матеріали;

P_2 – витрати на проектування БІС;

N – кількість випущених пристроїв.

У формулі (1.1) параметр P_1 , як правило, змінюється незначно. Тому очевидно, що істотно знизити загальну вартість виробництва БІС можна або шляхом організації їх великосерійного (масового) виробництва, що призводить до збільшення N , або зниження витрат P_2 на проектування БІС за допомогою застосування ефективних САПР.

Процесори і мікросхеми пам'яті великого обсягу є стандартними пристроями, вони не виготовляються для конкретної системи за спеціальним замовленням і їхні функції залишаються постійними в різних системах. Тому стандартні БІС/ЗБІС мають досить низьку вартість, що визначається масовим виробництвом, а також лідирують за рівнем інтеграції та швидкодії.

Однак у цифровій системі, поряд зі стандартними, присутні й нестандартні компоненти, специфічні для даної розробки. Це стосується блоків управління, пристроїв взаємодії компонентів і т.д. Традиційно, реалізація спеціалізованої частини системи пов'язана з використанням мікросхем малого і середнього рівня інтеграції, що супроводжується різким збільшенням кількості корпусів інтегральних схем, ускладненням монтажу, зниженням надійності і швидкодії системи. Водночас замовити для системи спеціалізовані інтегральні схеми високого рівня інтеграції важко, оскільки пов'язано з великими часовими фінансовими витратами.

У цьому випадку оптимальним рішенням є виробництво універсальних схем, які користувач міг би пристосувати (запрограмувати) для реалізації специфічних логічних функцій. Сьогодні реалізація спеціалізованих функцій здійснюється за допомогою БІС/ЗБІС з програмованою і репрограмованою структурою (програмованих логічних інтегральних схем – ПЛІС). За

принципом програмування ПЛІС діляться на напівзамовні і безпосередньо програмовані користувачем.

Виробництво напівзамовних БІС (ASIC – Application Specific Integrated Circuits) розбивається на дві стадії:

- на першій стадії проектується і випускається в масовій кількості кристал-заготовка – універсальний технічний засіб для реалізації найрізноманітніших пристроїв;

- на другій стадії відбувається реалізація на даному кристалі функцій конкретного пристрою, шляхом виконання додаткових зв'язків напиленням додаткових шарів на вже готову заготовку за індивідуальним рисунком між'єднань.

Таким чином, за допомогою декількох додаткових масок універсальний кристал масового випуску програмується на виконання спеціалізованих функцій. Така технологія виробництва обходиться набагато дешевше, ніж виготовлення повністю замовних БІС.

У безпосередньо програмованих користувачем БІС конфігурування кристала-заготовки для виконання спеціалізованих функцій здійснюється шляхом завдання програмних налаштувань через зовнішні контакти ПЛІС без напилення додаткових шарів на кристал. Готовий кристал, укладений в стандартний корпус, необхідно лише запрограмувати без виконання додаткових виробничих циклів. Це істотно підвищує ефективність розробки нестандартних пристроїв на ПЛІС.

1.2 Пристрої на основі програмованих логічних матриць ПЛМ

Вперше принцип розробки пристроїв на мікросхемах програмувальної логіки був реалізований у вигляді створення програмованих логічних матриць ПЛМ (PLA, Programmable Logic Array), що є першими представниками універсальних ПЛІС.

Ідея конструкції ПЛМ ґрунтується на тому, що будь-яку логічну функцію можна подати у вигляді диз'юнктивної нормальної форми (ДНФ). ДНФ є сумою кон'юнктивних членів, що обертають логічну функцію в 1, і може бути реалізована за допомогою логічних вентилів трьох типів: і (and), або (or), ні (not). Так, диз'юнктивна нормальна форма для функції Y, таблиця істинності якої зображена на рисунку 1.1, наводиться нижче:

$$Y = \overline{X_1} \overline{X_2} \overline{X_3} + X_1 X_2 \overline{X_3} + X_1 \overline{X_2} X_3. \quad (1.2)$$

Як впливає з формули (1.2), у внутрішній структурі ПЛМ мають знаходитися лінії з прямими й інвертованими вхідними сигналами, які можна подати на входи будь-якого вентиля (and), а виходи всіх (and) можуть бути приєднані до входів вентилів (or).

Основними параметрами ПЛМ (див. рис. 1.2) є кількість вхідних сигналів m , число термів l і число виходів n . Вхідні буфери (IB - Input Buffers) формують сигнали необхідної потужності для живлення матриці GAand і перетворюють вхідні сигнали x у парафазні. З виходу IB прямі й інвертовані вхідні сигнали подаються на входи кон'юнктерів матриці GAand, на виході якої утворюються l термів T (кон'юнктивних членів). Число l формованих термів дорівнює числу кон'юнкторів у матриці GAand. Далі терми подаються на входи матриці GAor, тобто на входи диз'юнкторів, які формують вихідні функції. Число n реалізованих функцій F дорівнює числу диз'юнкторів у матриці GAor.

X3	X2	X1	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Рисунок 1.1 – Таблиця істинності для функції

$$Y = \overline{X_1} \overline{X_2} X_3 + X_1 \overline{X_2} \overline{X_3} + X_1 X_2 \overline{X_3}$$

Сигнали з виходів матриці GAor надходять у блок виведення OB (Output Block), який формує прямі й інверсні сигнали вихідних функцій F і забезпечує необхідну навантажувальну здатність виходів. Керуючий сигнал OE (Output Enable) дозволяє або забороняє вихід ПЛМ на зовнішні шини. Таким чином, за допомогою ПЛМ можна реалізувати систему n логічних функцій від m аргументів, що містить не більше l термів.

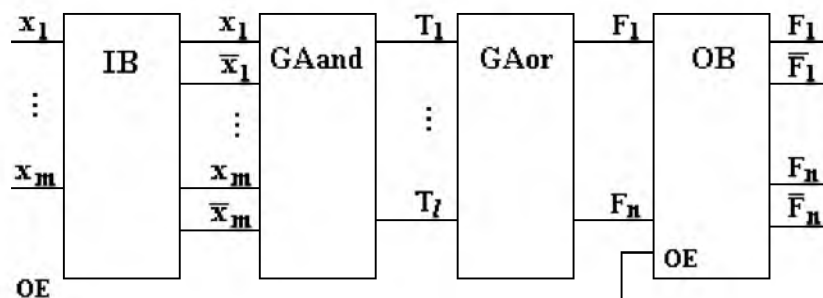


Рисунок 1.2 – Базова структура ПЛМ

ПЛМ випускаються як на основі біполярної технології, так і на МОП-транзисторах. У матрицях є системи горизонтальних і вертикальних зв'язків. В ході програмування у вузлах перетину ліквідуються або створюються елементи зв'язку. У першому випадку, в ході виробництва ПЛМ виконуються всі зв'язки в місці перетину провідників, а під час програмування непотрібні зв'язки видаляються. У другому випадку, специфікація зв'язків здійснюється за допомогою додатково виготовленої маски – фотошаблону. Як приклад на рис. 1.3 наводиться структурна схема ПЛМ з трьома входами і

двома виходами до виконання процесу програмування (відсутність перемички в матрицях GAand і GAor).

Для реалізації функцій:

$$F1 = X_1 \overline{X_2 X_3} + \overline{X_1 X_2 X_3} :$$

$$F2 = X_1 \overline{X_2 X_3} + X_1 X_2 X_3$$

виконується створення відповідних перемичок у матрицях GAand і GAor (див. рис. 1.4). Прикладами таких ПЛІС можуть бути вітчизняні ІС К556РТ1, РТ2, РТ21.

1.3 Пристрої на основі програмованої матричної логіки ПМЛ

В ході реалізації найбільш типові практичні завдання логічної потужності ПЛІМ часто використовується не повною мірою (системи перемикальних функцій не мають великих перетинів за однаковими термами). У цих випадках можливість використання виходів будь-яких кон'юнкторів будь-якими диз'юнкторами стає зайвим ускладненням схемотехнічної реалізації. Структури, в яких виходи елементів and жорстко пов'язані з елементами or, називаються **програмованою матричною логікою ПМЛ** (PAL – Programmable Array Logic). Порівняно з ПЛІМ, структури ПМЛ мають меншу функціональну гнучкість, з огляду на фіксованій матриці GAor, але їх виготовлення і використання спрощується. Приклад структурної схеми ПМЛ, що має m входів і n виходів наведено на рисунку 1.5. У даній схемі міститься $4 \cdot n$ елементів and, тому що кожному елементу or надається структура з чотирьох кон'юнкторів). Інтегральні схеми середнього ступеня інтеграції з ПМЛ випускаються низкою фірм-виробників, таких як INTEL, ALTERA, AMD, LATTICE та ін.

1.4 Пристрої на основі складних програмованих логічних пристроїв СПЛП

Наведені архітектури ПЛІС містять порівняно мало осередків і застосовуються для реалізації відносно простих пристроїв. Подальшим розвитком архітектури ПМЛ сьогодні є структури, що отримали назву **складних програмованих логічних пристроїв СПЛП** (CPLD - Complex Programmable Logic Devices). СПЛП мають кілька матричних логічних блоків МЛБ (MLB - Matrix Logical Block), об'єднаних комутаційною матрицею КМ (PIA - Programmable Interconnect Array). Кожен матричний логічний блок є структурою типу ПМЛ – програмованою матрицею GAand і фіксованою матрицею GAor. Узагальнена структурна схема СПЛП (CPLD) наводиться на рисунку 1.6.

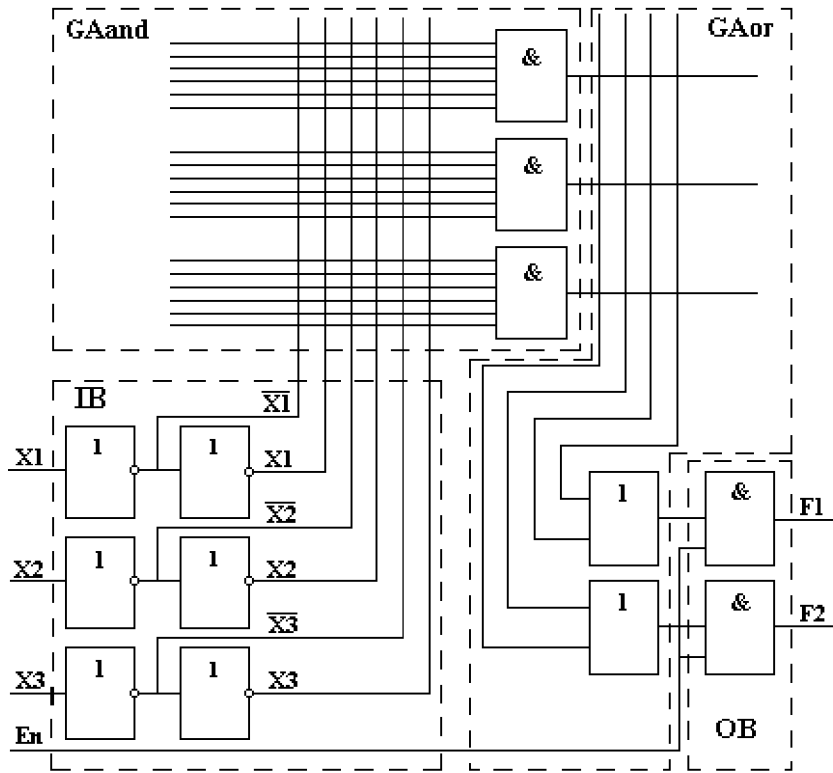


Рисунок 1.3 – Структурна схема ПЛМ до програмування

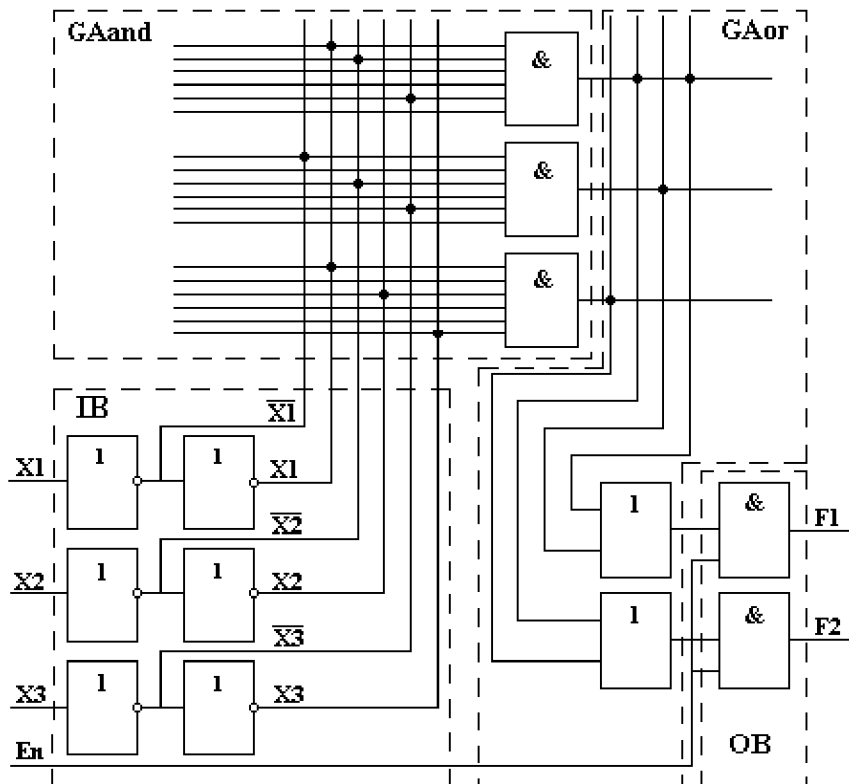


Рисунок 1.4 – Структурна схема ПЛМ після програмування

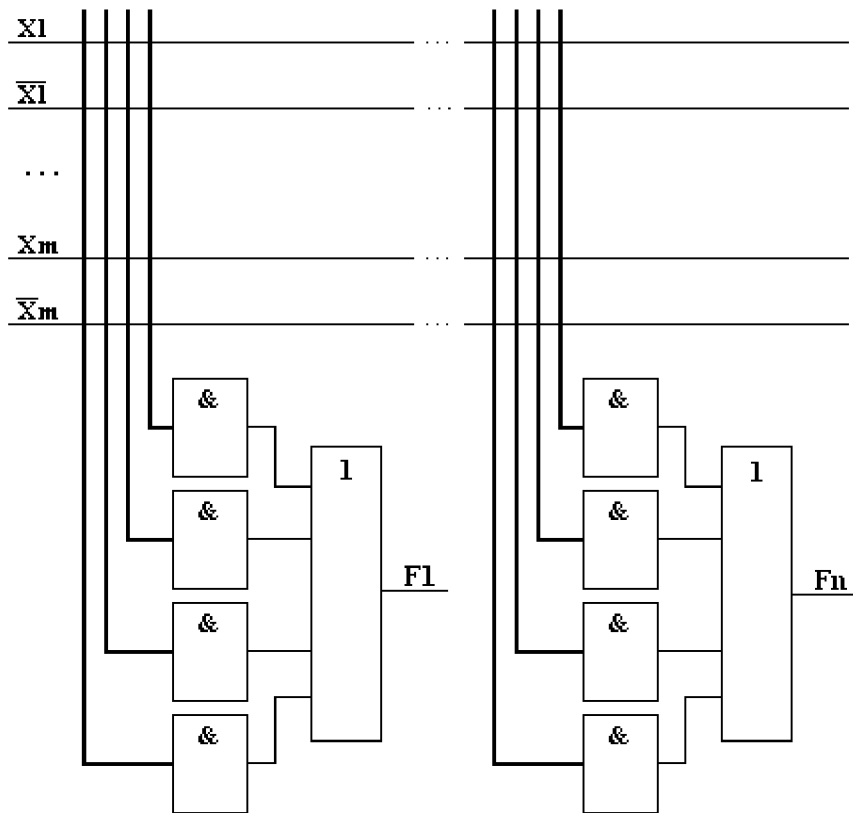


Рисунок 1.5 – Структурна схема ПМЛ

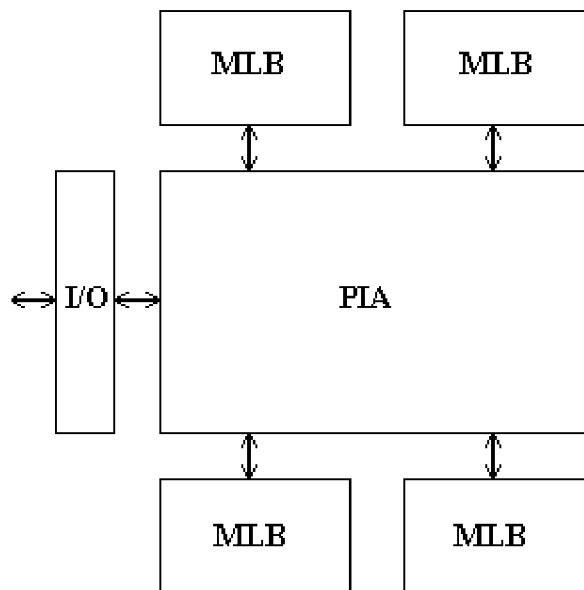


Рисунок 1.6 – Узагальнена структурна схема СПЛУ (CPLD)

Як перемички в матриці між'єднань використовуються МОП-транзистори з плаваючим затвором, як в електрично перепрограмуєму ПЗУ (EEPROM). Дані ПЛІС виробляються за технологією Flash – пам'яті.

У СПЛУ (CPLD) використовується безперервна система ідентичних зв'язків, що дає можливість гарної передбачуваності затримок сигналів у провідниках. Це істотно полегшує проектування і виготовлення роботоспроможних схем високої швидкодії. ПЛІС типу CPLD, як правило, мають високу ступінь інтеграції (до

12000 вентилів, до 560 макроосередків). Відомими пристроями, що мають архітектуру СПЛП (CPLD), є мікросхеми MAX 5000 MAX 7000 фірми Altera. Мікросхеми типу CPLD доцільно використовувати для реалізації цифрових автоматів, керуючих і інтерфейсних схем.

1.5 Пристрої на базових матричних кристалах БМК

Альтернативою ПЛІС на програмованих логічних матрицях є архітектура пристроїв на базових матричних кристалах БМК (GA – Gate Array). Основою БМК є сукупність регулярно розташованих на кристалі базових осередків (БО) – наборів елементів схем, що регулярно повторюються по площі кристала і займають центральну область. На периферії розташовані базові осередки введення/виведення, орієнтовані на реалізацію зовнішніх зв'язків БМК. Таким чином, БМК є кристалом-заготовкою, який перетворюється в необхідну схему виконанням відповідних з'єднань. Споживач може реалізувати на основі БМК безлічі пристроїв певного класу, задавши для кристала той чи інший варіант рисунка міжз'єднань компонентів.

В ході проектування БМК намагаються оптимальним чином збалансувати число базових осередків, трасувальні ресурси кристала і число контактних майданчиків для підключення зовнішніх висновків. Трасувальні можливості БМК визначаються площею, що відводиться для міжз'єднувальних зв'язків в ортогональних напрямках, і кількістю шарів міжз'єднань. Недостатня трасувальна здатність веде до зменшення кількості задіяних у ході побудови схеми базових осередків. Надлишкова трасувальна спроможність призводить до нерационального використання площі кристала, що знижує рівень інтеграції БМК і підвищує його вартість.

Проведемо уточнення термінології, використовуваної під час проектування БМК.

Базовим осередком (БО) є деякий набір схемних елементів (скомутованих або нескомутованих), регулярно повторюваних на певній площі кристала.

Базові осередки внутрішньої області БМК називаються **матричними базовими осередками (МБО)**.

Базові осередки периферійної області кристала називаються **периферійними базовими осередками (ПБО)**.

З елементів МБО може бути сформований один логічний елемент, а для реалізації складних функцій використовуються кілька осередків. При цьому з елементів МБО може бути сформовано будь-який функціональний вузол, а склад елементів осередку визначається схемою найскладнішого вузла.

Функціональний осередок (ФО) – функціонально закінчена схема, реалізована шляхом з'єднання елементів у межах однієї або декількох БО.

Канали трасування – області на БМК для можливого розміщення міжз'єднань.

За принципом розміщення базових осередків БМК діляться на каналні, безканалні і блокові (див. рис. 1.7). У каналних БМК (див. рис. 1.7, а) в центральній області кристала розташовані базові осередки (позначені квадратами) і канали трасування. У каналних БМК великі можливості зі створення зв'язків нівелюються низькою площею упаковки через значні затрати площі кристала на області між'єднань. Для підвищення ефективності упаковки базових осередків канали можуть виконуватися тільки вертикальними (див. рис. 1.7, б).

Пошук шляхів створення БМК високого рівня інтеграції призвів до безканалної архітектури БМК. Внутрішня область такого БМК містить щільно упаковані ряди базових осередків і не має фіксованих каналів для трасування між'єднань (див. рис. 1.7, в). У кристалі цього типу будь-яка область, в якій розташовані БО, може бути використана як для створення логічної схеми, так і для створення між'єднань. Внаслідок більш раціонального розташування зв'язків у безканалних БМК зменшується затримка передачі сигналу по зв'язках (довжини і паразитні ємності між'єднань зменшуються).

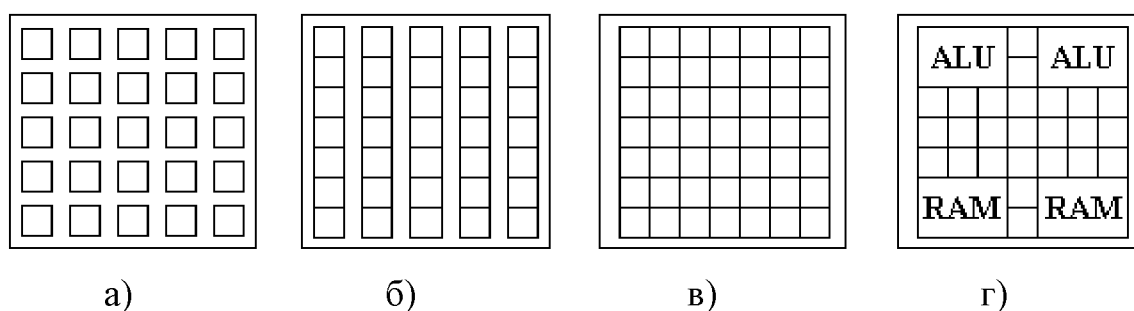


Рисунок 1.7 – Структури БМК різних типів:

- а) з горизонтальними і вертикальними каналами;
 б) з вертикальними каналами; в) безканалні, г) блокові

Безканалні БМК реалізуються у варіантах «море вентилів» і «море транзисторів». У першому випадку кристал містить масив закінчених логічних елементів, у другому – масив транзисторів. Для підвищення ефективності реалізації на БМК функціонально-складних пристроїв, які мають не тільки комбінаційні схеми, але і значне число елементів пам'яті, в сучасні БМК високого ступеня інтеграції, крім базових осередків, включають спеціалізовані блоки пам'яті, помножувачі, схеми прискореного перенесення і т.д., реалізовані на рівні топології кристала-заготовки. Такі БМК називають **блоковими** (див. рис. 1.7, г).

БМК належать до категорії напівзаможних ПЛІС. Це означає, що в масовій кількості виробляються заготовки (напівфабрикати) БІС, а надання кристалам-заготовкам індивідуального характеру здійснюється на заключній стадії виробництва. В ході проектування цифрових пристроїв на БМК доцільно використовувати бібліотеки функціональних осередків, які містять готові

схемні рішення, що створюються розробником мікросхеми з урахуванням фізичних характеристик кристала.

Для оцінки логічної складності БМК вводиться поняття – **еквівалентного вентиля** – групи елементів БМК, відповідної за можливостями для реалізації логічної функції двохходового вентиля «І-НІ» (або «АБО-НІ»). Логічна складність сучасних БМК високого рівня інтеграції складає близько 10^4 еквівалентних вентилів і більше.

1.6 Пристрої на основі програмованих користувачем вентиляльних матриць FPGA

Подальшим розвитком архітектури БМК є **програмовані користувачем вентиляльні матриці** (FPGA – Field Programmable Gate Array). При цьому FPGA, на відміну від БМК, програмується користувачем «на місці» без виконання додаткових виробничих циклів.

Внутрішня організація FPGA схожа з організацією каналних БМК (масив базових осередків на внутрішній площі кристала і масив периферійних осередків по периметру, трасувальні канали для завдання зв'язків між базовими осередками). Відмінність FPGA від БМК полягає в структурі цих компонентів кристала.

Розглянемо докладно топологію кристала ПЛІС (FPGA) серії Virtex фірми Xilinx (див. рис. 1.8). На площі кристала ПЛІС розміщені матриця конфігурованих логічних блоків КЛБ (CLB – Configure Logical Block), матриця відрізків міжз'єднань, покритих матрицями з польових транзисторів – перемичок МП (IB – Interconnect Block), блоки настроюваних ОЗУ (RAM); блоки введення/виведення сигналів (IOB – Input / Output Block) і периферійний канал міжз'єднань з мінімальною затримкою (VR – VersaRing), розміщені по периметру кристала. Для забезпечення достатніх можливостей маршрутизації міжз'єднань і мінімальної затримки при передачі сигналів використовується до дев'яти шарів металізації.

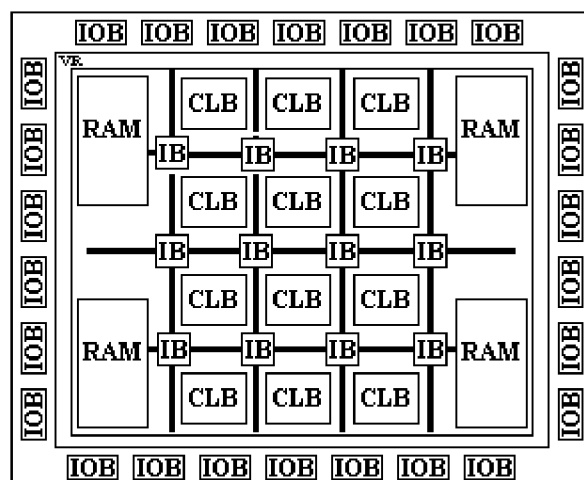


Рисунок 1.8 – Топологія кристала ПЛІС серії Virtex фірми Xilinx

Базовий осередок в архітектурі FPGA набуває вигляду КЛБ (CLB – Configurable Logical Block), основним логічним елементом якого є логічна таблиця ЛТ (LUT - Look-Up Table), що становить одnobітний ОЗУ, призначена для зберігання логічної функції від n-аргументів. Фактично в пам'ять безпосередньо заноситься таблиця істинності булевої функції, причому набір значень аргументів використовується як адреса блоку пам'яті, за яким на вихід надходить значення функції. Для завдання таблиці істинності логічної функції від n аргументів потрібно одnobітний блок пам'яті, який має 2^n осередків. Позначення чотиривходового блоку ЛТ (LUT) для завдання функції «І» від чотирьох аргументів (16 осередків пам'яті) за таблицею істинності наведено на рисунку 1.9.

До складу КЛБ зазвичай входять кілька ЛТ, а також комбінаційні та тригерні схеми (див. рис. 1.10).

КЛБ характеризуються такими властивостями:

- **функціональність** (functionality) визначає наскільки великі логічні можливості одного КЛБ;
- **зернистість** (granularity) визначає наскільки функціонально і схемотехнічно простими будуть елементи, складові КЛБ.

Прикладом дрібнозернистого КЛБ може служити ЛБ фірми Crosspoint Solutions, що містить ланцюжки транзисторів; прикладом великозернистого КЛБ можуть служити ЛБ, у мікросхемах Xilinx XC4000, що містять 2 ЛТ на 4 аргумента, 1 ЛТ на 3 аргумента, 2 D - тригери, пов'язані через кілька мультиплексорів, а також логічні схеми вентильного рівня.

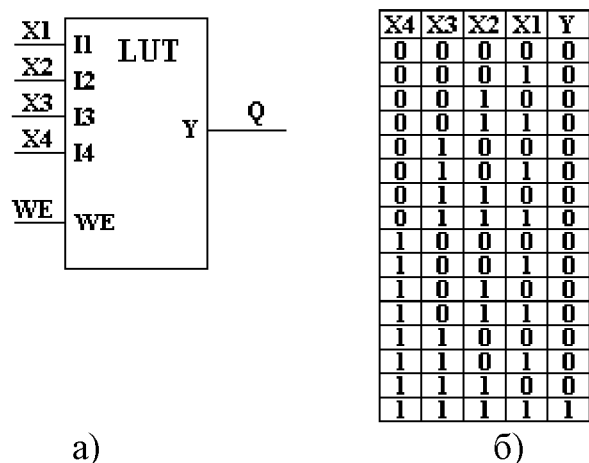


Рисунок 1.9 – Позначення чотиривходового блоку LUT (а) і таблиці істинності функції «І» від чотирьох аргументів (б)

Дрібнозернистість КЛБ веде до більшої гнучкості їхнього використання, можливості реалізувати відтворювані функції різними способами. Водночас дрібнозернистість ускладнює систему міжз'єднань FPGA в зв'язку з великим числом програмованих точок зв'язку.

Мікросхеми FPGA, як правило, мають складну ієрархічну систему зв'язків, що включає зв'язок загального призначення (general-purpose interconnects), довгі

лінії (long lines) для передач на великі відстані з малою затримкою, прямі зв'язки (direct interconnects) і лінії тактування (clock lines).

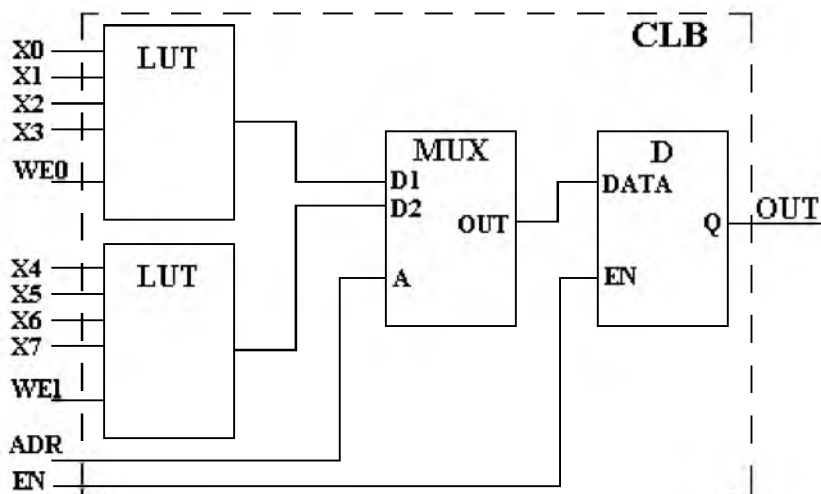


Рисунок 1.10 – Структурна схема КЛБ (CLB)

Універсальність і зручні налаштування КЛБ вимагають накладних витрат і не кращим чином позначаються на швидкодії пристроїв на FPGA. Підвищення технічних характеристик у цих пристроях забезпечується зануренням у кристал готових функціональних блоків (блоків пам'яті, помножувачів, процесорних ядер), спроектованих і оптимізованих на рівні схемотехніки і топології ЗБІС. Подібну структуру мають мікросхеми FPGA Xilinx Virtex-II Pro.

Незважаючи на обмежені функціональні та швидкісні можливості порівняно з напівзамовними ПЛІС, FPGA є перспективним середовищем реалізації цифрових пристроїв. Важливою перевагою FPGA є простота конфігурування мікросхеми. При включенні живлення сигнали конфігурації (прошивка), що зберігаються в ПЗУ, які стоїть поруч з ПЛІС, переписуються в спеціальний зсувний регістр ПЛІС, до виходів якого підключені затвори всіх транзисторів, що «програмують» (див. рис. 1.11).

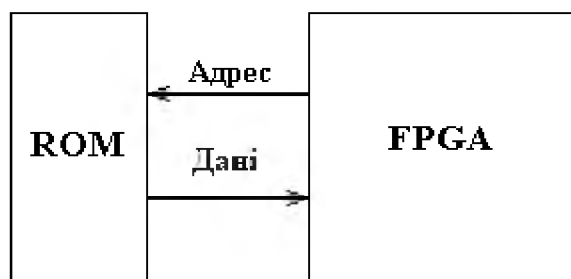


Рисунок 1.11 – Структурна схема цифрового пристрою на основі FPGA

Найбільш ефективно можливості мікросхем FPGA проявляються в ході використання бібліотек компонентів, що поставляються розробником ПЛІС і

оптимізованих за затримками і зайнятими ресурсами з урахуванням топологічних властивостей кристала.

Порівняно з СПЛУ (CPLD), FPGA мають переваги, пов'язані з необмеженою кількістю перепрограмування, більшою питомою ємністю вентилів на цент, малим енергоспоживанням, більш високою надійністю.

1.7 Перспективи розвитку архітектури ПЛІС

Розвиток архітектури ПЛІС йде по шляху створення комбінованих структур, що поєднують переваги FPGA і CPLD. Такі пристрої отримали назву ЗБІС програмованої логіки змішаної архітектури (FLEX - Flexible Logic Element Matrix). Зберігши ряд характеристик, присутніх у CPLD, мікросхеми FLEX мають логічні елементи табличного типу ЛТ (LUT), їхні логічні блоки розташовані у вигляді матриці з горизонтальними і вертикальними трасувальними каналами, що характерно для FPGA. При цьому наявність безперервних зв'язків, що типово для CPLD, дає гарну передбачуваність і малі величини затримок поширення сигналів. Характерними представниками мікросхем цього типу є ПЛІС фірми Altera FLEX 8000, FLEX 10K.

Перші ПЛІС, що виготовляються за технологією ТТЛШ (до середини 80-х років) характеризувалися високою швидкістю (менше 10 нс), низькою вартістю, великою споживчою потужністю, малим ступенем інтеграції, неможливістю перепрограмування. В кінці 80-х років набули широкого поширення ПЛІС, виконані за технологією КМОП. У таких ПЛІС роль сполучних елементів (перемичок) відіграють осередки пам'яті типу EPROM або EEPROM. Якщо в біполярних ПЛІС з'єднання розриваються шляхом звичайного запису перемички, то в КМОП-ПЛІС осередку програмується за рахунок накопичення або видалення електричного заряду. Такі перемички можна не тільки розривати, але і відновлювати. Цей процес називається стиранням схеми. Залежно від типу елементів пам'яті розрізняють ПЛІС з ультрафіолетовим (УФ) стиранням (EPROM) і електричним стиранням (EEPROM). ПЛІС з УФ-стиранням виготовляються в керамічних корпусах з вікном. Стирання відбувається при опроміненні ПЛІС УФ-випромінюванням із заданими параметрами. Стирання ПЛІС типу EEPROM виконується шляхом подачі на схему певних електричних сигналів (15-25В). Впровадження технології КМОП дозволило значно збільшити ступінь інтеграції ПЛІС і досягти 10000 і більше вентилів. Споживання КМОП-схем становить близько 1 мА/МГц, а деякі ПЛІС мають режим мікроамперного споживання в статичному режимі.

Ряд технологічних удосконалень і зменшення топологічних норм проектування довели рівень інтеграції сучасних ЗБІС програмованої логіки до величин у кілька мільйонів еквівалентних вентилів при робочій тактовій частоті до 500 МГц. Завдяки перерахованим вище параметрам, на кристалі ЗБІС ПЛІ стало можливим розмістити схему високої складності – систему, що включає мікропроцесор, пам'ять, схеми сполучення і т.д. Такі системи отримали назву

систем на кристалі. При цьому різні за функціональністю блоки реалізуються одними і тими ж апаратними засобами, з огляду на їхню програмованість. Системи різного призначення містять, як правило, типові компоненти, що ставить питання про необхідність введення в ЗБІС поряд зі структурами програмованої логіки спеціалізованих областей із заздалегідь визначеними функціями – апаратних ядер (Hardcores). Введення спеціалізованих апаратних ядер у ПЛІС, маючи ряд позитивних наслідків, призводить до зниження універсальності ПЛІС з Hardcores, порівняно зі стандартними мікросхемами програмованої логіки.

1.8 Системний підхід у ході проектування цифрових пристроїв на ПЛІС

Сьогодні для проектування складних цифрових пристроїв, що мають сотні тисяч і навіть мільйони компонентів, застосовується **системний підхід** (systematic methodology). Він полягає в тому, що проектувана система може бути подана кількома різними за формою, адекватністю та ступенем деталізації моделями. Як цифрова система розглядається пристрій, що перетворює або зберігає інформацію.

Системний підхід до проектування цифрових пристроїв передбачає початковий опис всього пристрою у вигляді абстрактної структури, що задовольняє необхідні умови – специфікації. Потім ця структура (велика система) розбивається на підсистеми, кожна з яких реалізує незалежну функцію, але в сукупності ці підсистеми реалізують функції великої системи. На наступному етапі кожна підсистема може бути розбита на складові нижчого рівня. Такі ітерації виконуються до тих пір, доки на найнижчому рівні модель пристрою не складатиметься тільки з найпростіших, неподільних елементів.

Перевагою даного підходу є незалежність проектування кожної з підсистем. При цьому проектувальнику не потрібно працювати з усім обсягом інформації, а тільки з тим, який необхідний для створення конкретної частини проекту.

Основні етапи системного проектування цифрових пристроїв наведені на рисунку 1.12.

Першим етапом проектування є створення технічного завдання (ТЗ), яке зазвичай включає в себе вимоги до робочих характеристик системи, опис інтерфейсу, експлуатаційні характеристики системи (розсіювана потужність). Так само проводиться оцінка ефективності системи, орієнтовний розрахунок вартості готового виробу і т.д.

На основі ТЗ створюється попередня високорівнева функціонально-структурна схема системи з описом алгоритмічних основ роботи кожного компонента.

На третьому етапі отримана функціонально-структурна схема перетворюється в модель рівня реєстрових передач, у якій розглядаються описи регістрів, модулів пам'яті, операційних і керуючих автоматів.

Результатом наступного етапу проектування є створення логічних схем для кожного компонента. При цьому кожен компонент розглядається як система, що складається із сукупності найпростіших логічних вентилів.

Надалі опис логічного рівня перетворюється в схемний (розробляється принципова схема пристрою на рівні транзисторів).

Заключними етапами є проектування топології кристала, обчислення реальних фізичних властивостей пристрою, таких як площа кристала і розсіювана потужність. При цьому відбувається верифікація проектних норм, визначаються реальні фізичні параметри схеми і готується вичерпний опис пристрою для виконання виробничих циклів.

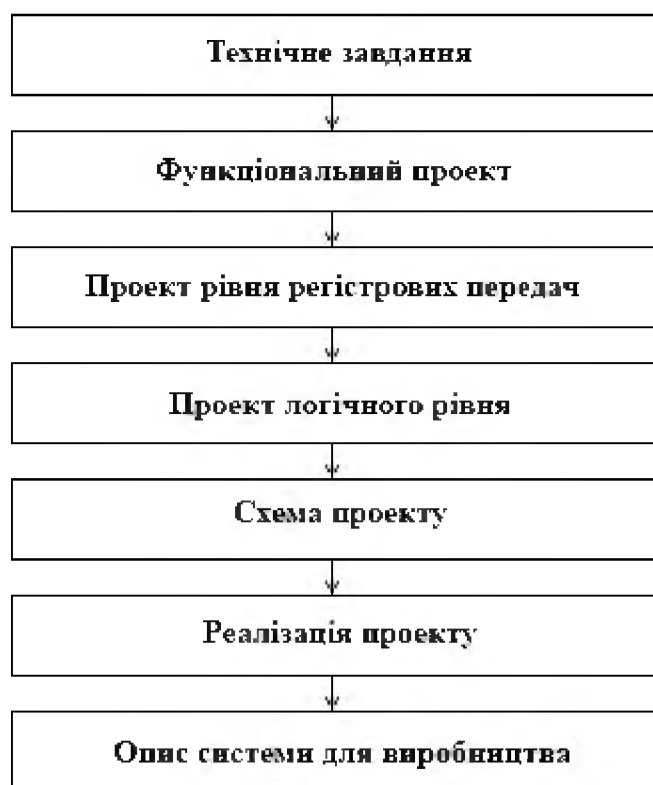


Рисунок 1.12 – Етапи системного проектування цифрових пристроїв

На кожному етапі проектування цифровий пристрій подається різними за повнотою опису і ступеня адекватності моделями, які можна розділити на 3 типи:

1 – **функціональні (поведінкові)**, що описують принципи функціонування пристрою без урахування його технічної реалізації. На даному рівні формою подання пристрою є булеві рівняння, алгоритми, функції.

2 – **структурні** – дозволяють ввести в опис пристрою поняття структури для реалізації деякої функції. Це дає можливість розширити реалізацію поведінкової моделі до рівня логічних вентилів і підвищити адекватність опису пристрою.

3 – **фізичні** – орієнтовані на подання пристрої в конкретному схемотехнічному базисі, що дозволяє провести найбільш повну оптимізацію апаратної реалізації.

На всіх етапах системного проектування для опису пристрою використовуються компоненти. На найвищому рівні – це невелика кількість складних компонентів, таких як суматори або модулі пам'яті; на нижніх – величезне число елементарних компонентів, таких як логічні вентиля або транзистори. Кожному рівню відповідає своє формальне математичне описання, за яким можна передбачити поведінку розроблювального пристрою. При цьому вивчення фізичних характеристик проекту, а також оптимізацію параметрів схеми доцільно розглядати на нижніх рівнях проектування, хоча для цього потрібен довший час розробки та аналізу.

1.9 Методика і засоби автоматизованого проектування цифрових пристроїв на ПЛІС

Як було показано в попередньому розділі, сучасний рівень розробки цифрових пристроїв передбачає широке використання програмованих логічних інтегральних схем (ПЛІС). Проектування пристроїв високої складності на ПЛІС виконується тільки за допомогою спеціалізованих систем автоматизованого проектування (САПР). При цьому структурна схема основних етапів проектування, зображена на рис. 1.12, перетворюється до алгоритму автоматизованого проектування ПЛІС, наведеному на рисунку 1.13.

На концептуальному рівні проектування визначаються функції пристрою, безлічі вхідних і вихідних сигналів, можливості розбиття проекту на частини. Цей рівень проектування, практично, не пов'язаний з автоматизацією і його реалізація цілком покладається на розробника.

Результати концептуального синтезу вводяться в САПР, в якій виконується компіляція проекту – синтез пристрою в базисі бібліотеки моделей. Компіляція розбивається на ряд послідовних етапів: формування бази даних проекту, контроль з'єднань, логічна мінімізація проекту і т.д. Результатом компіляції є файл, який містить конфігураційну інформацію для заданої ПЛІС.

Скомпільований проект вимагає ретельної перевірки, тому за етапом синтезу йде етап аналізу за допомогою моделювання та теоретичної верифікації. Моделювання здійснюється на декількох рівнях, що характеризуються різним ступенем відображення властивостей реального об'єкта. Так, за допомогою функціонального моделювання можна перевірити правильність логічної структури пристрою. Часове моделювання дозволяє проводити тестування роботи пристрою з урахуванням затримок сигналів у компонентах без урахування остаточної топології трасування.

В результаті моделювання можуть виявитися помилки, які вимагають виправлень, що надає процесу проектування ітеративний характер з поверненнями до попередніх етапів і введення в проект потрібних змін.

Далі проводиться конфігурація ПЛІС, після чого можливе проведення етапу фізичного моделювання – перевірки реальної роботи спроектованого пристрою. При успішному завершенні фізичного моделювання пристрій готовий для установки в систему.

Застосування САПР для розробки пристроїв на ПЛІС вимагає ефективних, наочних, керованих і контрольованих засобів опису проекту. На сучасному етапі найбільш поширеними універсальними способами опису проектів є **графічний і текстовий**.

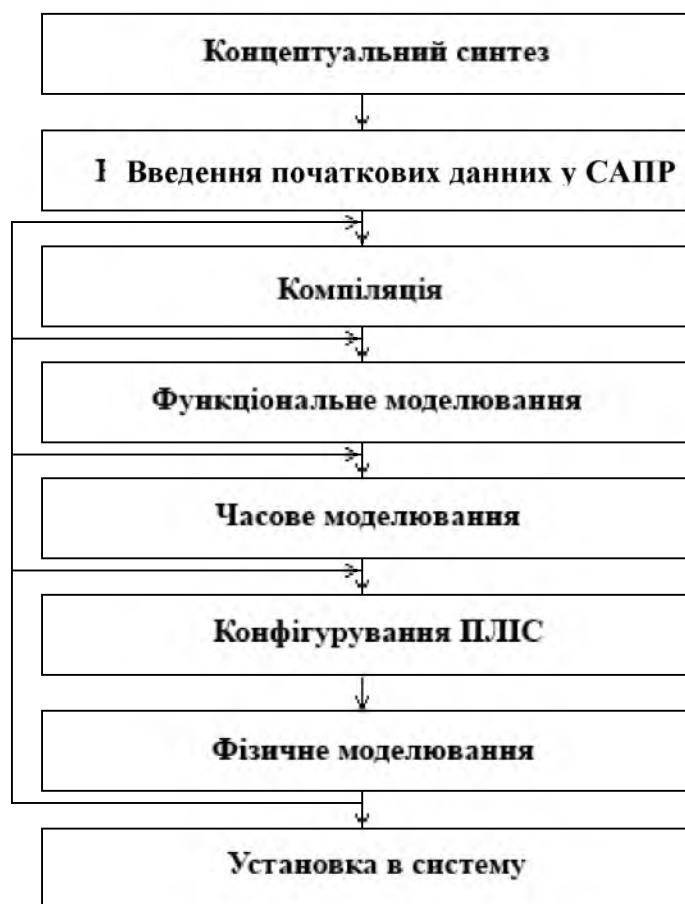


Рисунок 1.13 – Алгоритм автоматизованого проектування ПЛІС

Графічний спосіб заснований на поданні схеми проекту в базисі допустимих для обраної САПР бібліотечних елементів, наприклад, у базисі елементів стандартної серії ТТЛ (Ш). Основні переваги графічного способу – традиційність і наочність, пов'язані зі звичністю розробників до сприйняття зображень схем. Однак у ході проектування пристроїв на ПЛІС, складність яких оцінюється десятками і сотнями тисяч еквівалентних вентилів, різко втрачається наочність проекту навіть під час коректного застосування системного підходу.

Тому в останнє десятиріччя набули істотного розвитку кошти текстового опису цифрових пристроїв на ПЛІС, реалізовані у вигляді мов опису апаратури (Hardware Description Languages – HDL).

Сучасні мови опису апаратури допускають опис проектного пристрою як з точки зору його поведінки (виконуваних функцій), так і з точки зору його структури. Ці можливості дозволяють подавати проект у формі текстового опису алгоритмів функціонування окремих компонентів пристрою в поєднанні з описом міжкомпонентних з'єднань.

Перевагами **текстового способу** опису проекту за допомогою мов опису апаратури є компактність, автоматизація більшості перетворень, можливість перенесення проекту з однієї апаратної платформи на іншу, простота документування.

1.10 Можливості мов опису апаратури HDL

Сьогодні засоби **HDL** розділяються на два основні різновиди – мови низького і високого рівнів.

Мови опису апаратури низького рівня за своїми командами безпосередньо орієнтовані на роботу з апаратними засобами і мають потенційні можливості для створення проектів з оптимізованими параметрами. Дані HDL, як правило, жорстко прив'язані до певної апаратури. За допомогою мов низького рівня, що враховують спеціалізовані особливості архітектури ПЛІС, істотно полегшується створення проектів з найкращими часовими характеристиками. Прикладами таких мов можуть служити AHDL (Altera HDL) і ABEL (Xilinx).

Мови опису апаратури високого рівня менш пов'язані з апаратними платформами і володіють більшою універсальністю. Найбільш поширеними мовами цієї групи є VHDL і Verilog. Ці мови, як і інші мови програмування високого рівня, дозволяють описати будь-який алгоритм у послідовній формі – за допомогою послідовності операторів присвоювання і прийняття рішень. Особливістю даних мов є наявність засобів відображення паралельно виконуваних апаратних дій, які подаються окремими паралельно виконуваними процесами із загальним ініціалізованим впливом. Найбільш поширеною мовою цього класу, специфікованою міжнародними стандартами, є мова опису апаратури VHDL.

КОНТРОЛЬНІ ЗАПИТАННЯ ТА ЗАВДАННЯ

1. Поясніть принципи розробки цифрових пристроїв на напівзамовних і програмованих користувачем БІС.
2. Поясніть особливості архітектури програмованих логічних матриць (ПЛІМ) і принципи проектування цифрових пристроїв на їхній основі.
3. Поясніть відмінність архітектури ПЛІМ і ПМЛ.
4. Які сучасні тенденції розвитку архітектур ПЛІМ і ПМЛ?
5. Поясніть принципи побудови пристроїв на БМК.

6. Чим визначається логічна складність пристроїв на БМК?
7. Поясніть переваги і недоліки різних структур БМК.
8. Поясніть принципи внутрішньої організації ПЛІС FPGA.
9. Поясніть структуру конфігураційного-логічного блоку FPGA.
10. Яку функцію виконує логічна таблиця LUT в FPGA.
11. Поясніть принцип конфігурації ПЛІС FPGA.
12. Сформулюйте сучасні концепції розвитку архітектур ПЛІС.
13. У чому полягає сутність системного підходу під час проектування цифрових пристроїв?
 14. Які функціональні елементи мають утворювати систему на кристалі?
 15. Перерахуйте основні етапи системного проектування цифрових пристроїв.
 16. Як змінюється адекватність формального опису цифрового пристрою при переході від функціональної до структурної і до фізичної моделей.
 17. У чому полягають особливості автоматизованого проектування цифрових пристроїв на ПЛІС?
 18. Сформулюйте основні переваги та недоліки способів схемного і текстового уявлень цифрових пристроїв на ПЛІС.
 19. Сформулюйте основні особливості мов опису апаратури високого і низького рівнів.