

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 1

## **ЗАТВЕРДЖЕНО**

Науково-методичною радою  
Державного університету  
«Житомирська політехніка»

протокол від \_\_\_\_\_ 20\_\_ р.  
№ \_\_\_\_\_

### **МЕТОДИЧНІ РЕКОМЕНДАЦІЇ для самостійної роботи з навчальної дисципліни «Цифрова техніка та ПЛІС»**

для здобувачів вищої освіти освітнього ступеня «бакалавр»  
спеціальності 172 «Телекомунікації та радіотехніка»  
освітньо-професійна програма «Телекомунікації та радіотехніка»  
факультет інформаційно-комп'ютерних технологій  
кафедра комп'ютерних технологій у медицині та телекомунікаціях

Рекомендовано на засіданні  
кафедри комп'ютерних технологій  
у медицині та телекомунікаціях  
28 серпня 2023 р., протокол №7

Розробник: к.т.н., доцент кафедри комп'ютерних технологій у медицині та  
телекомунікаціях ЦИПОРЕНКО Віталій

Житомир  
2023

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 2

## ЗМІСТ

Вступ.....	3
Принцип роботи та побудова цифрової елементної бази.....	[3]
Методи мінімізації логічних функцій.....	[1,2]
Синтез логічних схем в ПЛІС в графічному режимі з використанням САПР Altera QUARTUS II.....	[4], с. 4-105
Синтез логічних схем в ПЛІС мовою Verilog з використанням САПР Altera QUARTUS II.....	[4], с. 100-147
Синтез логічних схем в ПЛІС мовою VHDL з використанням САПР Altera QUARTUS II.....	[3]
Література	3
Тести з предмету	4

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 3

## Вступ

**Метою дисципліни «Цифрова схемотехніка та ПЛІС»** є освоєння студентами теоретичних основ функціонування та побудови сучасної цифрової елементної бази, розробки цифрових засобів радіотехнічних та телекомунікаційних систем на ПЛІС та їх програмування.

**Завданнями вивчення навчальної дисципліни є:**

- Навчитись використовувати базові методи, способи та засоби отримання, передавання, обробки та зберігання інформації;
- Навчитись розробці в галузі обчислювальної і мікропроцесорної техніки та програмування, програмних засобів для розв’язання спеціалізованих задач та практичних проблем у галузі професійної діяльності;
- Оволодіти вмінням проектувати, в т.ч. схемотехнічно нові (модернізувати існуючі) елементи (модулі, блоки, вузли) телекомунікаційних та радіотехнічних систем, систем телевізійного й радіомовлення тощо;

### Основна література


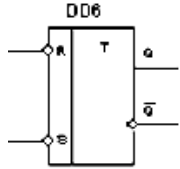
1. Цифрова схемотехніка. Навчальний посібник./ М.Г. Лорія, П.Й. Єлісеєв, О.Б. Целіщев. – Сєверодонецьк: Вид-во Східноукр. нац. ун-ту імені Володимира Даля, 2016. – 280 с., 112 іл., 9 табл., 30 бібліогр. назв.
2. Лахно В.А., Гусєв Б.С., Смолій В.В., Місюра М.Д., Касаткін Д.Ю. Технології проектування комп’ютерних систем (частина 1) - К.: НУБіП України, 2019. – 205 с.
3. Єфремов, Н.В. Введення в систему автоматизованого проектування Quartus II: навч. посібник / Н.В. Єфремов. – К.: Вища школа, 2011. – 147с.
4. Соловійов, В.В. Основи мови проектування цифрової апаратури Verilog / В.В. Соловійов. – К.: Вища школа, 2014. – 206с.

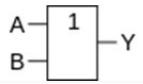
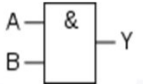
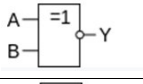
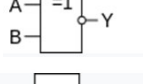
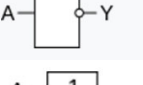
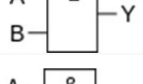
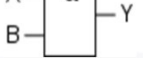
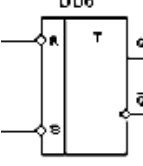
### Інформаційні ресурси в Інтернеті

1. Файли дисципліни: <https://learn.ztu.edu.ua/course/view?id=6043>

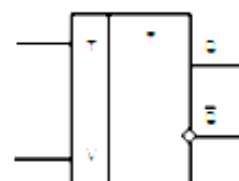
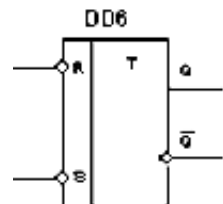
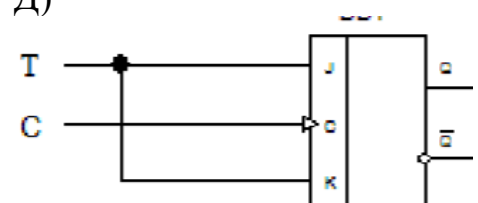
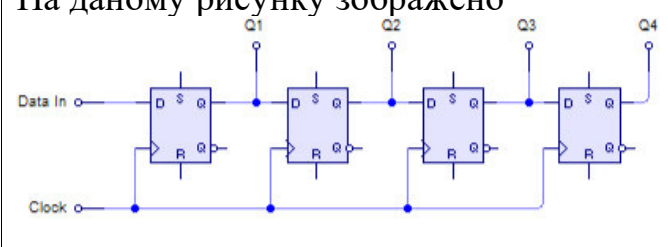
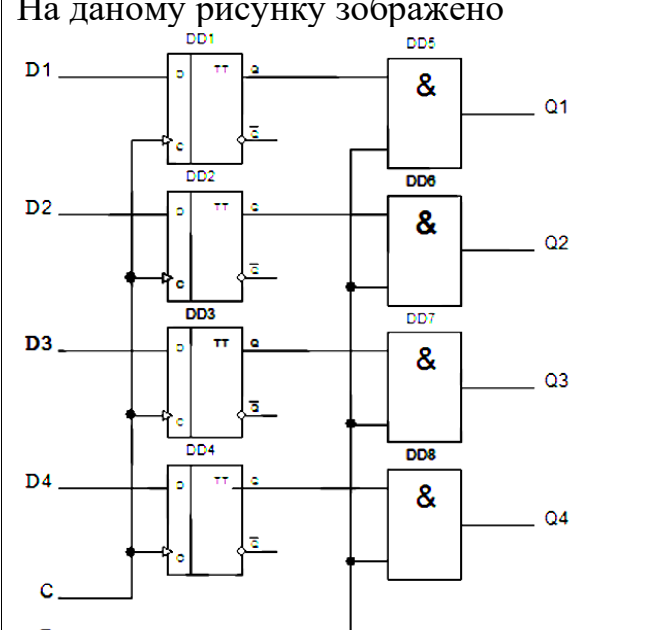
Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 4

### Тести з предмету

№ п/п	Текст завдання	Варіанти відповідей
1.	Число 11 у двійковій системі зчислення дорівнює	А) 20200 Б) 1110 В) 1011 Г) ВВ Д) 22
2.	Число 5A у двійковій системі зчислення дорівнює	А) 01011010 Б) 02022022 В) 12122121 Г) 510 Д) 2021
3.	Число 6 у вісімковій системі зчислення дорівнює	А) 8 Б) 0110 В) 6 Г) 08 Д) 80
4.	При арифметичному множенні двійкових чисел $1001 * 1$ дорівнює	А) 1 Б) 9 В) 1001 Г) 0 Д) 10011
5.	Постійна напруга цифрової одиниці може бути, Вольт	А) 3 Б) 4 В) 0 Г) 1 Д) -5
6.	Цифрова елементна база працює згідно з	А. Арифметикою Б. Алгеброю логіки В. Геометрією Г. Математикою Д. Раціональною арифметикою
7.	Умовне графічне позначення повторювача	А.  Б. 

		<p>В. </p> <p>Г. </p> <p>Д. </p>
8.	Умовне графічне позначення елемента «Виключне Або- НЕ»	<p>А. </p> <p>Б. </p> <p>В. </p> <p>Г. </p> <p>Д. </p>
9.	Який з тригерів має один інформаційний вхід	<p>А) Т</p> <p>Б) RS</p> <p>В) JK</p> <p>Г) PLM</p> <p>Д) D</p>
10.	Який з двовходових тригерів не має заборонених комбінацій?	<p>А) Т</p> <p>Б) D</p> <p>В) RS</p> <p>Г) В</p> <p>Д) JK</p>
11.	Постійна напруга цифрового нуля може бути, Вольт	<p>А) 1.6</p> <p>Б) 2</p> <p>В) 4</p> <p>Г) -1</p> <p>Д) 0</p>
12.	Як конструктивно реалізується послідовна шина на відстань до 100 метрів?	<p>А) Простий кабель</p> <p>Б) Круглий кабель</p> <p>В) Коаксіальний кабель</p> <p>Г) Волоконно-оптичний кабель</p> <p>Д) телефонний канал</p> <p>Д. Однонапрявлена.</p>

13.	Умовне графічне позначення RS - тригера	<p>А) Б) В) Г) Д)</p>
14.	Закон виключеного третього алгебри логіки, це	<p>А) <math>1+0=1</math>  Б) <math>a+a=a</math>  В) <math>a+(\text{не } a) = 1</math>  Г) <math>1+1=1</math>  Д) <math>a*a=a</math></p>
15.	Закон універсальної множини алгебри логіки, це	<p>А) <math>1+0=1</math>  Б) <math>a+a=a</math>  В) <math>1+a=1</math>  Г) <math>1*0=0</math>  Д) <math>a*a=a</math></p>
16.	Логічне протиріччя алгебри логіки, це	<p>А) <math>1+0=1</math>  Б) <math>a+a=a</math>  В) <math>1+a=1</math>  Г) <math>a*(\text{не } a) = 0</math>  Д) <math>a*a=a</math></p>

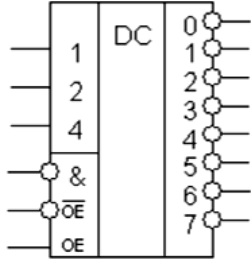
<p>17. Умовне графічне позначення JK - тригера</p>	<p>А) </p> <p>Б) </p> <p>В) </p>	<p>А) Стьйкість, універсальність, точність</p>
<p>18. На даному рисунку зображено</p> 	<p>А) послідовний реєстр зсуву з паралельним виходом.</p> <p>Б) 4-х розрядний дешифратор.</p> <p>В) паралельний реєстр.</p> <p>Г) лічильник.</p> <p>Д) D – тригер на 4 розряди.</p>	<p>А) послідовний реєстр зсуву з паралельним виходом.</p> <p>Б) 4-х розрядний шифратор.</p> <p>В) лічильник.</p> <p>Г) паралельний реєстр на тактованих D – тригерах.</p> <p>Д) D – тригер на 4 розряди.</p>
<p>19. На даному рисунку зображено</p> 	<p>А) послідовний реєстр зсуву з паралельним виходом.</p> <p>Б) 4-х розрядний шифратор.</p> <p>В) лічильник.</p> <p>Г) паралельний реєстр на тактованих D – тригерах.</p> <p>Д) D – тригер на 4 розряди.</p>	<p>А) послідовний реєстр зсуву з паралельним виходом.</p> <p>Б) 4-х розрядний шифратор.</p> <p>В) лічильник.</p> <p>Г) паралельний реєстр на тактованих D – тригерах.</p> <p>Д) D – тригер на 4 розряди.</p>

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06-05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 8


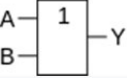

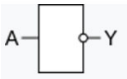



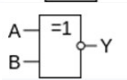


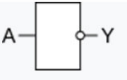

20.	Які є типи лічильників	А. Прості, складні. Б. Хаотичні, синхронні. В. Підсумовуючі, піднімальні, реверсивні. Г. Періодичні, неперіодичні. Д. Цифрові, аналогові, комбіновані.															
21.	Скільки основних варіантів реалізації алгоритмів функціонування цифровими пристроями	А) 1 Б) 2 В) 3 Г) 4 Д) 5															
22.	Визначте основну перевагу апаратного методу реалізації алгоритму.	А) Висока точність Б) Швидкодія В) Низька ціна Г) Гнучкість Д) Малий об'єм															
23.	Визначте основний недолік програмного методу реалізації алгоритму функціонування	А) Низька точність Б) Низька швидкодія В) Складність реалізації Г) Великий об'єм Д) Можливість збудження															
24.	Які цифрові елементи є базовими?	А) процесор, АЦП Б) тригер, мультиплексор В) І, Не, або. Г) мікроконтролер, процесор, блок живлення Д) мікросбірка, ВІС															
25.	Запам'ятовуючі пристрої цифрової схемотехніки за функціональними ознаками можна поділити на:	А) Флеш, постійні Б) ВІС, НВІС, малої інтеграції В) послідовні, паралельні. Г) НОЗП, ОЗП, ПЗП, ППЗП Д) ОЗП, ПЗП, Flash, МОН															
26.	Який з логічних елементів має наступну таблицю істинності: <table border="1" data-bbox="354 1771 746 1984"> <thead> <tr> <th>А</th> <th>В</th> <th>А∧В</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	А	В	А∧В	0	0	0	0	1	0	1	0	0	1	1	1	А) Or Б) & В) NAND Г) Inverter Д) Nor
А	В	А∧В															
0	0	0															
0	1	0															
1	0	0															
1	1	1															
27.	Який з логічних елементів має наступну таблицю істинності:	А) Виключне «Або» Б) Виключне «Або-Не»															

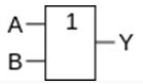
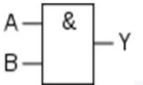
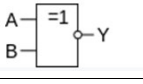
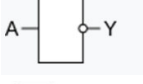
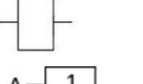


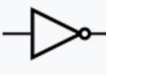
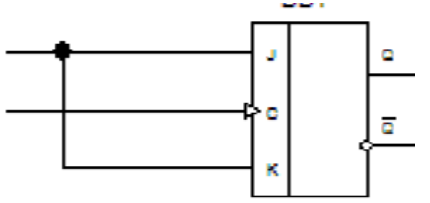


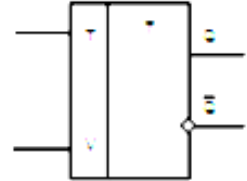
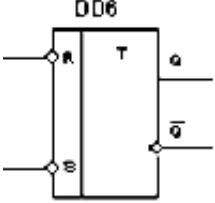
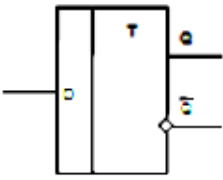
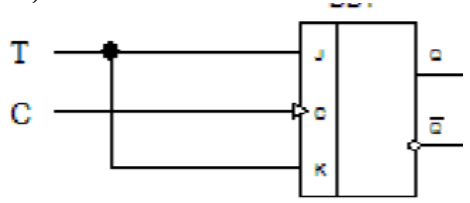

	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th><math>A \vee B</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	$A \vee B$	0	0	0	0	1	1	1	0	1	1	1	1	<p>В) «Або» Г) «І-Не» Д) «Не»</p>
A	B	$A \vee B$															
0	0	0															
0	1	1															
1	0	1															
1	1	1															
28.	<p>Який з логічних елементів має наступну таблицю істинності:</p> <table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th><math>A \wedge B</math></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	$A \wedge B$	0	0	0	0	1	0	1	0	0	1	1	1	<p>А) Виключне «Або» Б) «І» В) «Не» Г) Або Д) Повторювач</p>
A	B	$A \wedge B$															
0	0	0															
0	1	0															
1	0	0															
1	1	1															
29.	<p>Який з тригерів має наступну таблицю істинності:</p> <table border="1"> <tbody> <tr> <td>0</td> <td>0</td> <td><math>Q^n</math></td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td><math>\overline{Q^n}</math></td> </tr> </tbody> </table>	0	0	$Q^n$	0	1	0	1	0	1	1	1	$\overline{Q^n}$	<p>А) MUX Б) JK В) RS Г) DV Д) T</p>			
0	0	$Q^n$															
0	1	0															
1	0	1															
1	1	$\overline{Q^n}$															
30.	<p>Як зробити D тригер з JK.</p>	<p>А) Вхід J через суматор підключити до K входу. Б) Входи J та K з'єднати в D. В) Вхід J через інвертор підключити до K входу. Г) З'єднати J та D входи в один. Д) З'єднати J та C входи в один.</p>															
31.	<p>Які є методи мінімізації логічних функцій?</p>	<p>А) Мінтермів, макстермів. Б) ДДНФ, ДКНФ. В) ДДНФ, ДКНФ, аналітичний. Г) ДДНФ, ДКНФ, карт Карно. Д) карт Карно, розрахунковий, Куайна – Мак-Класкі.</p>															
32.	<p>Яка схема синтезується за мінімізованим виразом для заданої таблиці істинності.</p>	<p>А) Структурна. Б) Схема електрична принципова. В) Блок-схема алгоритму. Г) Функціональна.</p>															

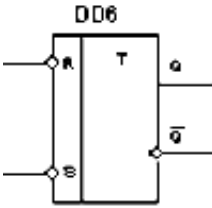
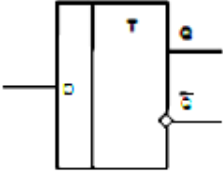
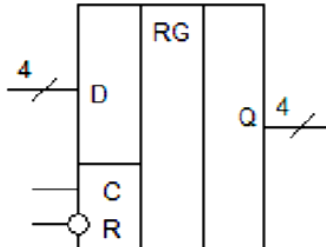
		Д) ДДНФ цифрова.																																																												
33.	<p>Який з цифрових елементів має наступну таблицю істинності:</p> <table border="1"> <thead> <tr> <th colspan="2">Адреса</th> <th colspan="4">Виходи</th> </tr> <tr> <th>A</th> <th>B</th> <th>F0</th> <th>F1</th> <th>F2</th> <th>F3</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	Адреса		Виходи				A	B	F0	F1	F2	F3	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	1	1	0	0	0	0	<p>А) RAM. Б) DC. В) CPU 4. Г) DMUX 1-4. Д) MUX 1-4.</p>																								
Адреса		Виходи																																																												
A	B	F0	F1	F2	F3																																																									
0	0	0	0	0	0																																																									
0	1	0	0	0	0																																																									
1	0	0	0	0	0																																																									
1	1	0	0	0	0																																																									
34.	<p>Який з цифрових елементів має наступне УГП.</p> 	<p>А) Дешифратор. Б) Мультиплексор. В) Шифратор. Г) Процесор. Д) Цифровий конвертер.</p>																																																												
35.	<p>Який з цифрових елементів має наступну таблицю істинності:</p> <table border="1"> <thead> <tr> <th>Входи</th> <th colspan="4">Виходи</th> </tr> <tr> <th>Xi</th> <th>F4</th> <th>F3</th> <th>F2</th> <th>F1</th> </tr> </thead> <tbody> <tr> <td>X0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>X1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>X2</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>X3</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>X4</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>X5</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>X6</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>X7</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>X8</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>X9</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	Входи	Виходи				Xi	F4	F3	F2	F1	X0	0	0	0	0	X1	0	0	0	1	X2	0	0	1	0	X3	0	0	1	1	X4	0	1	0	0	X5	0	1	0	1	X6	0	1	1	0	X7	0	1	1	1	X8	1	0	0	0	X9	1	0	0	1	<p>А) 4-х розрядний дешифратор. Б) 4-х розрядний шифратор. В) 9-розрядний шифратор. Г) 9-входовий мультиплексор. Д) 10-розрядний шифратор.</p>
Входи	Виходи																																																													
Xi	F4	F3	F2	F1																																																										
X0	0	0	0	0																																																										
X1	0	0	0	1																																																										
X2	0	0	1	0																																																										
X3	0	0	1	1																																																										
X4	0	1	0	0																																																										
X5	0	1	0	1																																																										
X6	0	1	1	0																																																										
X7	0	1	1	1																																																										
X8	1	0	0	0																																																										
X9	1	0	0	1																																																										

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 11

№ п/п	Текст завдання	Варіанти відповідей
36.	Число 15 у шістнадцятковій системі зчислення дорівнює	А) 15 Б) 1111 В) 5F Г) F Д) 16
37.	Число EF у двійковій системі зчислення дорівнює	А) 11101111 Б) 22212222 В) 255 Г) 239 Д) 1011
38.	При арифметичному додаванні двійкових чисел 1+1 дорівнює	А) 10 Б) 10 В) 1 Г) 2 Д) 20
39.	Постійна напруга цифрового нуля може бути, Вольт	А) 1 Б) 2 В) 4 Г) -1 Д) 5
40.	Часова діаграма цифрового двійкового сигналу має вигляд	А. горизонтальна лінія Б. пила В. прямокутного сигналу Г. синусоїда Д. 10101000
41.	Умове графічне позначення елемента «І»	<p>А. </p> <p>Б.  </p> <p>В.  </p> <p>Г.  </p> <p>Д.  </p>
42.	Умове графічне позначення елемента «Або»	<p>А. </p> <p>Б.  </p>

		<p>В. </p> <p>Г. </p> <p>Д. </p>
43.	Умовне графічне позначення елемента «НЕ»	<p>А. </p> <p>Б. </p> <p>В. </p> <p>Г. </p> <p>Д. </p>
44.	Який з тригерів має заборонену комбінацію?	<p>А) Т</p> <p>Б) JK</p> <p>В) RS</p> <p>Г) PLM</p> <p>Д) D</p>
45.	Який з тригерів змінює свій стан на протилежний за тактуючим імпульсом?	<p>А) Т</p> <p>Б) RS</p> <p>В) D</p> <p>Г) В</p> <p>Д) JK</p>
46.	Постійна напруга цифрової одиниці може бути, Вольт	<p>А) 3</p> <p>Б) 3.5</p> <p>В) 0</p> <p>Г) 1</p> <p>Д) -4</p>
47.	Яка основна складова в структурі тригерів	<p>А) Елемент І</p> <p>Б) Інвертор</p> <p>В) Бістабільна комірка</p> <p>Г) Елемент Або</p> <p>Д) реєстр</p>
48.	Умовне графічне позначення D - тригера	<p>А) </p>

		 <p>Б) <span style="float: right;">В)</span></p>  <p>Г) Стійкість, універсальність, точність</p>  <p>Д)</p>
49.	Які цифрові елементи є базовими в цифровій схемотехніці?	<p>А) Резистор, конденсатор.  Б) І, тригер, мультиплексор.  В) Зберігає два операнди.  Г) І, Або, Не.  Д) Процесор, оперативна пам'ять.</p>
50.	Закон повторення алгебри логіки, це	<p>А) <math>1+0=1</math>  Б) <math>a+a=a</math>  В) <math>1+a=1</math>  Г) <math>1*0=0</math>  Д) <math>a*a=a</math></p>
51.	Умовне графічне позначення Т - тригера	<p>А)</p>  <p>Б) <span style="float: right;">В)</span></p> 

		 <p>Г) Стійкість, універсальність, точність</p>  <p>Д)</p>
52.	Регістр – це	<p>А) Пристрій послідовного типу, призначений для підрахунку числа вхідних імпульсів.</p> <p>Б) Пристрій послідовного типу, з двома стійкими станами, призначений для запису і зберігання інформації.</p> <p>В) Послідовний або паралельний логічний пристрій, який виконує функцію приймання, запам'ятовування і передавання інформації.</p> <p>Г) схема, в якій певна мінімальна кількість вхідних змінних повинна дорівнювати «1», щоб на виході була «1».</p> <p>Д) постійний запам'ятовуючий пристрій.</p>
53.	На даному рисунку зображено	 <p>А) послідовний регістр зсуву з паралельним виходом.</p> <p>Б) 4-х розрядний дешифратор.</p> <p>В) лічильник.</p> <p>Г) паралельний регістр.</p> <p>Д) D – тригер на 4 розряди.</p>
54.	Який пристрій є також лічильником, що рахує до двох.	<p>А. Елемент «Або».</p> <p>Б. Елемент «І».</p> <p>В. D-тригер..</p> <p>Г. T-тригер.</p> <p>Д. Мультиплексор.</p>
55.	З яких елементів будують лічильники.	<p>А. З таймерів.</p>

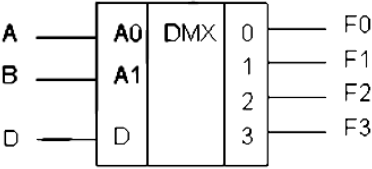
Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 15

		Б. З тригерів. В. З кварцевих генераторів. Г. З АЦП. Д. Усі відповіді вірні.
56.	Визначте сутність апаратного методу реалізації алгоритму цифровими пристроями	А) Здійснюється згідно програми Б) Кожна операція реалізується відповідним пристроєм. В) Реалізується на ЕОМ Г) Реалізується на мікропроцесорі Д) Реалізується на мікроконтролері
57.	Визначте основний недолік апаратного методу реалізації алгоритму	А) Низька точність Б) Низька швидкодія В) Складність реалізації Г) Великий об'єм Д) Можливість збудження
58.	Визначте сутність програмного методу реалізації алгоритму функціонування	А) Реалізується на мікропроцесорі Б) Реалізується на мікроконтролері В) Кожна операція реалізується відповідним пристроєм Г) Реалізується згідно програми ЕОМ Д) Реалізується виконавчим механізмом
59.	Визначте основну перевагу програмного методу реалізації алгоритму функціонування.	А) Точність Б) Швидкодія В) Гнучкість Г) Стабільність Д) Надійність
60.	Визначте метод реалізації алгоритму на цифрових базових елементах.	А) Програмний Б) Апаратно-програмний В) Алгоритмічний Г) Просторовий Д) Апаратний
61.	Які цифрові елементи є базовими?	А) процесор, АЦП

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 17 / 16

		<p>Б) тригер, мультиплексор</p> <p>В) І, Не, або.</p> <p>Г) мікроконтролер, процесор, блок живлення</p> <p>Д) мікросбірка, ВІС</p>															
62.	Запам'ятовуючі пристрої цифрової схемотехніки мають наступні основні параметри	<p>А) ціна, розмір, швидкодія</p> <p>Б) тактова частота, тепловиділення, ціна.</p> <p>В) тактова частота, тепловиділення, розмір техпроцесу</p> <p>Г) ціна, якість</p> <p>Д) Інформаційна ємність, питома потужність, швидкодія.</p>															
63.	Який з логічних елементів має наступну таблицю істинності:	<p>А) Виключне «Або»</p> <p>Б) «І-Не»</p> <p>В) Виключне «Або-Не»</p> <p>Г) «Або»</p> <p>Д) «Не»</p>															
	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>F(AB)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	F(AB)	0	0	1	0	1	0	1	0	0	1	1	1	
A	B	F(AB)															
0	0	1															
0	1	0															
1	0	0															
1	1	1															
64.	Який з логічних елементів має наступну таблицю істинності:	<p>А) Виключне «Або»</p> <p>Б) «Або»</p> <p>В) «Не»</p> <p>Г) «Або-Не»</p> <p>Д) «І-Не»</p>															
	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>A→B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	A→B	0	0	0	1	0	1	0	1	1	1	1	0	
A	B	A→B															
0	0	0															
1	0	1															
0	1	1															
1	1	0															
65.	Який з тригерів має наступну таблицю істинності:	<p>А) RS</p> <p>Б) JK</p> <p>В) CPU</p> <p>Г) T</p> <p>Д) D.</p>															
	<table border="1"> <thead> <tr> <th>?</th> <th>Q<sup>n</sup></th> <th>Q<sup>n+1</sup></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	?	Q <sup>n</sup>	Q <sup>n+1</sup>	0	0	0	1	0	1	0	1	0	1	1	1	
?	Q <sup>n</sup>	Q <sup>n+1</sup>															
0	0	0															
1	0	1															
0	1	0															
1	1	1															
66.	Як зробити T тригер з JK.	<p>А) Неймана.</p> <p>Б) Входи J та K з'єднати в T.</p> <p>В) Вхід J через суматор підключити до K входу.</p> <p>Г) З'єднати J та C входи в</p>															



		один. Д) Входи Т та К з'єднати в С.																																																																																																														
67.	Який метод мінімізації логічних функцій застосовують для функцій 5 і більше змінних, а також в комп'ютерних алгоритмах?	А) ДДНФ, ДКНФ, карт Карно. Б) аналітичний. В) Куайна – Мак-Класкі. Г) карт Карно. Д) Алгебри логіки.																																																																																																														
68.	Яка схема синтезується за мінімізованим виразом для заданої таблиці істинності.	А) Структурна. Б) Схема електрична принципова. В) Блок-схема алгоритму. Г) Функціональна. Д) ДДНФ цифрова.																																																																																																														
69.	Який з цифрових елементів має наступну таблицю істинності: <table border="1" data-bbox="357 954 909 1285"> <thead> <tr> <th colspan="3">Входи</th> <th colspan="8">Виходи</th> </tr> <tr> <th>A</th> <th>B</th> <th>C</th> <th>F0</th> <th>F1</th> <th>F2</th> <th>F3</th> <th>F4</th> <th>F5</th> <th>F6</th> <th>F7</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> </tbody> </table>	Входи			Виходи								A	B	C	F0	F1	F2	F3	F4	F5	F6	F7	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	1	А) CD. Б) DC. В) MUX. Г) CPU. Д) DMUX
Входи			Виходи																																																																																																													
A	B	C	F0	F1	F2	F3	F4	F5	F6	F7																																																																																																						
0	0	0	1	0	0	0	0	0	0	0																																																																																																						
0	0	1	0	1	0	0	0	0	0	0																																																																																																						
0	1	0	0	0	1	0	0	0	0	0																																																																																																						
0	1	1	0	0	0	1	0	0	0	0																																																																																																						
1	0	0	0	0	0	0	1	0	0	0																																																																																																						
1	0	1	0	0	0	0	0	1	0	0																																																																																																						
1	1	0	0	0	0	0	0	0	1	0																																																																																																						
1	1	1	0	0	0	0	0	0	0	1																																																																																																						
70.	Який з цифрових елементів має наступне УГП. 	А) Дешифратор. Б) D-тригер. В) Демультіплексор. Г) Перетворювач кодів. Д) ПЗП.																																																																																																														