

## 8 АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ (АЦП)

### 8.1 Загальні особливості модуля АЦП

Модуль 10-розрядного АЦП послідовного наближення входить до складу моделей сімейства Mega, за винятком ATmega8515x/162x. Основні параметри модуля АЦП наступні:

- абсолютна похибка:  $\pm 2$  МЗР (молодшого значущого розряду);
- інтегральна нелінійність:  $\pm 0.5$  МЗР<sup>1</sup>;
- швидкодія: до 15 тис. вибірок/с [2,20].

На вході модуля АЦП моделей є 8-канальний (в моделях ATmega640x/1280x/2560x – 16-канальний) аналоговий мультиплексор, що надає в розпорядження користувача 16 каналів з однополярними (несиметричними) входами. Окремо варто сказати про мікроконтролери ATmega8x. Мікроконтролери цієї групи, що випускають у корпусі DIP-32, мають тільки 6 каналів перетворення. Крім того, у всіх моделях ATmega8x два канали (ADC4 і ADC5) є 8-розрядними.

У більшості моделей входи АЦП можуть також поєднуватися попарно для формування різного числа каналів з диференціальним входом.

При цьому в деяких каналах є можливість 10- і 200-кратного попереднього підсилення вхідного сигналу. При коефіцієнтах підсилення 1x та 10x діюча роздільна здатність АЦП складає 8 розрядів, а при коефіцієнті підсилення 200x – 7 розрядів.

---

<sup>1</sup> МЗР в зарубіжній літературі позначається LSB (Least Significant Bit – молодший значущий розряд), аналогічно, MSB (Most Significant Bit – старший значущий розряд) відповідає позначенню СЗР.

Як джерело опорної напруги для АЦП може використовуватись як напруга живлення мікроконтролера, так і внутрішнє або зовнішнє джерело опорної напруги.

Модуль АЦП може функціонувати у двох режимах:

- режим одиночного перетворення, коли запуск кожного перетворення ініціюється користувачем;
- режим безперервного перетворення, коли запуск перетворень виконується безперервно через певні інтервали часу.

Модуль АЦП містить ПВЗ (пристрій вибірки-зберігання), що підтримує під час перетворення напругу безпосередньо на вході АЦП на постійному рівні.

## **8.2 Функціонування модуля АЦП**

Функціональна схема модуля АЦП наведено на рисунку 8.1. У моделях АТmega8х і АТmega48х/88х/168х елементи і пов'язані з ними сигнали, які виділено на рисунку сірим кольором, відсутні, а неінвертуючий вхід компаратора з пристроєм вибірки-збереження підключений безпосередньо до виходу мультиплектора (показано пунктирною лінією).

Вхідний аналоговий сигнал зберігається в ПВЗ. За командою «Старт» за допомогою регістра зсуву (логіка перетворення) послідовно у часі кожен розряд ЦАП, починаючи зі старшого розряду, переводиться у положення 1. Компаратор зрівнює напругу на виході ЦАП з вхідною напругою: якщо напруга на вході більша, ніж напруга на виході ЦАП, то на виході компаратора високий рівень, а в тригер регістра зсуву записується 1, якщо напруга на вході менша, ніж напруга на виході ЦАП, то тригер переводиться у положення 0. В кінці перетворення у регістрі

даних АЦП (ADCH/ADCL) буде двійковий код, який еквівалентний вхідній напрузі.

АЦП працює у двох режимах: однополярному та диференціальному. При однополярному режимі вхідний сигнал поступає на один із входів ADC0-ADC15. При диференціальному режимі використовуються шість входів мультиплектора (ADC0, ADC1, ADC2, ADC8, ADC9, ADC10). Різниця сигналу між цими входами підсилюється за допомогою диференціального підсилювача і поступає на вхід компаратора.

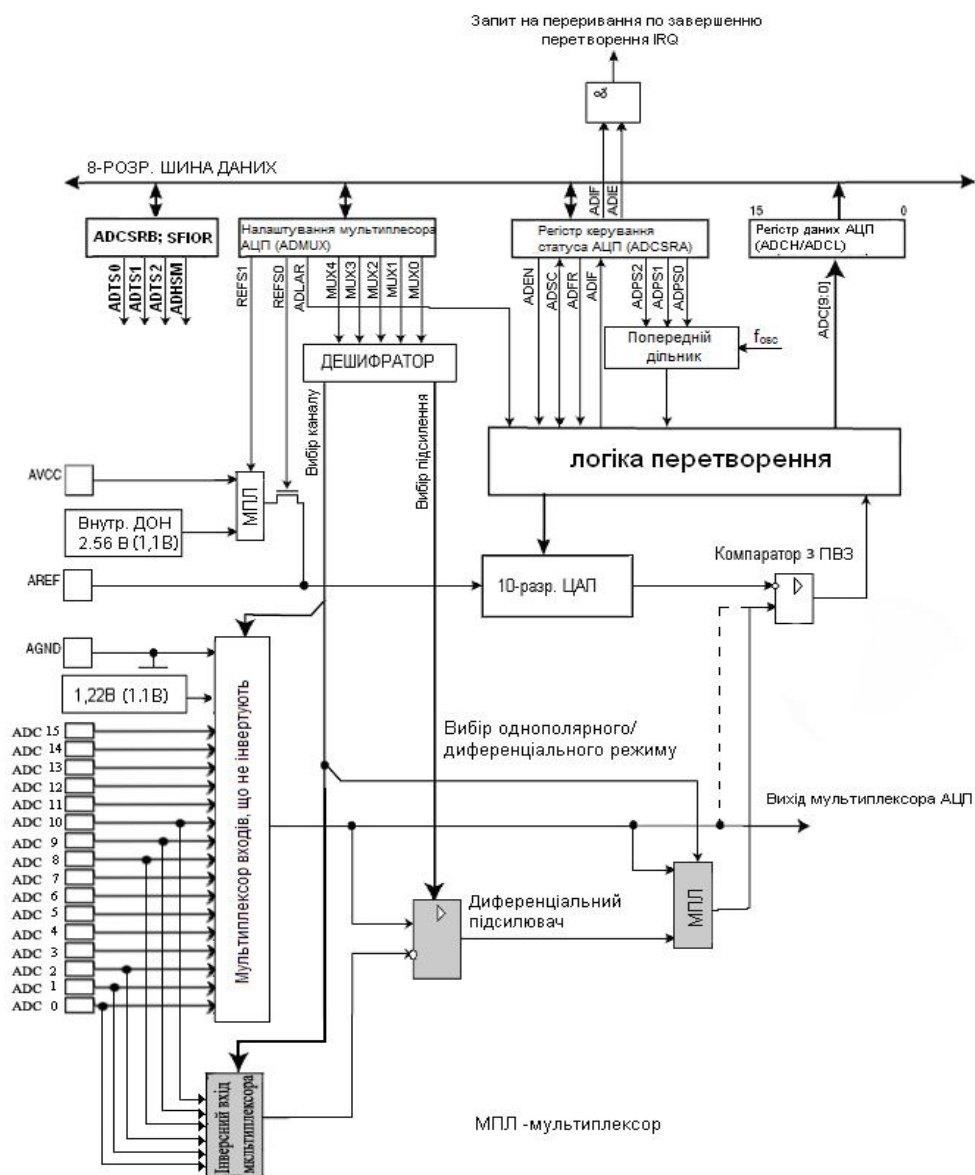


Рисунок 8.1 – Функціональна схема аналого-цифрового перетворювача

### 8.3 Програмування модуля АЦП

Як приклад для деяких моделей сімейства AVR у таблиці 8.1 наведено реєстри, що використовуються для керування модулем АЦП. Формат реєстрів ADCSRA (ADCSR) і ADMUX наведено на рисунках 8.2 і 8.3, а короткий опис функцій їх розрядів наведено у таблицях 8.2 і 8.3 відповідно.

Таблиця 8.1– Реєстри керування модулем АЦП

| Регістр    | Адреса         | ATmega8535x | ATmega8x | ATmega16x\32x | ATmega163x | ATmega323x | ATmega48x\88x\168x | ATmega64x | ATmega164x\324x\644x | ATmega165x | ATmega325x/3250x,<br>ATmega645x/6450x | ATmega640x,<br>ATmega1280x/1281x,<br>ATmega2560x/2561x | ATmega128x | Опис                              |
|------------|----------------|-------------|----------|---------------|------------|------------|--------------------|-----------|----------------------|------------|---------------------------------------|--|------------|-----------------------------------|
| ADCSR      | \$06(\$26)     |             | ◆        |               | ◆          | ◆          |                    |           |                      |            |                                       |  |            | Регістр керування і стану         |
| ADCSR<br>A | \$06<br>(\$26) | ◆           |          | ◆             |            |            |                    | ◆         |                      |            |                                       |  | ◆          | Регістр керування і стану А       |
|            | (\$7A)         |             |          |               |            |            | ◆                  |           | ◆                    | ◆          | ◆                                     | ◆  |            |                                   |
| ADCSR<br>B | (\$8E)         |             |          |               |            |            |                    | ◆         |                      |            |                                       |  |            | Регістр керування і стану В       |
|            | (\$7B)         |             |          |               |            |            | ◆                  |           | ◆                    | ◆          | ◆                                     | ◆  |            |                                   |
| ADMUX      | \$07<br>(\$27) | ◆           | ◆        | ◆             | ◆          | ◆          |                    | ◆         |                      |            |                                       |  | ◆          | Регістр керування мультиплексором |
|            | (7C)           |             |          |               |            |            | ◆                  |           | ◆                    | ◆          | ◆                                     | ◆  |            |                                   |
| SFIOR      | \$30<br>(\$50) | ◆           | ◆        | ◆             |            |            |                    |           |                      |            |                                       |  |            | Регістр спеціальних функцій       |
|            | \$20<br>(\$40) |             |          |               |            |            |                    |           |                      |            |                                       |  | ◆          |                                   |

Таблиця 8.2 – Розряди регістра ADCSRA (ADCSR\*)

| Розряд                            | Назва           | Опис  |
|-----------------------------------|-----------------|---|
| 7                                 | ADEN            | Дозвіл АЦП (1 - увімкнено, 0 - вимкнено)                                |
| 6                                 | ADSC            | Запуск перетворення (1 - почати перетворення)                           |
| 5                                 | ADATE (ADFR **) | Вибір режиму роботи АЦП<br>(0 - одиночне, 1 - безперервне перетворення) |
| 4                                 | ADIF            | Прапорець переривання завершення АЦП                                    |
| 3                                 | ADIE            | Дозвіл переривання від завершення АЦП                                   |
| 2..0                              | ADPS2:ADPS0     | Вибір частоти перетворення (див. таблицю 8.6)                           |
| * В моделі ATmega8x               |                 |   |
| ** В моделях ATmega8x, ATmega128x |                 |   |

Таблиця 8.3– Розряди регістра ADMUX

| Розряд | Назва       | Опис  | Модель                         |
|--------|-------------|---|--------------------------------|
| 7..6   | REFS1:REFS0 | Вибір джерела опорної напруги<br>(див. таблицю 8.5)                     | Всі моделі                     |
| 5      | ADLAR       | Ліве вирівнювання результату<br>(див. таблицю 8.11)                     | Всі моделі                     |
| 4      | -           | Зарезервовано   | ATmega8x                       |
|        | MUX4        | Вибір вхідних каналів (див. таблицю 8.9)                                | Всі моделі<br>крім<br>ATmega8x |
| 3..0   | MUX3..MUX0  | Вибір вхідних каналів і частоти перетворення<br>(див. таблиці 8.8, 8.9) | Всі моделі                     |

|                        | 7        | 6    | 5     | 4    | 3    | 2     | 1     | 0     |                        |
|------------------------|----------|------|-------|------|------|-------|-------|-------|------------------------|
|                        | ADEN     | ADSC | ADFR  | ADIF | ADIE | ADPS2 | ADPS1 | ADPS0 | ATmega8x<br>ATmega128x |
| Зчитування(R)/Запис(W) | R/W      | R/W  | R/W   | R/W  | R/W  | R/W   | R/W   | R/W   |                        |
| Початкове значення     | 0        | 0    | 0     | 0    | 0    | 0     | 0     | 0     |                        |
|                        | 7        | 6    | 5     | 4    | 3    | 2     | 1     | 0     |                        |
|                        | ADEN     | ADSC | ADATE | ADIF | ADIE | ADPS2 | ADPS1 | ADPS0 | Інші моделі            |
| Зчитування(R)/Запис(W) | R/W      | R/W  | R/W   | R/W  | R/W  | R/W   | R/W   | R/W   |                        |
| Початкове значення     | 0        | 0    | 0     | 0    | 0    | 0     | 0     | 0     |                        |
| ATmega 8x              | – ADCSR  |      |       |      |      |       |       |       |                        |
| Інші моделі            | – ADCSRA |      |       |      |      |       |       |       |                        |

Рисунок 8.2 – Формат регістра ADCSRA (ADCSR)

|  | 7        | 6        | 5        | 4        | 3        | 2        | 1        | 0        |                                |
|--|----------|----------|----------|----------|----------|----------|----------|----------|--------------------------------|
|  | REFS1    | REFS0    | ADLAR    | –        | MUX3     | MUX2     | MUX1     | MUX0     | ATmega8x<br>ATmega48x/88x/168x |
| Зчитування(R)/Запис(W)<br>Початкове значення | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 |                                |
|  | 7        | 6        | 5        | 4        | 3        | 2        | 1        | 0        |                                |
|  | REFS1    | REFS0    | ADLAR    | MUX4     | MUX3     | MUX2     | MUX1     | MUX0     | Інші моделі                    |
| Зчитування(R)/Запис(W)<br>Початкове значення | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 | R/W<br>0 |                                |

Рисунок 8.3 – Формат регістра ADMUX

Формат регістрів ADCSRB і SFIOR наведено на рисунках 8.4 і 8.5 відповідно (не використовувані розряди регістра SFIOR позначені як «-»).

Для дозволу роботи АЦП необхідно записати лог. 1 в розряд ADEN регістра ADCSRA (ADCSR), а для заборони – відповідно лог. 0. Якщо АЦП буде вимкнено під час циклу перетворення, то перетворення не буде завершено (в регістрі даних АЦП залишиться результат попереднього перетворення).

Більшість моделей має можливість використовувати модуль АЦП в якості мультиплексора аналогових сигналів для аналогового компаратора, для цього необхідно встановити розряд ACME (Analog Comparator Multiplexer Enable) в лог. 1 (див. розділ 7). Інверсний вхід компаратора може бути з'єднано, як з його входом AIN1 так і з будь-яким із входів АЦП в залежності від значення розряду ADEN (лог. 1 – AIN1, лог. 0 – один із входів АЦП).

У моделях ATmega8x та ATmega128x режим роботи АЦП визначається станом розряду ADFR.

Якщо його встановлено в "1", АЦП працює в режимі безперервного перетворення. У цьому режимі запуск кожного наступного перетворення здійснюється автоматично після закінчення поточного.

Якщо ж розряд ADFR скинуто в "0", АЦП працює в режимі одиночного перетворення й запуск кожного перетворення здійснюється командою користувача.

|                        | 7 | 6    | 5 | 4 | 3    | 2     | 1     | 0     |  |
|------------------------|---|------|---|---|------|-------|-------|-------|--|
|                        | - | -    | - | - | -    | ADTS2 | ADTS1 | ADTS0 | ATmega64x  |
| Зчитування(R)/Запис(W) | R | R    | R | R | R    | R/W   | R/W   | R/W   |  |
| Початкове значення     | 0 | 0    | 0 | 0 | 0    | 0     | 0     | 0     |  |
|                        | 7 | 6    | 5 | 4 | 3    | 2     | 1     | 0     | ATmega48x/88x/168x<br>ATmega164x/324x/644x<br>ATmega165x/325x/3250x<br>ATmega645x/6450x<br>ATmega1281x/2561x |
|                        | - | ACME | - | - | -    | ADTS2 | ADTS1 | ADTS0 |  |
| Зчитування(R)/Запис(W) | R | R/W  | R | R | R    | R/W   | R/W   | R/W   |  |
| Початкове значення     | 0 | 0    | 0 | 0 | 0    | 0     | 0     | 0     |  |
|                        | 7 | 6    | 5 | 4 | 3    | 2     | 1     | 0     | ATmega640x/1280x/2560x   |
|                        | - | ACME | - | - | MUX5 | ADTS2 | ADTS1 | ADTS0 |  |
| Зчитування(R)/Запис(W) | R | R/W  | R | R | R/W  | R/W   | R/W   | R/W   |  |
| Початкове значення     | 0 | 0    | 0 | 0 | 0    | 0     | 0     | 0     |  |

Рисунок 8.4 – Формат регістра ADCSRB

|                        | 7     | 6     | 5     | 4 | 3 | 2   | 1   | 0   |                              |
|------------------------|-------|-------|-------|---|---|-----|-----|-----|------------------------------|
|                        | ADTS2 | ADTS1 | ADTS0 | - | X | X   | X   | X   | ATmega8535x<br>ATmega16x/32x |
| Зчитування(R)/Запис(W) | R     | R     | R     | R | R | R/W | R/W | R/W |                              |
| Початкове значення     | 0     | 0     | 0     | 0 | 0 | 0   | 0   | 0   |                              |

Рисунок 8.5 – Формат регістра SFIOR

У всіх моделях, окрім ATmega8x та ATmega128x, запуск АЦП можливий не тільки командою користувача, але й перериванням від деяких периферійних пристроїв, наявних у складі мікроконтролера. Для вибору режиму роботи в цих моделях використовується розряд ADATE регістра ADCSRA і розряди ADTS2...0 регістра SFIOR або ADCSRB.

Якщо розряд ADATE скинуто в "0", АЦП працює в режимі одиночного перетворення. Якщо ж розряд ADATE встановлено в "1",

функціонування АЦП визначається вмістом розрядів ADTS2...0 відповідно до таблиці 8.4.

Таблиця 8.4 – Джерело сигналу для запуску перетворення

| ADTS2 | ADTS1 | ADTS0 | Джерело стартового сигналу                               |
|-------|-------|-------|--|
| 0     | 0     | 0     | Режим безперервного перетворення                         |
| 0     | 0     | 1     | Переривання від аналогового компаратора                  |
| 0     | 1     | 0     | Зовнішнє переривання INT0                                |
| 0     | 1     | 1     | Переривання за подією "Збіг А" таймера/лічильника T0     |
| 1     | 0     | 0     | Переривання за переповненням таймера/лічильника T0       |
| 1     | 0     | 1     | Переривання за подією "Збіг В" таймера/лічильника T1     |
| 1     | 1     | 0     | Переривання за переповненням таймера/лічильника T1       |
| 1     | 1     | 1     | Переривання за подією "Захоплення" таймера/лічильника T1 |

Запуск кожного перетворення в режимі одиночного перетворення, а також запуск першого перетворення в режимі безперервного перетворення здійснюється встановленням в "1" розряду ADSC регістра ADCSRA (ADCSR).

Запуск перетворення за перериванням здійснюється при установці в "1" прапорця обраного переривання. Розряд ADSC регістра ADCSRA при цьому апаратно встановлюється в "1". Запуск перетворення в цих режимах також може бути здійснений встановленням в "1" розряду ADSC регістра ADCSRA.

Модуль АЦП може використовувати різні джерела опорної напруги (ДОН). Вибір конкретного джерела опорної напруги здійснюється за допомогою розрядів REFS1:REFS0 регістра ADMUX (таблиця 8.5).



Як зазначено в таблиці 8.5, внутрішнє ДОН може бути підключене до виводу AREF мікроконтролера. Тому при його використанні для підвищення заводо захищеності до виводу AREF можна підключити зовнішній фільтруючий конденсатор.

Таблиця 8.5– Вибір джерела опорної напруги

| REFS1  | REFS0 | Джерело опорної напруги <sup>1)</sup>                             | Модель  |
|--|-------|---|---|
| 0  | 0     | Зовнішнє ДОН, підключено до виводу AREF; внутрішнє ДОН відключено | Всі моделі  |
| 0  | 1     | Напруга живлення AVCC <sup>2)</sup>                               | Всі моделі  |
| 1  | 0     | Внутрішнє ДОН напругою 1.1 В <sup>2)</sup>                        | ATmega164x/324x/644x<br>ATmega640x/1280x/1281x<br>ATmega2560x/2561x |
|  |       | Зарезервовано   | Решта моделей   |
| 1  | 1     | Внутрішнє ДОН напругою 2.56 В <sup>2)</sup>                       | ATmega48x/88x/168x<br>ATmega165/325x/3250x<br>ATmega645x/6450x      |
|  |       | Внутрішнє ДОН напругою 1.1 В <sup>2)</sup>                        | Решта моделей   |
| <sup>1)</sup> При роботі з підсиленням 10x чи 200x в якості внутрішнього ДОН можна використовувати тільки ДОН яке, підключено при REFS1:0=11.<br><sup>2)</sup> Якщо до виводу AREF підключено зовнішнє джерело напруги, дані варіанти використовуватись не можуть. |       |   |   |

АЦП перетворює вхідну аналогову напругу в 10-розрядний код методом послідовного наближення. Мінімальне значення відповідає рівню GND, а максимальне рівню AREF мінус 1 мол. розряду. До виводу AREF опціонально може бути підключено напругу AVCC або внутрішнє ДОН на 2,56 (1,1) В шляхом запису відповідних значень у розряди REFSn у реєстр ADMUX. Незважаючи на те, що ДОН на 2,56 (1,1) В перебуває усередині мікроконтролера, для зниження чутливості до шумів до його виходу може бути підключено фільтруючий конденсатор, тому що він пов'язаний з виводом AREF.

Канал однополярного або диференціального аналогового введення та каскад диференціального підсилення обираються шляхом програмування розрядів MUXn ( $n=0,1\dots5$ ) у регістрі ADMUX (таблиці 8.9, 8.10). У якості однополярного аналогового входу АЦП в залежності від моделі мікроконтролера може бути обраний один із входів ADC0...ADC15, а також GND і вихід фіксованого внутрішнього джерела опорної напруги 1,22 (1,1) В. У режимі диференціального введення передбачена можливість вибору входів, що інвертують і не інвертують диференціального підсилювача.

Якщо обрано диференціальний режим аналогового введення, то диференціальний підсилювач буде помножувати різницю напруг між обраною парою входів на заданий коефіцієнт підсилення. Підсиленне в такий спосіб значення надходить на аналоговий вхід АЦП. Якщо обирається однополярний режим аналогового введення, то каскад підсилення пропускається.

Робота АЦП дозволяється шляхом встановлення розряду ADEN у регістрі ADCSRA. Вибір опорного джерела та каналу перетворення неможливо виконати до встановлення ADEN. Якщо  $ADEN = 0$ , то АЦП не споживає струм, тому при переході в економічні режими сну рекомендується попередньо відключити АЦП.

АЦП генерує 10-розрядний результат, що міститься в парі регістрів даних АЦП: ADCH і ADCL. У початковому стані результат перетворення розміщується в молодших 10-ти розрядах 16-розрядного слова (вирівнювання вправо), але може бути розміщений у старших 10-ти розрядах (вирівнювання вліво) шляхом встановлення розряду ADLAR у регістрі ADMUX (таблиці 8.3, 8.11).

Практична корисність подання результату з вирівнюванням вліво існує, коли досить точності 8-розрядного значення. В цьому випадку необхідно читати тільки регістр ADCH. В іншому ж випадку необхідно

першим читати вміст регістра ADCL, а потім ADCH, чим гарантується, що обидва байти є результатом того самого перетворення. Як тільки виконано читання ADCL блокується доступ до регістрів даних з боку АЦП. Це означає, що якщо зчитаний ADCL і перетворення завершується перед читанням регістра ADCH, то жоден з регістрів не може модифікуватися й результат перетворення губиться. Після читання ADCH доступ до регістрів ADCH і ADCL з боку АЦП знову дозволяється.

АЦП генерує власний запит на переривання за завершенням перетворення. Якщо між читанням регістрів ADCH і ADCL доступ до даних для АЦП заборонено, то переривання виникне, навіть якщо результат перетворення буде загублено.

Одиночне перетворення запускається шляхом запису лог. 1 у розряд запуску перетворення АЦП ADSC. Даний розряд залишається у високому стані в процесі перетворення й скидається за завершенням перетворення. Якщо в процесі перетворення перемикається канал аналогового введення, то АЦП автоматично завершить поточне перетворення, перш ніж перемкне канал.

У режимі автоматичного перезапуску АЦП безупинно оцифровує аналоговий сигнал і оновлює регістр даних АЦП. Даний режим задається шляхом запису лог. 1 у розряд ADFR (ADATE) регістра ADCSR (ADCSRA). Перше перетворення ініціюється шляхом запису лог. 1 у розряд ADSC регістра ADCSR (ADCSRA). У даному режимі АЦП виконує послідовні перетворення, незалежно від того скидається прапорець переривання АЦП ADIF чи ні.

#### **8.4 Формування тактової частоти АЦП**

На рисунку 8.5 наведено схему попереднього дільника, що формує тактовий сигнал для АЦП. Попередній дільник формує похідні частоти

відносно частоти синхронізації мікроконтролера. Коефіцієнт ділення встановлюється за допомогою розрядів ADPSn у регістрі ADCSRA (таблиця 8.6).

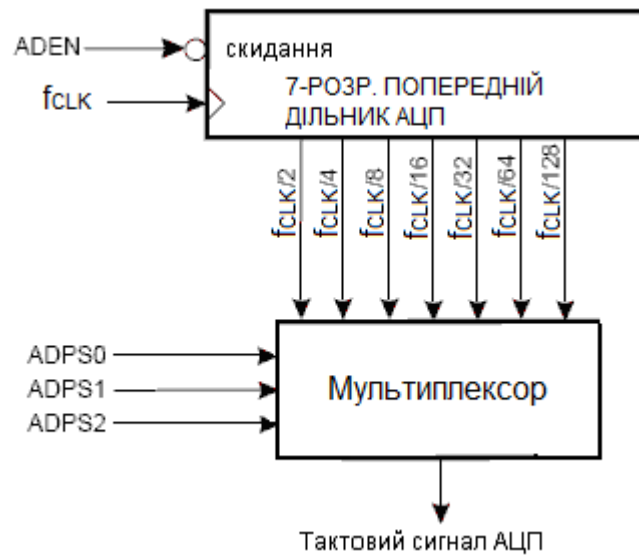


Рисунок 8.5 – Схема попереднього дільника АЦП

Попередній дільник починає лічбу з моменту включення АЦП встановленням розряду ADEN у регістрі ADCSRA. Попередній дільник працює доки розряд ADEN = 1 і скинутий, коли ADEN = 0.

Якщо потрібно забезпечити максимальну роздільну здатність (10 розрядів), то частота на вході схеми послідовного наближення повинна бути в діапазоні 50...200 кГц [2]. Якщо достатньо точності менше 10 розрядів, але потрібна більш висока частота перетворення, то частота на вході АЦП може бути встановлена понад 200 кГц.

Таблиця 8.6 - Задання коефіцієнта ділення попереднього дільника АЦП

| ADPS2 | ADPS1 | ADPS0 | Коефіцієнт ділення |
|-------|-------|-------|--------------------|
| 0     | 0     | 0     | 2                  |
| 0     | 0     | 1     | 2                  |
| 0     | 1     | 0     | 4                  |
| 0     | 1     | 1     | 8                  |
| 1     | 0     | 0     | 16                 |
| 1     | 0     | 1     | 32                 |
| 1     | 1     | 0     | 64                 |
| 1     | 1     | 1     | 128                |

### 8.5 Часові діаграми роботи АЦП

На рисунках 8.6...8.9 наведено часові діаграми роботи АЦП у різних режимах.

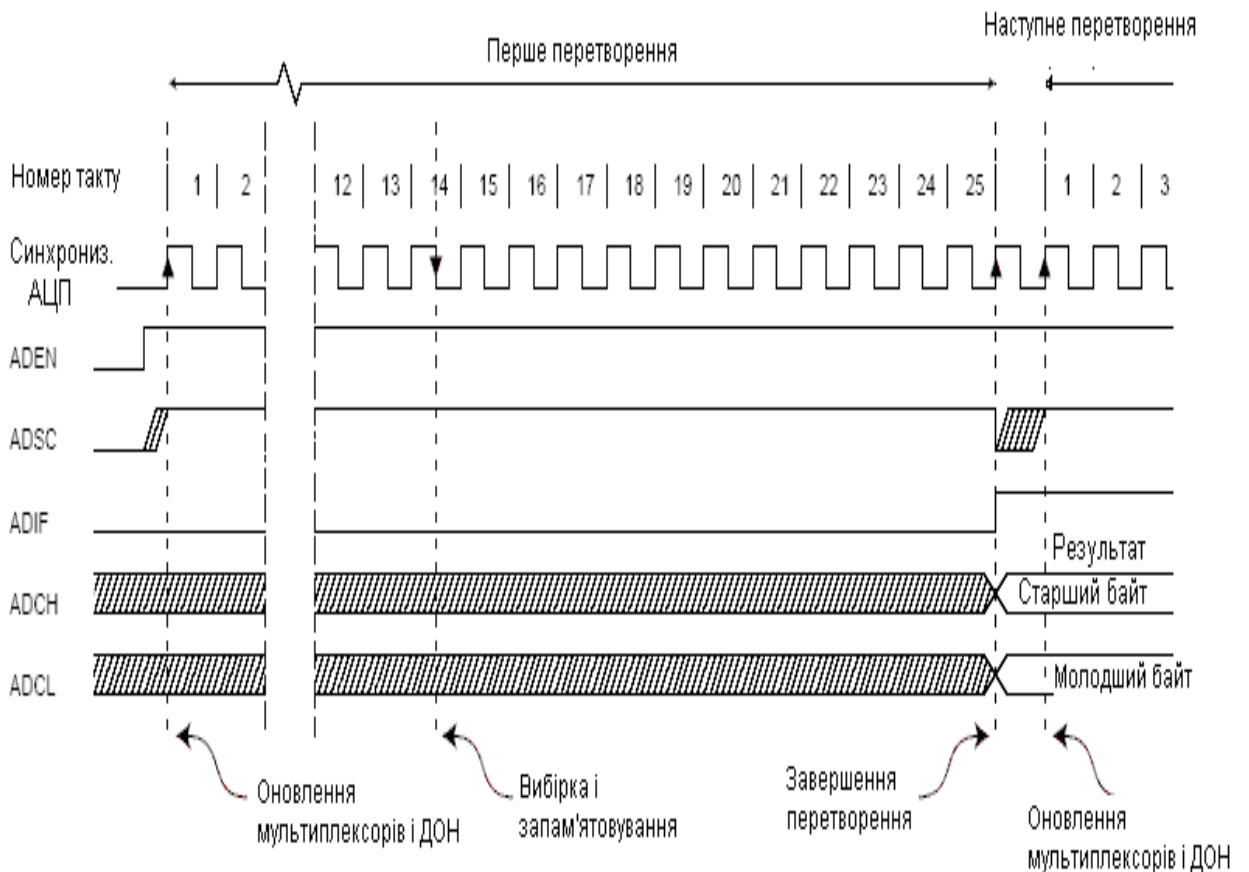


Рисунок 8.6 – Часові діаграми роботи АЦП при першому перетворенні в режимі одиночного перетворення

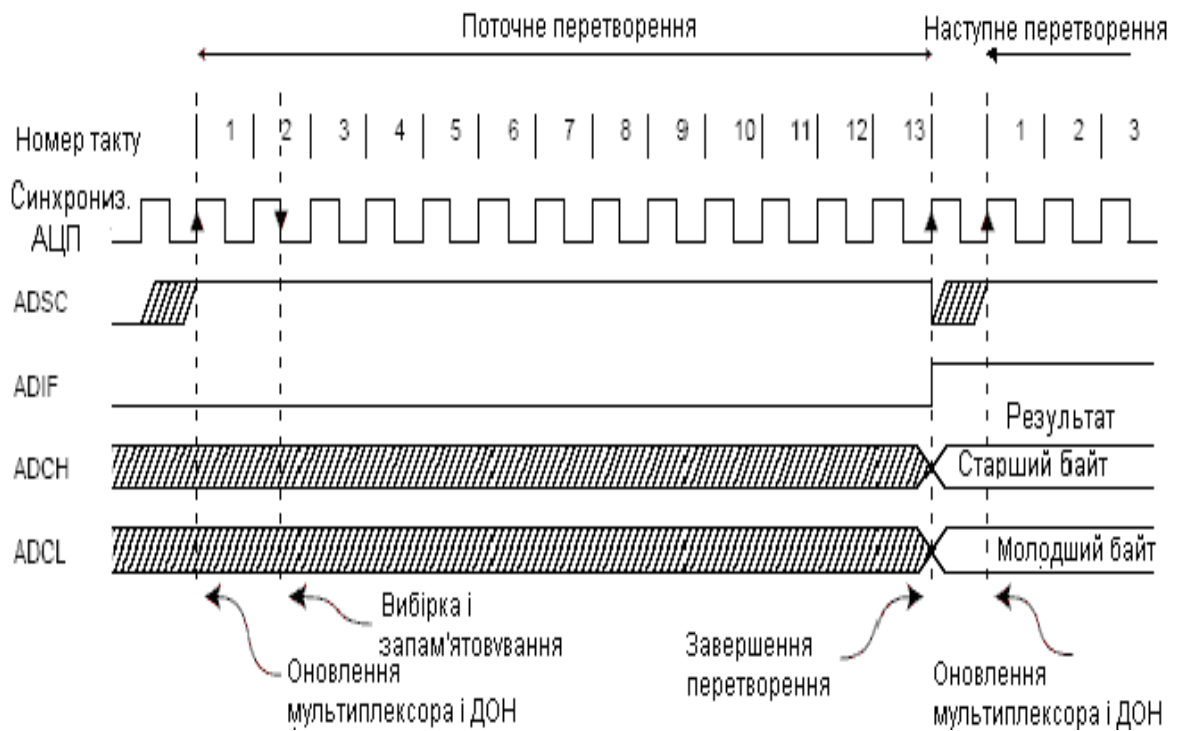


Рисунок 8.7 – Часові діаграми роботи АЦП у режимі одиночного перетворення

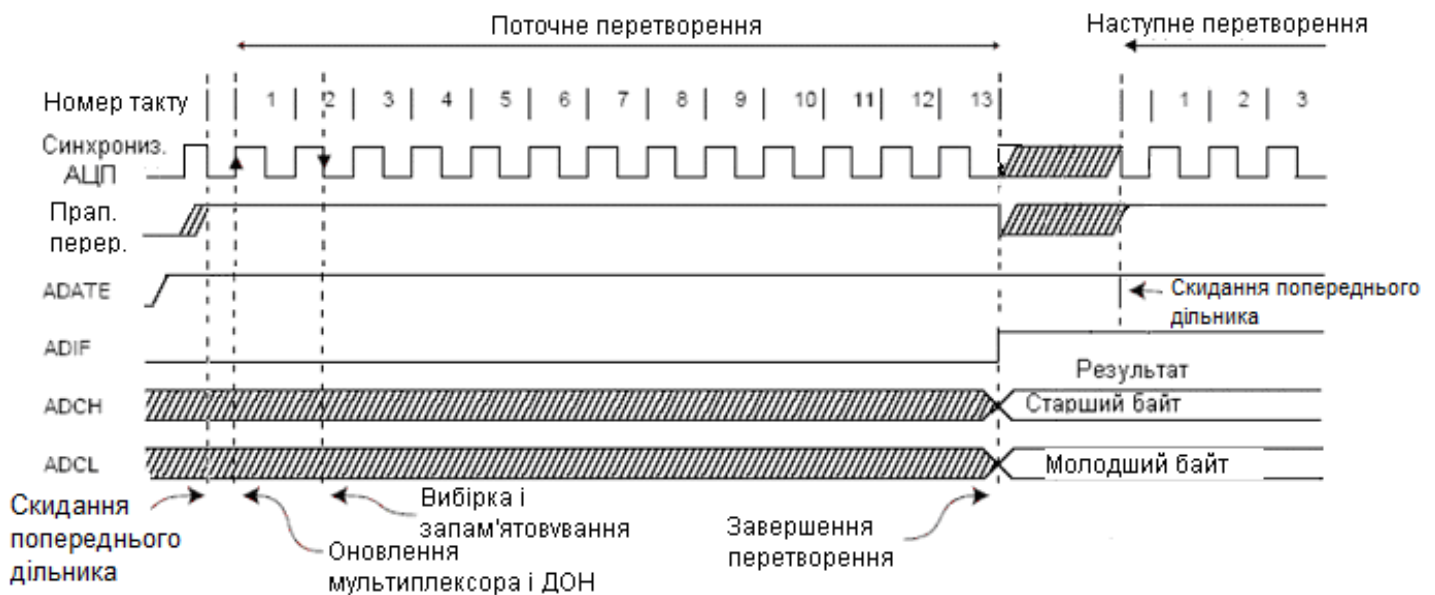


Рисунок 8.8 – Часові діаграми роботи АЦП у режимі запуску за перериванням

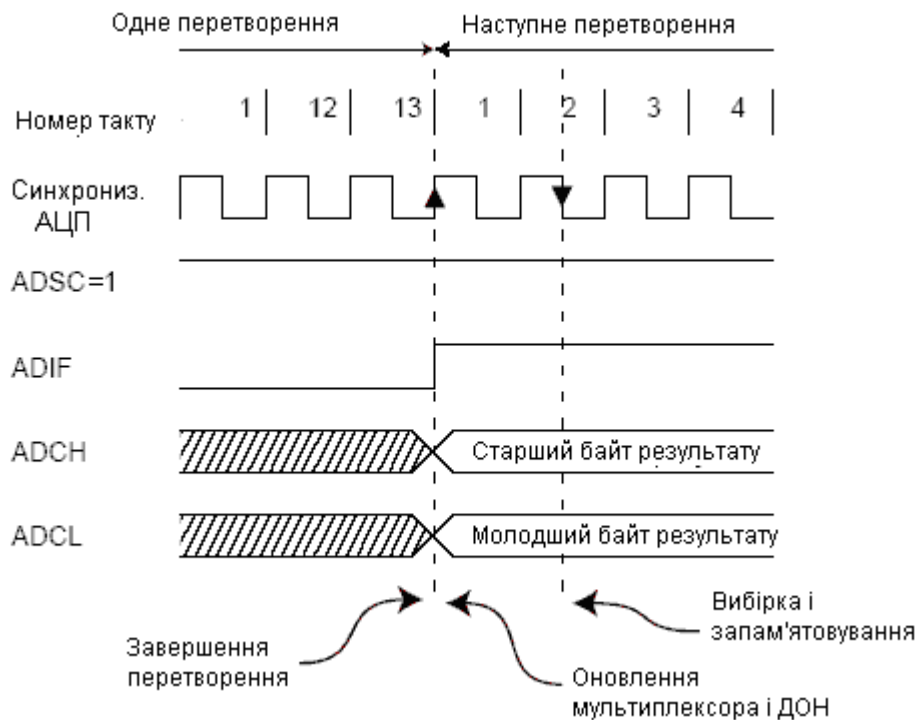


Рисунок 8.9 – Часові діаграми роботи АЦП у режимі автоматичного перезапуску для однополярного перетворення

Якщо ініціюється одиночне однополярне перетворення встановленням розряду ADSC у регістрі ADCSRA, то перетворення починається з наступного наростаючого фронту тактового (синхро) сигналу АЦП.

У режимі одиночного перетворення нове перетворення може бути запущено відразу ж після скидання розряду ADSC (до збереження результату поточного перетворення). Однак реально цикл перетворення почнеться не раніше ніж через один такт після закінчення поточного перетворення.

Нормальне перетворення вимагає 13 тактів синхронізації АЦП. Перше перетворення після включення АЦП (встановлення ADEN в регістрі ADCSRA) вимагає 25 тактів синхронізації АЦП за рахунок необхідності ініціалізації модуля.

Після початку нормального перетворення на вибірку-зберігання затрачується 1.5 такти синхронізації АЦП, а після початку першого перетворення - 13,5 тактів. По завершенні перетворення результат зберігається в регістрах даних АЦП і встановлюється прапорець ADIF. У режимі одиночного перетворення одночасно скидається розряд ADSC. Програмно розряд ADSC може бути знову встановлено і нове перетворення буде ініційовано першим наростаючим фронтом тактового сигналу АЦП.

У режимі безперервного перетворення (автоматичного перезапуску) нове перетворення починається відразу по завершенні попереднього, при цьому ADSC залишається у високому стані. Час перетворення для різних режимів перетворення представлено в таблиці 8.7.

Таблиця 8.7 –Час перетворення АЦП

| Тип перетворення                      | Тривалість вибірки-зберігання (у тактах з моменту початку перетворення) | Час перетворення (у тактах) |
|---------------------------------------|---|-----------------------------|
| Перше перетворення                    | 14.5  | 25                          |
| Нормальне однополярне перетворення    | 1.5   | 13                          |
| Нормальне диференціальне перетворення | 1.5/2.5   | 13/14                       |

Якщо використовується запуск за перериванням, то цикл перетворення починається за першим наростаючим фронтом тактового сигналу після встановлення прапорця обраного переривання. Причому при встановленні цього прапорця здійснюється скидання попереднього дільника модуля АЦП. Тим самим забезпечується фіксована затримка між генерацією запиту на переривання й початком циклу перетворення.



Перетворення запускається при встановленні відповідного прапорця, тобто навіть тоді, коли саме перетворення встановленням прапорця ADSCA (ADSC) не ініціалізувалося.

Як і прапорці інших переривань, прапорець ADIF скидається апаратно при запуску підпрограми обробки переривання від АЦП або програмно, записом у нього логічної 1. Дозвіл переривання здійснюється встановленням в "1" розряду ADIE регістра ADCSR при встановленому прапорці I регістра SREG.

Диференціальне перетворення синхронізується з внутрішнім генератором тактових імпульсів SKADC2, частота якого дорівнює половині частоти синхронізуючого пристрою АЦП. Ця синхронізація виконується автоматично інтерфейсом АЦП таким чином, щоб вибірка-зберігання відбувалась у певній фазі SKADC2.

Диференціальне перетворення, що ініційовано користувачем (тобто, всі одиночні перетворення та перше перетворення), коли SKADC2 має низький рівень, виконується за той же час, що й одиночне перетворення – 13 тактів. Диференціальне перетворення, що ініційовано користувачем в той час, коли SKADC2 мало високий рівень, через специфіку механізму синхронізації буде виконано за 14 тактів.

Ці процеси, в свою чергу, також впливатимуть на тривалість вибірки-зберігання – 1,5 або 2,5 такти відповідно.

Якщо використовуються диференціальні вхідні канали, то необхідно взяти до уваги деякі особливості.

У режимі автоматичного перезапуску нове перетворення ініціюється відразу по завершенні попереднього, і так як в цей момент SKADC2 дорівнює лог. 1, всі перетворення, що були автоматично перезапущені (тобто всі, крім першого), будуть тривати 14 тактів синхронізації АЦП.

Окремо варто сказати про використання режиму запуску заперериванням одночасно з диференціальними каналами. В такому

випадку АЦП необхідно вимикати між перетвореннями, щоб уникнути некоректних вимірювань, пов'язаних із невизначеністю моменту скидання попереднього дільника АЦП. У результаті вимикання і вмикання АЦП між перетвореннями виконуватимуться лише «довгі» перетворення, результати яких завжди будуть коректними.

Підсилювальний каскад оптимізований під частотний діапазон до 4 кГц для будь-яких коефіцієнтів підсилення. Підсилення сигналів більш високих частот буде нелінійним.

Тому, якщо вхідний сигнал містить частотні складові вище частотного діапазону підсилювального каскаду, необхідно встановити зовнішній фільтр низьких частот. Зверніть увагу, що частота синхронізації АЦП не пов'язана з обмеженням за частотним діапазоном підсилювального каскаду.

## **8.6 Керування вхідним мультиплексором**

Виводи мікроконтролера, які підключені до входу АЦП, визначаються станом розрядів MUX3...MUX0; MUX4...MUX0; MUX5...MUX0, регістра ADMUX, та регістра ADCSRB відповідно до таблиць 8.8...8.10. Для каналів з диференціальним входом зазначені розряди визначають також коефіцієнт попереднього підсилення вхідного сигналу.

Слід зазначити, що попередній підсилювач, що використовується каналами з диференціальним входом, має вбудовану схему корекції зсуву. Величина зсуву, що залишилася після корекції, може бути врахована програмним способом.

Для цього треба обидва входи диференціального підсилювача підключити до того самого вивода мікроконтролера (таблиці 8.9, 8.10), а потім віднімати отримане значення з результату наступних перетворень.

Таким чином, помилка зсуву може бути знижена до величини, меншої 1МЗР.

Таблиця 8.8 – Керування вхідним мультиплексором у моделях  
ATmega8x, ATmega48x/88x/168x

| MUX3...MUX0 | Однополярний (несиметричний) вхід |
|-------------|-----------------------------------|
| 0000        | ADC0                              |
| 0001        | ADC1                              |
| 0010        | ADC2                              |
| 0011        | ADC3                              |
| 0100        | ADC4                              |
| 0101        | ADC5                              |
| 0110        | ADC6 <sup>1</sup>                 |
| 0111        | ADC7 <sup>1</sup>                 |
| 1000...1101 | Зарезервовано                     |
| 1110        | 1.22 В (1,1 В <sup>2</sup> )      |
| 1111        | 0В (GND)                          |

<sup>1</sup> Є тільки в корпусах TQFP-32 і MLF-32.  
<sup>2</sup> В моделях ATmega48x/88x/168x

Програмування розрядів MUX<sub>n</sub> (n=0,1,...,5) і REFS1:0 у регістрах ADMUX та ADCSRB підтримується буферизацією через тимчасовий регістр. Цим гарантується, що нові налаштування каналу перетворення й опорного джерела набудуть чинності в безпечний момент для перетворення.

До початку перетворення будь-які зміни каналу та опорного джерела набувають чинності відразу після їхньої модифікації. Як тільки починається процес перетворення доступ до зміни каналу та опорного джерела блокується, чим гарантується достатність часу на перетворення для АЦП. Безперервність модифікації повертається на останньому такті АЦП перед завершенням перетворення (перед встановленням прапорця ADIF у регістрі ADCSRA). Зверніть увагу, що перетворення починається наступним наростаючим фронтом тактового сигналу АЦП після встановлення ADSC. Таким чином, користувачеві не рекомендовано

записувати нове значення каналу або опорного джерела в ADMUX до 1-го такту синхронізації АЦП після встановлення ADSC.

Таблиця 8.9 – Керування вхідним мультиплексором у моделях ATmega16x/164x/32x/8535x/64x/128x/164x/165x/325x/3250x/645x/6450x/ 1281x/2561x

| MUX4...MUX0        | Однополярний вхід | Диференціальний вхід         |                   | Попереднє підсилення |  |
|--------------------|-------------------|------------------------------|-------------------|----------------------|--|
|                    |                   | (додатний)                   | (від'ємний)       |                      |  |
| 00000              | ADC0              | Не застосовується            |                   |                      |  |
| 00001              | ADC1              |                              |                   |                      |  |
| 00010              | ADC2              |                              |                   |                      |  |
| 00011              | ADC3              |                              |                   |                      |  |
| 00100              | ADC4              |                              |                   |                      |  |
| 00101              | ADC5              |                              |                   |                      |  |
| 00110              | ADC6              |                              |                   |                      |  |
| 00111              | ADC7              |                              |                   |                      |  |
| 01000 <sup>1</sup> | Не застосовується | ADC0                         | ADC0              | 10x                  |  |
| 01001 <sup>1</sup> |                   | ADC1                         | ADC0              | 10x                  |  |
| 01010 <sup>1</sup> |                   | ADC0                         | ADC0              | 200x                 |  |
| 01011 <sup>1</sup> |                   | ADC1                         | ADC0              | 200x                 |  |
| 01100 <sup>1</sup> |                   | ADC2                         | ADC2              | 10x                  |  |
| 01101 <sup>1</sup> |                   | ADC3                         | ADC2              | 10x                  |  |
| 01110 <sup>1</sup> |                   | ADC2                         | ADC2              | 200x                 |  |
| 01111 <sup>1</sup> |                   | ADC3                         | ADC2              | 200x                 |  |
| 10000 <sup>1</sup> |                   | ADC0                         | ADC1              | 1x                   |  |
| 10001 <sup>1</sup> |                   | ADC1                         | ADC1              | 1x                   |  |
| 10010 <sup>1</sup> |                   | ADC2                         | ADC1              | 1x                   |  |
| 10011 <sup>1</sup> |                   | ADC3                         | ADC1              | 1x                   |  |
| 10100 <sup>1</sup> |                   | ADC4                         | ADC1              | 1x                   |  |
| 10101 <sup>1</sup> |                   | ADC5                         | ADC1              | 1x                   |  |
| 10110 <sup>1</sup> |                   | ADC6                         | ADC1              | 1x                   |  |
| 10111 <sup>1</sup> |                   | ADC7                         | ADC1              | 1x                   |  |
| 11000 <sup>1</sup> |                   | ADC0                         | ADC2              | 1x                   |  |
| 11001 <sup>1</sup> |                   | ADC1                         | ADC2              | 1x                   |  |
| 11010 <sup>1</sup> |                   | ADC2                         | ADC2              | 1x                   |  |
| 11011 <sup>1</sup> |                   | ADC3                         | ADC2              | 1x                   |  |
| 11100 <sup>1</sup> |                   | ADC4                         | ADC2              | 1x                   |  |
| 11101 <sup>1</sup> |                   | ADC5                         | ADC2              | 1x                   |  |
| 11110              |                   | 1.22 В (1,1 В <sup>1</sup> ) | Не застосовується |                      |  |
| 11111              |                   | 0В (GND)                     |                   |                      |  |

<sup>1</sup> У моделях ATmega165x/325x/3250x/645x/6450x/1251x/2561x

Таблиця 8.10 – Керування вхідним мультиплексором в моделях  
 ATmega640x/1280x/2560x

| MUX5...MUX0 | Несиметричний<br>Вхід | Диференціальний вхід |           | Попереднє<br>підсилення |
|-------------|-----------------------|----------------------|-----------|-------------------------|
|             |                       | додатний             | від'ємний |                         |
| 000000      | ADC0                  | —                    |           |                         |
| 000001      | ADC1                  |                      |           |                         |
| 000010      | ADC2                  |                      |           |                         |
| 000011      | ADC3                  |                      |           |                         |
| 000100      | ADC4                  |                      |           |                         |
| 000101      | ADC5                  |                      |           |                         |
| 000110      | ADC6                  |                      |           |                         |
| 000111      | ADC7                  |                      |           |                         |
| 001000      | —                     | ADC0                 | ADC0      | 10x                     |
| 001001      |                       | ADC1                 | ADC0      | 10x                     |
| 001010      |                       | ADC0                 | ADC0      | 200x                    |
| 001011      |                       | ADC1                 | ADC0      | 200x                    |
| 001100      |                       | ADC2                 | ADC2      | 10x                     |
| 001101      |                       | ADC3                 | ADC2      | 10x                     |
| 001110      |                       | ADC2                 | ADC2      | 200x                    |
| 001111      |                       | ADC3                 | ADC2      | 200x                    |
| 010000      |                       | ADC0                 | ADC1      | 1x                      |
| 010001      |                       | ADC1                 | ADC1      | 1x                      |
| 010010      |                       | ADC2                 | ADC1      | 1x                      |
| 010011      |                       | ADC3                 | ADC1      | 1x                      |
| 010100      |                       | ADC4                 | ADC1      | 1x                      |

Продовження таблиці 8.10

| MUX5...MUX0 | Несиметричний Вхід | Диференціальний вхід |           | Попереднє підсилення |
|-------------|--------------------|----------------------|-----------|----------------------|
|             |                    | додатний             | від'ємний |                      |
| 010101      |                    | ADC5                 | ADC1      | 1x                   |
| 010110      |                    | ADC6                 | ADC1      | 1x                   |
| 010111      |                    | ADC7                 | ADC1      | 1x                   |
| 011000      |                    | ADC0                 | ADC2      | 1x                   |
| 011001      |                    | ADC1                 | ADC2      | 1x                   |
| 011010      |                    | ADC2                 | ADC2      | 1x                   |
| 011011      |                    | ADC3                 | ADC2      | 1x                   |
| 011100      |                    | ADC4                 | ADC2      | 1x                   |
| 011101      |                    | ADC5                 | ADC2      | 1x                   |
| 011110      | 1.1 В              | -                    |           |                      |
| 011111      | 0 В (GND)          |                      |           |                      |
| 100000      | ADC8               |                      |           |                      |
| 100001      | ADC9               |                      |           |                      |
| 100010      | ADC10              |                      |           |                      |
| 100011      | ADC11              |                      |           |                      |
| 100100      | ADC12              |                      |           |                      |
| 100101      | ADC13              |                      |           |                      |
| 100110      | ADC14              |                      |           |                      |
| 100111      | ADC15              |                      |           |                      |
| 101000      | -                  | ADC8                 | ADC8      | 10x                  |
| 101001      |                    | ADC9                 | ADC8      | 10x                  |
| 101010      |                    | ADC8                 | ADC8      | 200x                 |
| 101011      |                    | ADC9                 | ADC8      | 200x                 |
| 101100      |                    | ADC10                | ADC10     | 10x                  |
| 101101      |                    | ADC11                | ADC10     | 10x                  |
| 101110      |                    | ADC10                | ADC10     | 200x                 |
| 101111      |                    | ADC11                | ADC10     | 200x                 |
| 110000      |                    | ADC8                 | ADC9      | 1x                   |
| 110001      |                    | ADC9                 | ADC9      | 1x                   |
| 110010      |                    | ADC10                | ADC9      | 1x                   |
| 110011      |                    | ADC11                | ADC9      | 1x                   |
| 110100      |                    | ADC12                | ADC9      | 1x                   |
| 110101      |                    | ADC13                | ADC9      | 1x                   |
| 110110      |                    | ADC14                | ADC9      | 1x                   |

Продовження таблиці 8.10

| MUX5...MUX0 | Несиметричний Вхід | Диференціальний вхід |           | Попереднє підсилення |
|-------------|--------------------|----------------------|-----------|----------------------|
|             |                    | додатний             | від'ємний |                      |
| 110111      | -                  | ADC15                | ADC9      | 1x                   |
| 111000      |                    | ADC8                 | ADC10     | 1x                   |
| 111001      |                    | ADC9                 | ADC10     | 1x                   |
| 111010      |                    | ADC10                | ADC10     | 1x                   |
| 111011      |                    | ADC11                | ADC10     | 1x                   |
| 111100      |                    | ADC12                | ADC10     | 1x                   |
| 111101      |                    | ADC13                | ADC10     | 1x                   |
| 111110      | Зарезервовано      |                      |           |                      |
| 111111      | Зарезервовано      |                      |           | -                    |

Особливі заходи необхідно вжити при зміні диференціального каналу. Як тільки здійснено вибір диференціального каналу підсилювальному каскаду потрібно 125 мкс для стабілізації нового значення. Отже, протягом перших 125 мкс після перемикання диференціального каналу перетворення не повинно стартувати. Якщо ж у цей період перетворення все-таки виконувалися, то їхній результат необхідно ігнорувати.

Таку ж затримку на встановлення необхідно ввести при першому диференціальному перетворенні після зміни опорного джерела АЦП (за рахунок зміни розрядів REFS1:0 в ADMUX).

Якщо дозволено роботу інтерфейсу JTAG, то функції каналів АЦП на виводах портів, що використовуються для модуля JTAG, відмінюються [2].

У нових мікроконтролерах, а саме в ATmega48x/88x/168x, ATmega164x/324x/644x, ATmega165x, ATmega325x/3250x/645x/6450x і ATmega640x/1280x/1281x/2560x/2561x, є можливість відключення вхідних цифрових буферів на виводах ADC0...ADC15 у випадку, якщо відповідні виводи використовуються тільки для зчитування аналогових сигналів. При відключених цифрових буферах зменшується загальний струм споживання

мікроконтролера, а відповідні розряди регістрів PINX завжди читаються як 0.

Відключення цифрових буферів на входах ADC0...ADC7 здійснюється записом лог. 1 відповідно в розряди ADC0D...ADC7D регістра DIDR0, розташованого за адресою (\$7E). А відключення буферів на входах ADC8...ADC15 (моделі ATmega640x/1280x/2560x) здійснюється записом лог. 1 у розряди ADC8D...ADC15D регістра DIDR2, розташованого за адресою (\$7D). Формат цих регістрів наведено на рисунку 8.10.

|                        |        |        |        |        |        |        |        |        |   |
|------------------------|--------|--------|--------|--------|--------|--------|--------|--------|---|
|                        | 7      | 6      | 5      | 4      | 3      | 2      | 1      | 0      | ATmega48x/88x/168x<br>ATmega165x<br>ATmega325x/3250x<br>ATmega645x/6450x<br>ATmega640x/1280x/1281x<br>ATmega2560x/2561x |
|                        | ADC7D  | ADC6D  | ADC5D  | ADC4D  | ADC3D  | ADC2D  | ADC1D  | ADC0D  |   |
| Зчитування(R)/Запис(W) | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    |   |
| Початкове значення     | 0      | 0      | 0      | 0      | 0      | 0      | 0      | 0      |   |
|                        | 7      | 6      | 5      | 4      | 3      | 2      | 1      | 0      | ATmega640x/1280x/2560x  |
|                        | ADC15D | ADC14D | ADC13D | ADC12D | ADC11D | ADC10D | ADC09D | ADC08D |   |
| Зчитування(R)/Запис(W) | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    |   |
| Початкове значення     | 0      | 0      | 0      | 0      | 0      | 0      | 0      | 0      |   |

Рисунок 8.10 – Формат регістрів DIR0 (а) и DIR2 (б)

### 8.7 Збереження результату перетворення

Після завершення перетворення (при встановленні в "1" прапорця ADIF регістра ADCSR) його результат зберігається в регістрі даних АЦП. Оскільки АЦП має 10 розрядів, цей регістр фізично розміщено у двох регістрах введення/виведення ADCH:ADCL, доступних тільки для читання. Ці регістри розташовані за адресами \$05:\$04 і при включенні мікроконтролера містять значення "\$0000".

У початковому стані результат перетворення вирівнюється вправо (старші 6 розрядів регістра ADCH – не є значущими).

Однак він може вирівнюватися також вліво (молодші 6 розрядів регістра ADCL – не є значущими). Для керування вирівнюванням



результату перетворення призначено розряд ADLAR регістра ADMUX. Якщо цей розряд встановлено в "1", результат перетворення вирівнюється за лівою границею 16-розрядного слова, якщо скинутий в "0" - за правою границею.

При використанні диференціального режиму перетворення результат представляється в кодї двійкового доповнення до двох (в додатковому кодї).

У таблиці 8.11 наведено приклади вирівнювання результату вліво та вправо.

Таблиця 8.11 – Вирівнювання результату АЦП

| ADLAR    | Розряд       | 15   | 14   | 13   | 12   | 11   | 10   | 9    | 8    |      |      |
|----------|--------------|------|------|------|------|------|------|------|------|------|------|
| 0        |              | -    | -    | -    | -    | -    | -    | ADC9 | ADC8 | ADCH |      |
|          |              | ADC7 | ADC6 | ADC5 | ADC4 | ADC3 | ADC2 | ADC1 | ADC0 | ADCL |      |
|          | Розряд       | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |      |      |
|          | R/ $\bar{W}$ | R    | R    | R    | R    | R    | R    | R    | R    | R    | ADCH |
|          |              | R    | R    | R    | R    | R    | R    | R    | R    | R    | ADCL |
|          | Поч. зн.     | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | ADCH |
| 0        |              | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | ADCL |      |
| 1        | Розряд       | 15   | 14   | 13   | 12   | 11   | 10   | 9    | 8    |      |      |
|          |              | ADC9 | ADC8 | ADC7 | ADC6 | ADC5 | ADC4 | ADC3 | ADC2 | ADCH |      |
|          |              | ADC1 | ADC0 | -    | -    | -    | -    | -    | -    | ADCL |      |
|          | Розряд       | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |      |      |
|          | R/ $\bar{W}$ | R    | R    | R    | R    | R    | R    | R    | R    | R    | ADCH |
|          |              | R    | R    | R    | R    | R    | R    | R    | R    | R    | ADCL |
| Поч. зн. | 0            | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | ADCH |      |
|          | 0            | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | ADCL |      |

Звернення до регістрів ADCH і ADCL для отримання результату перетворення повинно виконуватися в певній послідовності: спочатку необхідно прочитати регістр ADCL, а потім ADCH. Ця вимога пов'язана з тим, що після звернення до регістра ADCL процесор блокує доступ до регістрів даних з боку АЦП доти, поки не буде прочитано регістр ADCH. Завдяки цьому можна бути впевненим, що при читанні регістрів ADCH, ADCL у них будуть перебувати складові того самого результату.

Відповідно, якщо чергове перетворення завершиться до звернення до регістра ADCH, результат перетворення буде загублено. З іншого боку, якщо результат перетворення вирівнюється вліво й досить точності 8-розрядного значення, для отримання результату можна прочитати тільки вміст регістра ADCH.

## **8.8 Рекомендації з перемикання вхідних каналів**

При перемиканні вхідних каналів необхідно врахувати деякі рекомендації, які виключають некоректність перемикання.

У режимі одиночного (несиметричного) перетворення програмування перемикання каналів необхідно виконувати перед початком перетворення. Перемикання каналів відбувається протягом одного такту синхронізації АЦП після запису лог. 1 в ADSC. Тому найпростішим способом є очікування завершення перетворення перед вибором нового каналу.

У режимі автоматичного перезапуску режим необхідно вибирати перед початком першого перетворення. Перемикання каналів відбувається аналогічно - протягом одного такту синхронізації АЦП після запису лог. 1 в ADSC. Найпростішим способом є очікування завершення першого перетворення, а потім перемикання каналів.

Оскільки наступне перетворення вже запущено автоматично, то новий результат буде відповідати попередньому каналу. Наступні перетворення відображають результат для нового каналу.

При перемиканні на диференціальний канал перше перетворення буде характеризуватися поганою точністю через перехідний процес у схемі автоматичного регулювання зсуву. Отже, перший результат такого перетворення рекомендується ігнорувати.

## 8.9 Особливості підключення джерела опорної напруги

Джерело опорної напруги (ДОН) для АЦП ( $U_{\text{ДОН}}$ ) визначає діапазон перетворення АЦП. Якщо рівень однополярного сигналу понад  $U_{\text{ДОН}}$ , то результатом перетворення буде 0x3FF. У якості  $U_{\text{ДОН}}$  можуть виступати AVCC, внутрішнє ДОН 2,56 В (1,1 В) або зовнішнє ДОН, що підключено до виводу AREF. AVCC підключається до АЦП через пасивний ключ. Внутрішня опорна напруга 2,56 В (1,1 В) генерується внутрішнім еталонним джерелом VBG, що буферизовано внутрішнім підсилювачем. У кожному разі зовнішній вивід AREF зв'язаний безпосередньо з АЦП і, тому, можна знизити вплив шумів на опорне джерело за рахунок підключення конденсатора між виводом AREF і спільним виводом. Напруга  $U_{\text{ДОН}}$  також може бути виміряна на виводі AREF вольтметром з високим входним опором. Зверніть увагу, що  $U_{\text{ДОН}}$  є високоомним джерелом і, тому, зовні до нього може бути підключене тільки ємнісне навантаження.

Якщо користувач використовує зовнішнє опорне джерело, що підключено до виводу AREF, то не допускається використання іншої опції опорного джерела, тому що це приведе до шунтування зовнішньої опорної напруги. Якщо до виводу AREF не прикладена напруга, то користувач може обрати AVCC і 2,56 В (1,1 В) як опорне джерело. Результат першого перетворення після перемикавання опорного джерела може характеризуватися низькою точністю, тому користувачеві рекомендується його ігнорувати.

## 8.10 Особливості схеми аналогового входу

Схема аналогового входу для однополярних каналів представлено на рисунку 8.11.

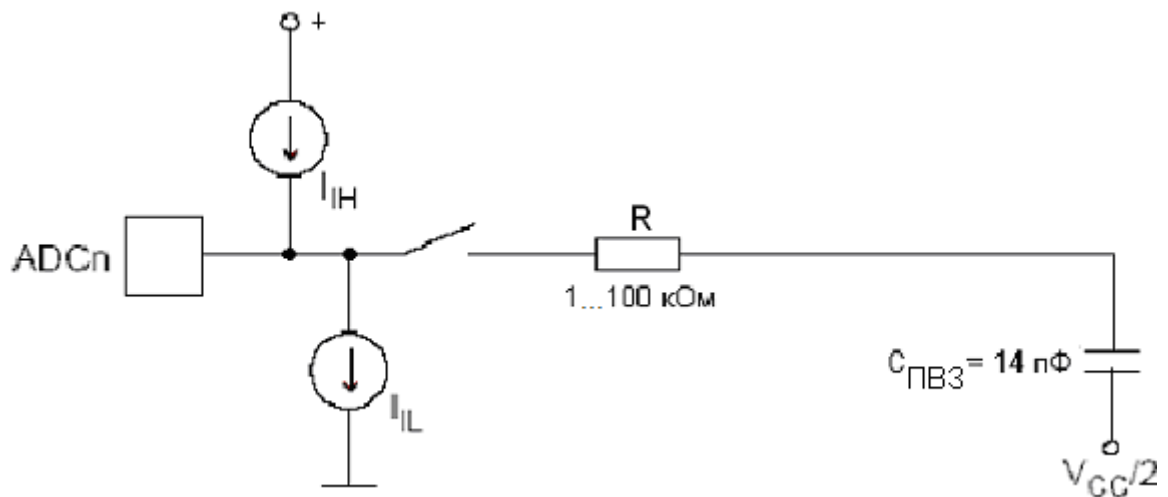


Рисунок 8.11 – Схема аналогового входу

Незалежно від того, який канал підключено до АЦП, аналоговий сигнал, підключено до виводу ADCn, навантажується ємністю виводу й вхідним опором витоків. Після підключення каналу до АЦП аналоговий сигнал буде пов'язано з конденсатором вибірки-зберігання через послідовний резистор, опір якого еквівалентний всьому вхідному ланцюгу.

АЦП оптимізований під аналогові сигнали з вихідним опором не більше 10 кОм. Якщо використовується таке джерело сигналу, то час вибірки незначний. Якщо ж використовується джерело з більш високим вихідним опором, то час вибірки буде визначатися часом, що потрібний для зарядки конденсатора вибірки-зберігання джерелом аналогового сигналу. Рекомендовано використовувати джерела тільки з малим вихідним опором і сигналами, що повільно змінюються, тому що в цьому випадку буде досить швидким зарядження конденсатора вибірки-зберігання.

Стосовно каналів з диференціальним підсиленням рекомендовано використовувати сигнали із внутрішнім опором до декількох сотень кОм. Варто передбачити, щоб у попередніх каскадах формування аналогового сигналу до входу АЦП не вносилися частоти вище  $f_{\text{ацп}}/2$ , в іншому випадку

результат перетворення може бути некоректним. Якщо ймовірність проникнення високих частот існує, то рекомендується перед АЦП встановити фільтр низьких частот.

### 8.11 Результат перетворення АЦП

Для каналів з однополярним (несиметричним) входом результат перетворення визначається виразом:  $ADC = \frac{1024U_{IN}}{U_{REF}}$ , де  $U_{IN}$  – значення вхідної напруги в мілівольтах, а  $U_{REF}$  - величина опорної напруги. На рисунку 8.12 представлено функцію перетворення АЦП в однополярному режимі. Код 0x000 відповідає рівню аналогової землі, а 0x3FF - рівню напруги ДОН мінус 1 крок квантування за напругою.

Таблиця 8.12 відображає зв'язок між вхідним сигналом й вихідними кодами для однополярного режиму.

Приклад: Нехай  $ADMUX = 0x00\dots0x07$  (будь-який однополярний вхід), напруга на одному з входів 1000 мВ, напруга ДОН рівна 2,56 В, тоді:

$$\text{КодАЦП} = 1024 * 1000 / 2560 = 400 = 0x190.$$

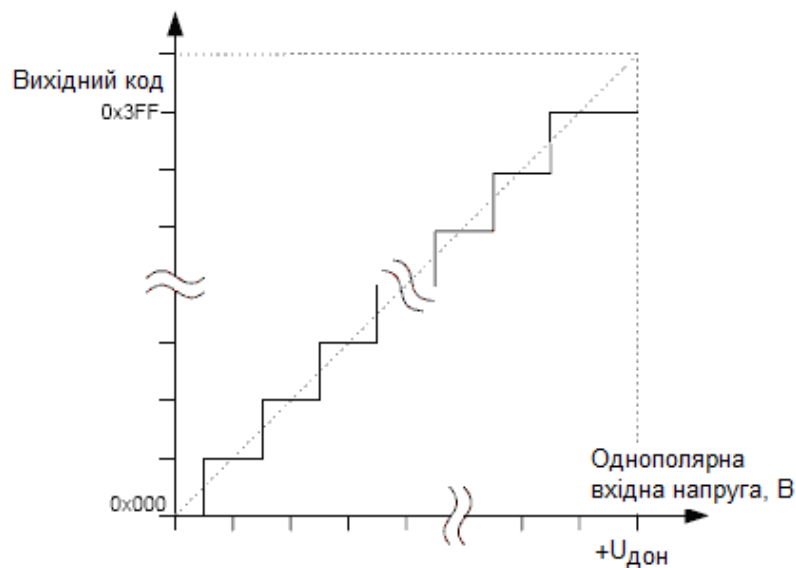


Рисунок 8.12 – Функція перетворення АЦП при зміні однополярного сигналу

Таблиця 8.12 – Зв'язок між вхідним и вихідним кодами

| $U_{\text{АЦПm}}^*$                      | Зчитаний код | Відповідне десяткове значення |
|--|--------------|-------------------------------|
| $U_{\text{АЦПm}} + U_{\text{ДОН}}$       | 0x3FF        | 1023                          |
| $U_{\text{АЦПm}} + 0.999 U_{\text{ДОН}}$ | 0x3FF        | 1023                          |
| $U_{\text{АЦПm}} + 0.998 U_{\text{ДОН}}$ | 0x3FE        | 1022                          |
| ...                                      | ...          | ...                           |
| $U_{\text{АЦПm}} + 0.001 U_{\text{ДОН}}$ | 0x001        | 1                             |
| $U_{\text{АЦПm}}$                        | 0x000        | 0                             |

$U_{\text{АЦПm}}$  – вхідна напруга, яка дорівнює нулю,  $U_{\text{АЦПm}}$  – поточне значення вхідної напруги.

Для каналів з диференціальним входом результат перетворення визначається виразом:  $ADC = 512 \cdot K_{\text{п}} \cdot \frac{U_{\text{POS}} - U_{\text{NEG}}}{U_{\text{REF}}}$ , де  $U_{\text{POS}}$  – величина напруги на додатному (неінвертуючому) вході,  $U_{\text{NEG}}$  – величина напруги на від'ємному (інвертуючому) вході, а  $K_{\text{п}}$  – коефіцієнт підсилення. Результат перетворення представляється в цьому випадку в додатковому коді, а його значення лежить у діапазоні: \$200 (-512)...\$1FF (+511).

По завершенні перетворення ( $ADIF = 1$ ) результат може бути зчитаний з пари регістрів результату перетворення АЦП ( $ADCL$ ,  $ADCH$ ).

Для каналів з диференціальним входом результат представляється в коді двійкового доповнення, починаючи з 0x200 (-512d) до 0x1FF (+511d). Зверніть увагу, що при необхідності швидко визначити полярність результату досить опитати старший розряд результату перетворення ( $ADC9$  в  $ADCH$ ). Якщо даний розряд дорівнює лог. 1, то результат від'ємний, якщо ж лог. 0, то додатний. На рисунку 8.13 представлено функцію перетворення АЦП у диференціальному режимі.

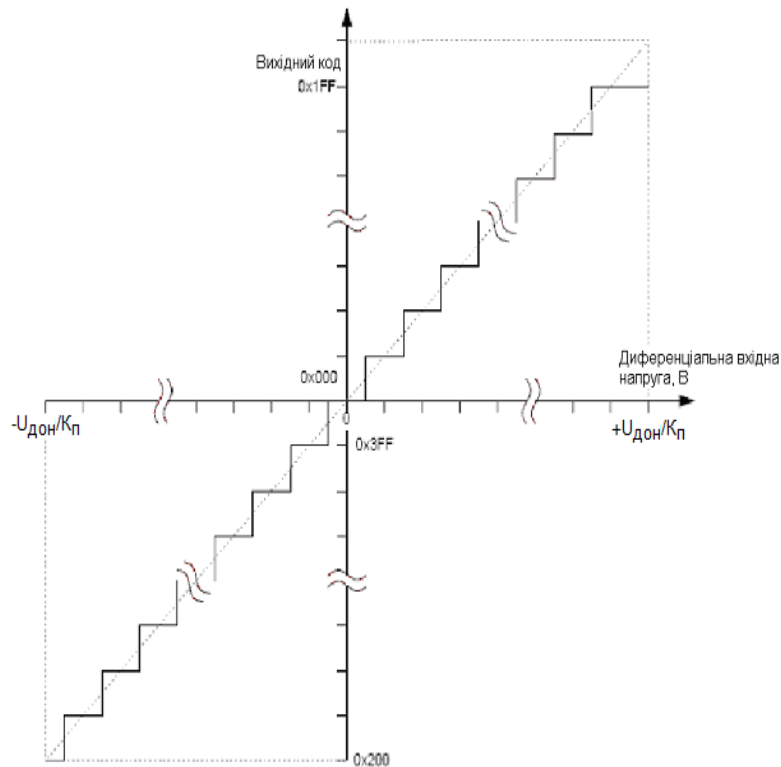


Рисунок 8.13 – Функція перетворення АЦП при зміні диференціального сигналу

У таблиці 8.13 представлено результуючі вихідні коди для диференціальної пари каналів (ADC<sub>n</sub> - ADC<sub>m</sub>) з коефіцієнтом підсилення К<sub>п</sub> й опорною напругою U<sub>дон</sub>.

Приклад: Нехай ADMUX = 0xED (пари входів ADC3 – ADC2, К<sub>п</sub>=10, U<sub>дон</sub>=2.56В, результат з лівостороннім вирівнюванням), напруга на вході ADC3 = 300 мВ, а на вході ADC2 = 500 мВ, тоді:

$$КОД_{АЦП} = 512 \cdot 10 \cdot \frac{300 - 500}{2560} = -400 = 0x270.$$

З урахуванням обраного формату розміщення результату (лівосторонній) ADCL = 0x00, а ADCH = 0x9C. Якщо ж обраний правосторонній формат (ADLAR=0), то ADCL = 0x70, ADCH = 0x02.

Таблиця 8.13 – Зв’язок між вхідними сигналами і вихідними кодами для каналів з диференціальним входом

| $U_{\text{АЦПm}} *$                                     | Зчитаний код | Відповідне десяткове значення |
|---|--------------|-------------------------------|
| $U_{\text{АЦПm}} + U_{\text{ДОН}} / K_{\text{п}}$       | 0x1FF        | 511                           |
| $U_{\text{АЦПm}} + 0.999 U_{\text{ДОН}} / K_{\text{п}}$ | 0x1FF        | 511                           |
| $U_{\text{АЦПm}} + 0.998 U_{\text{ДОН}} / K_{\text{п}}$ | 0x1FE        | 510                           |
| ...   | ...          | ...                           |
| $U_{\text{АЦПm}} + 0.001 U_{\text{ДОН}} / K_{\text{п}}$ | 0x001        | 1                             |
| $U_{\text{АЦПm}}$                                       | 0x000        | 0                             |
| $U_{\text{АЦПm}} - 0.001 U_{\text{ДОН}} / K_{\text{п}}$ | 0x3FF        | -1                            |
| ...   | ...          | ...                           |
| $U_{\text{АЦПm}} - 0.999 U_{\text{ДОН}} / K_{\text{п}}$ | 0x201        | -511                          |
| $U_{\text{АЦПm}} - U_{\text{ДОН}} / K_{\text{п}}$       | 0x200        | -512                          |

$U_{\text{АЦПm}}$  – вхідна напруга, яка дорівнює нулю,  $U_{\text{АЦПn}}$  – поточне значення вхідної напруги.

## 8.12 Підвищення точності перетворення

### 8.12.1 Загальні рекомендації

У цьому розділі наведені деякі рекомендації, що дозволяють найбільшою мірою використати можливості АЦП. Насамперед, для мінімізації похибки самого АЦП необхідно правильно обрати тактову частоту перетворення. Із цією метою на вході АЦП рекомендується встановлювати фільтр низьких частот. Крім того, при розробці конструкції та топології друкованої плати варто дотримуватися загальних правил проектування цифро-аналогових пристроїв.



Робота цифрових вузлів всередині й зовні мікроконтролера пов'язана з генерацією електромагнітних випромінювань, які можуть негативно позначитися на точності вимірювання аналогового сигналу. Якщо точність перетворення є критичним параметром, то рівень шумів можна знизити, дотримуючись наступних рекомендацій:

1. Виконуйте шлях аналогових сигналів на друкованій платі якомога коротшим. Стежте, щоб аналогові сигнали проходили над площиною (шаром) з аналоговою землею (екраном) і далеко від провідників, що передають високочастотні цифрові сигнали. Аналогова й цифрова земля повинні з'єднуватися одна з одною у єдиній точці друкованої плати.

2. Вивід AVCC необхідно зв'язати із цифровим живленням VCC через LC-ланцюг відповідно до рисунка 8.14.

3. Використовуйте функцію придушення шумів АЦП, що вносяться роботою ядра ЦПП (див. 8.12.2).

4. Якщо який-небудь із виводів АЦП використовується як цифровий вихід, то надзвичайно важливо не допустити перемикання стану цього виходу в процесі перетворення.

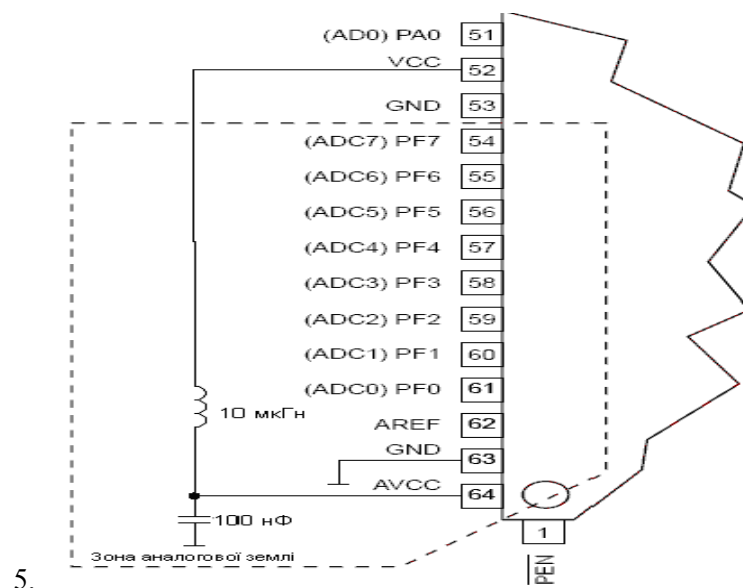


Рисунок 8.14 – Підключення живлення до модуля АЦП

### 8.12.2 Придушувач шумів

Модуль АЦП має можливість придушення шумів, які викликані роботою ядра ЦПП та периферійних пристроїв введення/виведення (один з режимів зменшеного енергоспоживання МК-ра) [2]. Придушувач шумів може бути використано у режимі зниження шумів АЦП (ADC Noise Reduction) і в режимі холостого ходу. При використанні даної функції необхідно дотримуватися наступної процедури:

1. Переконайтесь, що роботу АЦП дозволено та він не виконує перетворення. Виберіть режим одиночного перетворення й дозвольте переривання за завершенням перетворення.

2. Запрограмуйте режим зменшення шумів АЦП або режим холостого ходу [2]. АЦП запустить перетворення як тільки зупиниться ЦПП.

3. Якщо до завершення перетворення не виникає інших переривань, то АЦП викличе переривання ЦПП і програма перейде на вектор обробки переривання за завершенням перетворення АЦП. Якщо до завершення перетворення інше переривання будить мікроконтролер, то це переривання обробляється, а по завершенні перетворення генерується відповідний запит на переривання. АЦП залишається в активному режимі доки не буде виконано чергову команда Sleep.

Зверніть увагу, що АЦП не відключається автоматично при переведенні в усі режими сну, крім режиму холостого ходу й зниження шумів АЦП. Тому, користувач повинен передбачити запис лог. 0 у розряд ADEN перед переведенням у такі режими сну щоб уникнути надмірного енергоспоживання.

Якщо роботу АЦП було дозволено в режимах сну та користувач бажає виконати диференціальне перетворення, то після пробудження необхідно включити, а потім виключити АЦП для ініціалізації

розширеного перетворення, чим буде гарантовано отримання дійсного результату.

### **8.12.3 КОМПЕНСАЦІЯ ЗСУВУ**

Підсилювальний каскад має вбудовану схему компенсації зсуву, яка прагне максимально наблизити до нуля зсув диференціального виміру. Зсув, що залишився, можна виміряти, якщо як диференціальні входи АЦП обрати той самий вивід мікроконтролера. Виміряний в такий спосіб залишковий зсув можна програмно відняти з результату перетворення. Використання програмного алгоритму корекції зсуву дозволяє зменшити зсув нижче одного молодшого розряду.

### **8.12.4 ВИЗНАЧЕННЯ ПОХИБОК АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ**

N-розрядний однополярний АЦП перетворює напругу лінійно між GND і  $U_{\text{дон}}$  з кількістю кроків  $2^N$  мол. розрядів. Мінімальний код = 0, максимальний =  $2^N - 1$ . Основні похибки перетворення є відхиленням реальної функції перетворення від ідеальної. До них відносяться:

1. Похибка зсуву - відхилення першого переходу (з 0x000 на 0x001) у порівнянні з ідеальним переходом (тобто при 0.5 мол. розр.). Ідеальне значення : 0 мол. розр. (рисунок 8.15).

2. Похибка підсилення (рисунок 8.16). Після корегування зсуву похибка підсилення являє собою відхилення останнього переходу (з 0x3FE на 0x3FF) від ідеального переходу (тобто відхилення при максимальному значенні мінус 1,5 мол. розр.). Ідеальне значення: 0 мол. розр.

3. Інтегральна нелінійність (ІНЛ) (рисунок 8.17). Після корегування зсуву й похибки підсилення ІНЛ являє собою максимальне відхилення реальної функції перетворення від ідеальної для будь-якого коду. Ідеальне значення ІНЛ = 0 мол. розр.

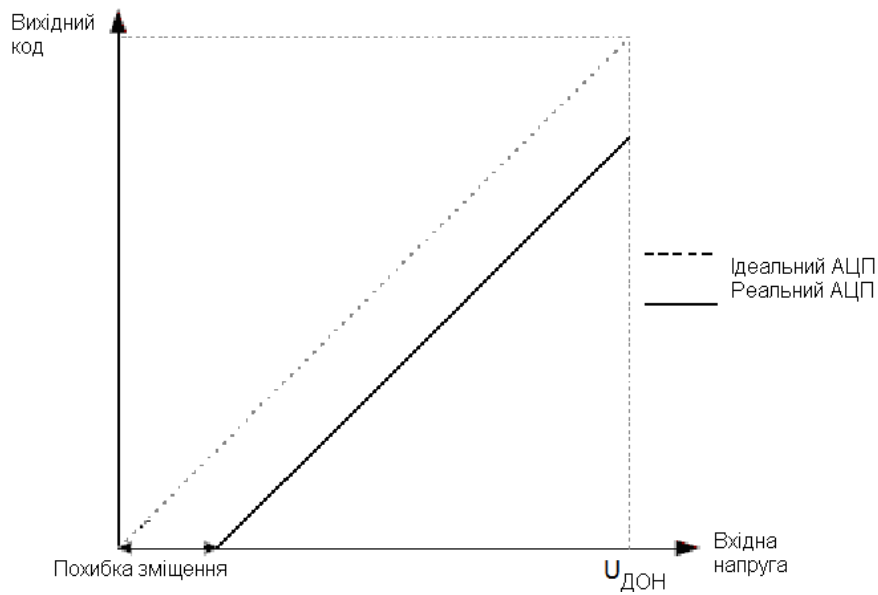


Рисунок 8.15 – Похибка зсуву

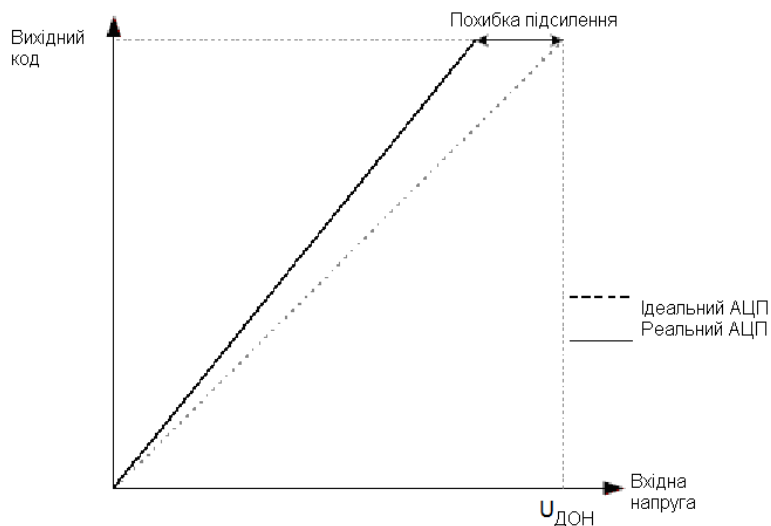


Рисунок 8.16 – Похибка підсилення

4. Диференціальна нелінійність (ДНЛ) (рисунок 8.18). Максимальне відхилення ширини фактичного коду (інтервал між двома суміжними переходами) від ширини ідеального коду (1 мол. розр.). Ідеальне значення: 0 мол. розр.

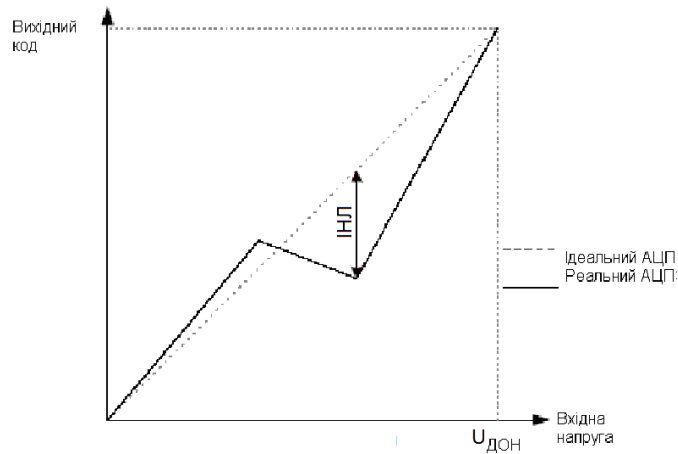


Рисунок 8.17 – Інтегральна нелінійність

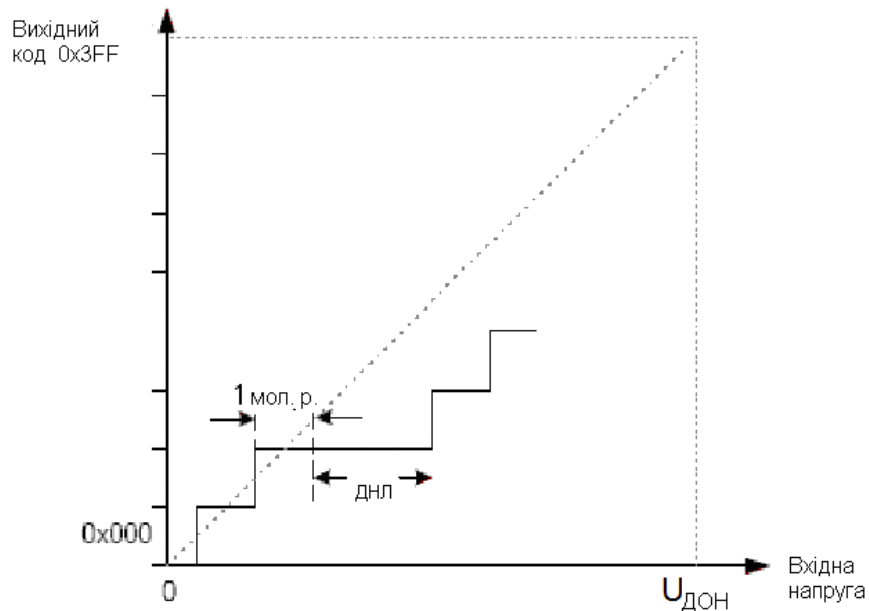


Рисунок 8.18 – Диференціальна нелінійність (ДНЛ)

5. Похибка квантування за рівнем. Виникає через ділення (квантування) вхідної напруги на постійні інтервали  $\Delta U$ , границям яких відповідає постійне значення двійкового коду.

Зміні вхідної напруги на  $\pm \Delta U$  відповідає зміна вихідного двійкового коду на  $\pm 1$  молодшого значущого розряду (МЗР). Абсолютна похибка квантування за рівнем дорівнює  $\pm \Delta U/2$  або  $\pm 0,5$  МЗР.

Відносна похибка квантування за рівнем

$$\delta_{\text{вдн}} = \frac{50}{N_{\text{д}} - 1} \%,$$

де  $N_{\text{д}}$  - число дискретних значень вихідного коду, включаючи нульове.

У свою чергу

$$N_{\text{д}} = 2^{N_{\text{рдк}}},$$

де  $N_{\text{рдк}}$  - число розрядів вихідного двійкового коду.

Для нашого АЦП  $N_{\text{рдк}} = 10$ ,  $N_{\text{д}} = 2^{10} = 1024$ . Тоді,

$$\delta_{\text{вдн}} = \frac{50}{1024 - 1} \% = \frac{50}{1023} \% = 0,05 \%$$

6. Абсолютна похибка. Максимальне відхилення реальної (без підстроювання) функції перетворення від ідеальної при будь-якому коді. Є результатом дії декількох ефектів: зсув, похибка підсилення, диференціальна похибка, нелінійність і похибка квантування. Ідеальне значення:  $\pm 0.5$  мол. розр.

### 8.13 ОСНОВНІ ПАРАМЕТРИ РОБОТИ АЦП

Основні параметри АЦП наведено в таблиці 8.13. Всі значення зазначені для діапазону температур навколишнього середовища  $-40..+80^{\circ}\text{C}$  [2].

Таблиця 8.13 – Основні параметри АЦП

| Позначення | Параметр                                  | Умова   | Min          | typ  | max          |
|------------|---|---|--------------|------|--------------|
|            | Роздільна здатність [біт]                 | Однополярний вхід                                     | -            | 10   | -            |
|            |   | Диференціальний вхід, $K_U=1x$ і $20x$                | -            | 8    | -            |
|            |   | Диференціальний вхід, $K_U = 200x$                    | -            | 7    | -            |
|            | Абсолютна похибка [МЗР]                   | Несиметричний вхід, $U_{REF} = 4V$ $f_{ADC} = 200кГц$ | -            | 2    | 2.5          |
|            |   | Однополярний вхід, $U_{REF} = 4V$ $f_{ADC} = 1МГц$    | -            | 4    | -            |
| ІНЛ (INL)  | Інтегральна нелінійність [МЗР]            | $U_{REF} = 4V$  | -            | 0.5  | -            |
| ДНЛ (DNL)  | Диференціальна нелінійність [МЗР]         | $U_{REF} = 4V$  | -            | 0.25 | -            |
| -          | Помилка зсуву [МЗР]                       | $V_{REF} = 4V$  | -            | 0.75 | -            |
| -          | Час перетворення [мкс]                    | Режим безперервного перетворення                      | 13           | -    | 260          |
| $f_{ADC}$  | Тактова частота [кГц]                     | -   | 50           | -    | 1000         |
| $AV_{CC}$  | Напруга живлення [В]                      | -   | $U_{CC}-0.3$ | -    | $U_{CC}+0.3$ |
| $U_{REF}$  | Опорна напруга [В]                        | Однополярний вхід                                     | 2.0          | -    | $U_{CC}$     |
|            |   | Диференціальний вхід                                  | 2.0          | -    | $U_{CC}-0.2$ |
| $U_{INT}$  | Напруга внутрішнього ДОН [В]              | -   | 2.4          | 2.56 | 2.7          |
|            |   | -   | 1.0          | 1.1  | 1.2          |
| $R_{REF}$  | Вхідний опір каналу опорної напруги [кОм] | -   | -            | 32   | -            |
| $R_{AIN}$  | Вхідний опір аналогового входу [МОм]      | -   | -            | 100  | -            |

## ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

- 1) До складу яких моделей AVR-мікроконтролерів входить модуль АЦП?
- 2) Назвіть основні параметри АЦП.
- 3) Назвіть основні джерела опорної напруги для АЦП.
- 4) Назвіть режими роботи АЦП.
- 5) Яку роль виконує дешифратор?
- 6) У якому регістрі зберігається результат перетворення?
- 7) Поясніть як саме відбувається перетворення вхідного сигналу у двійковий код?
- 8) Яку роль виконує компаратор?
- 9) Який принцип перетворення використовується в АЦП?
- 10) Який регістр відповідає за налаштування мультиплексора АЦП?
- 11) Наведіть та поясніть формати регістрів стану і керування АЦП.
- 12) Який розряд регістра ADCSRA відповідає за дозвіл роботи АЦП?
- 13) Як обрати джерело опорної напруги?
- 14) Як вибрати режим роботи АЦП?
- 15) За якими перериваннями може відбуватися запуск АЦП?
- 16) Яку функцію виконує попередній дільник?
- 17) Як формується тактовий сигнал АЦП?
- 18) Який регістр використовується для налаштування вхідного мультиплексора?
- 19) Як можна програмно врахувати величину зсуву?
- 20) Чому після перемикання диференціального каналу підсилювача перетворення не повинно стартувати не раніше, ніж через 125 мкс?
- 21) Назвіть способи вирівнювання результату АЦП.
- 22) Яке вирівнювання слід використовувати якщо досить точності 8-розрядного значення?



- 23) Які особливості перемикання каналів при одиночному перетворенні?
- 24) Які особливості перемикання каналів при перетворенні у режимі автоматичного перезапуску?
- 25) Що може виступати у ролі джерела опорної напруги?
- 26) Який вихідний опір повинно мати джерело вхідного сигналу?
- 27) Яким буде результат перетворення для каналів з однополярним входом?
- 28) Яким буде результат перетворення для каналів з диференціальним входом?
- 29) Назвіть методи підвищення точності перетворення АЦП.
- 30) Чому дорівнює похибка зсуву та як її можна програмно врахувати?
- 31) Що таке інтегральна нелінійність?
- 32) Що таке диференціальна нелінійність?

#### **ЛІТЕРАТУРА [1...10]**