

Лекція 12

Інтерфейс SPI

1 Основні положення

Модуль інтерфейсу SPI (рисунок 1) є простим периферійним «виконавчим пристроєм», що може видавати та читати дані на/з шини SPI, однак недостатньо інтелектуальним, щоб керувати шиною. Після ініціалізації інтерфейсу програма повинна сама керувати процесом передачі даних шиною.

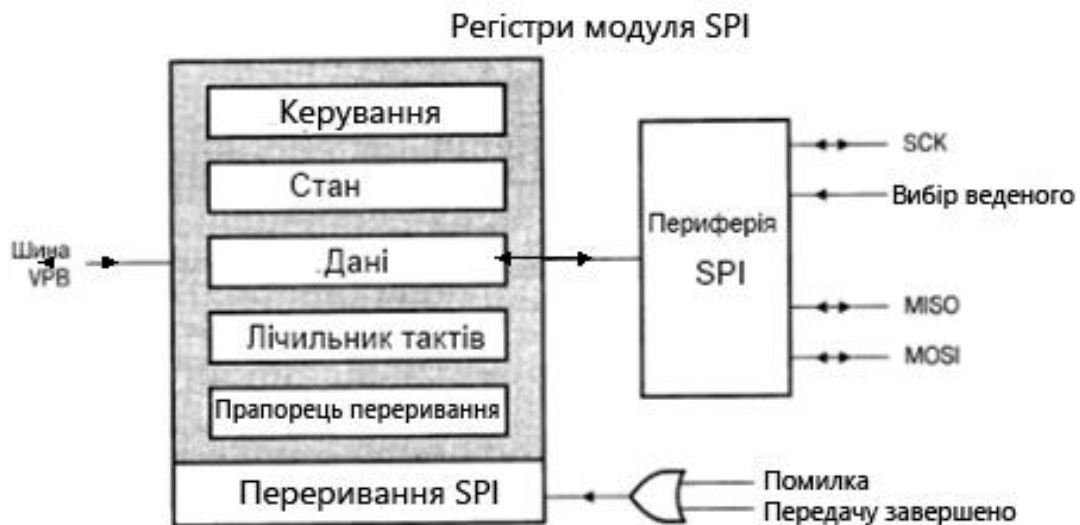


Рисунок 1 – Модуль інтерфейсу SPI

SPI (англ. Serial Peripheral Interface) – послідовний синхронний повнодуплексний стандарт передачі даних, який розроблено фірмою Motorola для забезпечення простого сполучення мікроконтролерів та периферії. SPI також називають чотирьохпровідним інтерфейсом. На відміну від стандартного асинхронного послідовного порту, SPI є синхронним інтерфейсом, в якому кожна передача синхронізована з тактовим сигналом, що генерується ведучим пристроєм (мікроконтролером). Периферійний пристрій синхронізує отримання бітової послідовності з тактовим сигналом. До одного послідовного периферійного інтерфейсу ведучого мікроконтролера можна під'єднати декілька ведених. Головний пристрій вибирає ведений пристрій, активуючи сигнал «вибір кристалу» (англ. chip select) на потрібній мікросхемі. Інші пристрої, які не вибрані ведучим, не беруть участі в передачі по SPI.

Інтерфейс SPI має чотири сигнальні лінії: MOSI, MISO, SCK та (NSS)
(рисунки 2, 3).

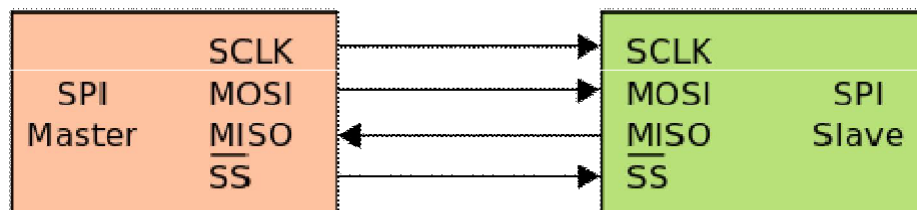


Рисунок 2 – SPI–шина: один ведучий та один ведений

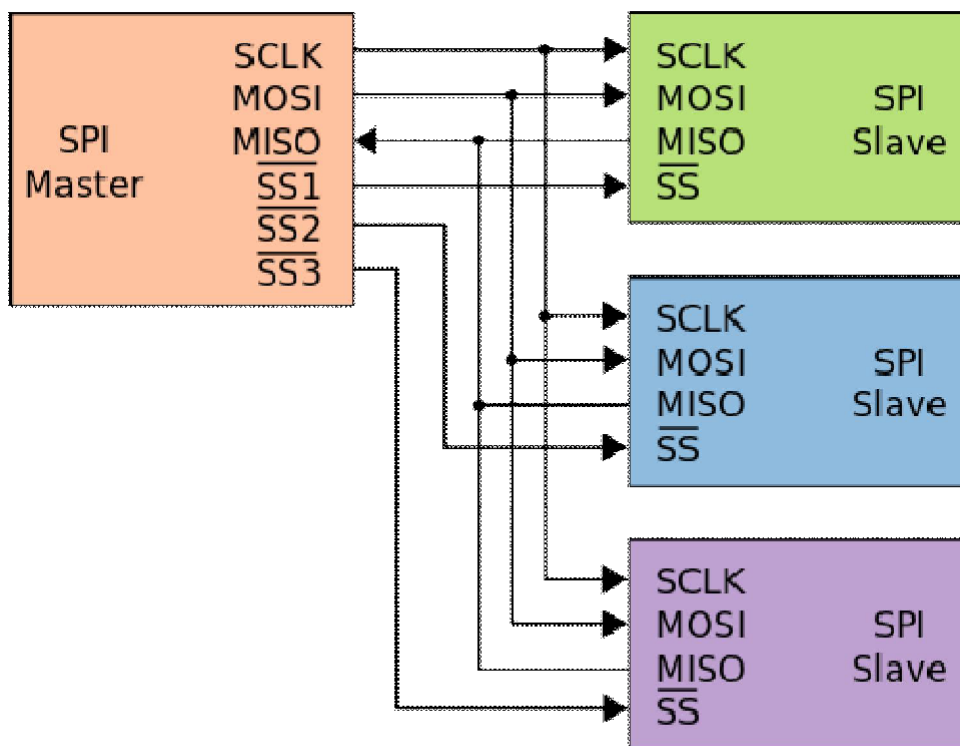


Рисунок 3 – SPI–шина: один ведучий, три незалежні (паралельні) ведені

Лінія MOSI (Master–Out, Slave–In) – вихідна лінія даних ведучого інтерфейсу і вхідна лінія даних веденого інтерфейсу. З назви випливає, що лінію призначено для передачі даних від ведучого (Master) інтерфейсу (або вузла мережі) до веденого (Slave) інтерфейсу (або вузла мережі).

Лінія MISO (Master–In, Slave–Out) – вхідна лінія даних ведучого інтерфейсу і вихідна лінія даних веденого інтерфейсу. Лінію призначено для передачі даних від веденого інтерфейсу до ведучого. Дані передаються байтами, починаючи зі старшого біта. Слід пам'ятати, що вихід MISO веденого інтерфейсу

знаходиться у високоімпедансному стані, якщо ведений інтерфейс не обрано за лінією NSS.

Лінію SS (NSS) (Slave Select) – лінію вибірки веденого, призначено для вибірки ведучим веденого інтерфейсу низьким логічним потенціалом.

Лінія SCLK (Serial Clock) – вихідна лінія тактових імпульсів ведучого вузла і вхідна лінія тактових імпульсів веденого вузла. Лінія SCLK використовується для синхронізації передачі даних між ведучим і веденим інтерфейсами за лініями MOSI та MISO.

У режимі ведучого на виводі синхронізації формується тактовий сигнал, що забезпечує передачу даних зі швидкістю до 400 Кбіт / с, а в режимі веденого на цей вивід надходить зовнішній тактовий сигнал від ведучого пристрою. Шина SPI розроблялася виключно для високошвидкісної послідовної передачі даних і, на відміну від шини I²C, в ній не реалізовано ніякої схеми адресації.

Опис виводів інтерфейсу SPI наведено в таблиці 1.

Таблиця 1– Опис виводів інтерфейсу SPI

Назва виводу	Опис виводу	Тип виводу SPI	
		Ведучий	Ведений
MISO	Вхід ведучого – вихід веденого	Вхід	Вихід
MOSI	Вихід ведучого – вхід веденого	Вихід	Вхід
SCLK	Послідовний синхросигнал	Вихід	Вхід
NSS (SS)	Вибір веденого	Вихід	Вхід

Керування модулем SPI здійснюється за допомогою п'яти регістрів. Регістр лічильника тактів визначає швидкість передачі даних шиною. Тактовий сигнал шини SPI отримується простим діленням сигналу P_{SCLK} на число, що знаходиться в регістрі лічильника тактів. Мінімальне значення, яке зберігається у цьому регістрі дорівнює 8. Регістр керування призначений для визначення конфігурації шини SPI. Через примітивний характер процесу передачі шиною SPI і широкого діапазону пристроїв, в специфікації інтерфейсу передбачено можливість функціонування ліній синхронізації в декількох різних режимах.

Можливі чотири комбінації фази (CPHA) і полярності (CPOL) сигналу SCLK по відношенню до сигналів даних. Режими роботи визначаються комбінацією біт CPHA і CPOL (рисунок 3):

- CPOL = 0 – сигнал синхронізації починається з низького рівня;
- CPOL = 1 – сигнал синхронізації починається з високого рівня;
- CPHA = 0 – вибірка даних проводиться за переднім фронтом сигналу синхронізації;
- CPHA = 1 – вибірка даних проводиться за заднім фронтом сигналу синхронізації.

Часові діаграми роботи SPI-інтерфейсу показано на рисунку 3.

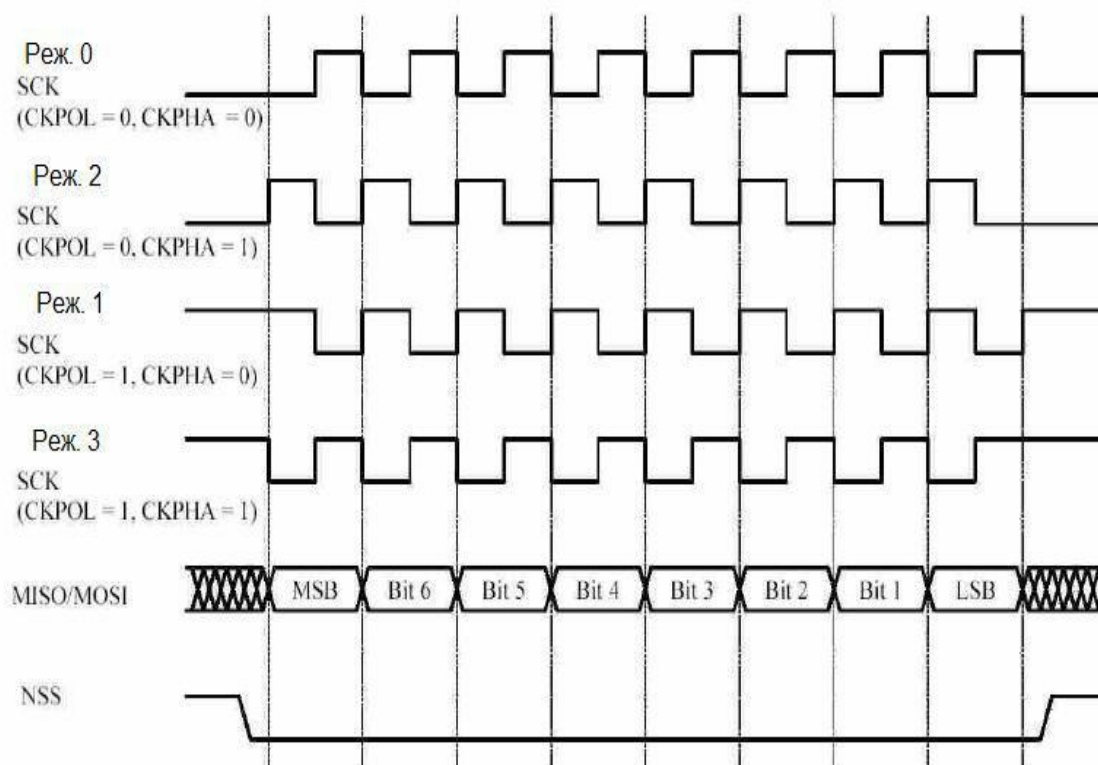


Рисунок 3– Часові діаграми роботи SPI-інтерфейсу

Для позначення режимів роботи інтерфейсу SPI прийнято наступну угоду:

- режим 0 (CPOL = 0, CPHA = 0);
- режим 1 (CPOL = 1, CPHA = 0);
- режим 2 (CPOL = 0, CPHA = 1);
- режим 3 (CPOL = 1, CPHA = 1).

У мережі на базі SPI-інтерфейсів одночасно тільки один інтерфейс може бути ведучим. Інтерфейс налаштовується на режим ведучого встановленням прапорця MSTR регістра S0SPCR. Якщо інтерфейс налаштовано на режим ведучого, то запис байта даних у регістр даних S0SPDR приводить до початку передачі. Ведучий інтерфейс негайно побітно зсуває дані і видає їх на лінію MOSI в супроводі тактових імпульсів на лінії SCLK. Після завершення передачі встановлюється прапорець SPIF регістра S0SPSR. Якщо дозволено переривання, то виконується відповідна підпрограма обробки цього переривання. Крім того, інтерфейс може бути запрограмований на видачу від одного до п'ятнадцяти бітів (таблиця 4.49) для здійснення зв'язку з SPI-приладами, що мають різну довжину слова. Довжину передачі (кількість переданих бітів) може бути задано бітами BitEnable та BITS в регістрі керування S0SPCR. З'єднання двох мікроконтролерів (ведучий-ведений) за інтерфейсом SPI, приведено на рисунку 4.

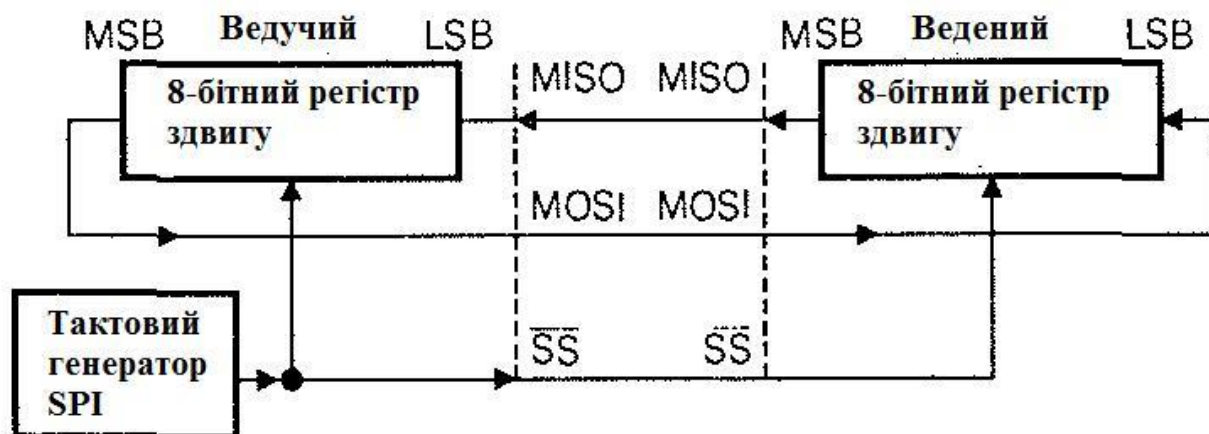


Рисунок 4– Схема з'єднання вузлів SPI двох різних пристроїв

Інтерфейс може працювати в дуплексному режимі. Це означає, що можлива одночасна передача даних за лінією MOSI від ведучого до веденого, і лінією MISO від веденого до ведучого. Дані, які отримано від веденого інтерфейсу, замінюють дані в регістрі даних ведучого інтерфейсу. Цей регістр двічі буферизований на введення, але не на виведення. Тобто якщо в регістр даних S0SPDR здійснюється спроба запису даних під час передачі попереднього байта, встановлюється прапорець помилки запису WCOL регістра S0SPSR і спроба запису ігнорується.

Таким чином, поточна передача даних триває безперервно. Зчитування з регістра даних S0SPDR призводить до зчитування приймального буфера. Якщо прийом не закінчено, встановлюється прапорець ROVR регістра S0SPSR. Нові дані не передаються в регістр зчитування, доки попередній прийнятий байт не буде прочитано. Очевидно, що при затримці зчитування прийнятих байтів може відбутися втрата даних. Якщо SPI-інтерфейс не налаштовано, як ведучий (Master), він буде працювати в режимі веденого (Slave).

Крім того, підтримується режим мережі з багатьма ведучими. Прапорець помилки режиму MODF регістра S0SPSR встановлюється в логічну одиницю, якщо інтерфейс визначено як ведучий (MSTR = 1) і вивід NSS переведено в низький логічний рівень, тобто SPI-інтерфейс намагаються використовувати в якості веденого.

Можливі чотири комбінації фаз тактових імпульсів і їх полярностей залежно від комбінації керуючих бітів у регістрі керування S0SPCR. Біт СКРНА вибирає одну з двох фаз тактових імпульсів, тобто фронт, за яким здійснюється запис даних. Інший біт СКPOL визначає активну полярність сигналу синхронізації (високий чи низький рівень). Очевидно, що і ведучий, і ведений вузли повинні мати однакові налаштування фази і полярності. Ще одна важлива особливість налаштування полягає в тому, що інтерфейс SPI повинен бути заборонений шляхом скидання BitEnable регістра S0SPCR на час налаштування фази і полярності тактових імпульсів.

Перед входами восьмирозрядних регістрів зсуву ведучого та веденого мікроконтролерів (рисунок 4.48) знаходяться два синхронних тригери (буфери) (на рисунку не показані), в які першим перепадом сигналу на лінії SCLK записується значення сигналу, яке присутнє на їх інформаційному вході.

Другим перепадом імпульсів на лінії SCLK відбувається зсув інформації вліво відповідно до рисунку 4.48. При цьому стан буферів переписується в молодші розряди регістрів зсуву, а черговий вихідний біт з регістрів зсуву виставляється на лінії MOSI/MISO.

Вказаний зсув у часі між моментом видачі чергового розряду в лінію зв'язку між мікроконтролерами і моментом фіксації цього біта в буфері дозволяє компенсувати часові затримки при передачі сигналів між ведучим та веденим.

Далі аналогічно здійснюється обмін між ведучим та веденим всіма наступними бітами. З кожним непарним/парним перепадом сигналу SCLK відбувається фіксація чергового біта в буфері, а з кожним парним/непарним – зсув інформації вліво.

Крім того, можна задати порядок передачі байтів, оскільки першим може передаватися як старший, так і молодший біт байта (рисунок 5).

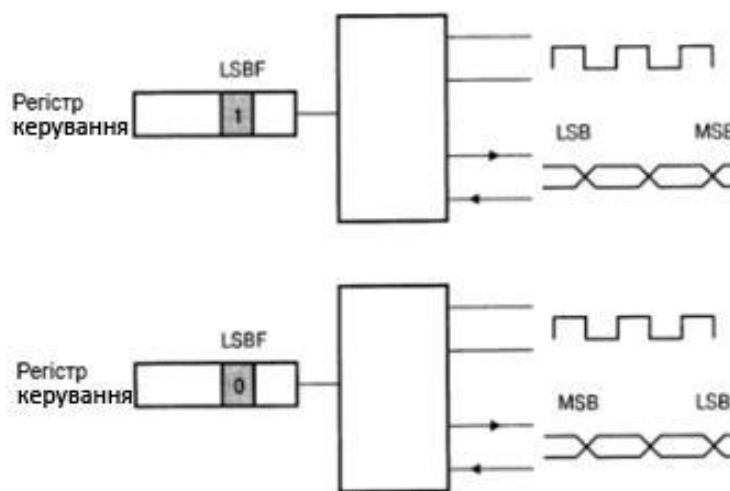


Рисунок 5– Прямий та зворотний порядок передачі байта

Кожній з вказаних опцій конфігурації відповідає окремий біт регістра керування, і потрібно запрограмувати ці біти так, щоб це відповідало характеристикам SPI – пристроїв, з якими потрібно обмінюватися даними.

2 Передача даних в режимі ведучого

Наступна послідовність дій описує, як слід керувати передачею даних з блоку SPI, коли він буде налаштований, як ведучий (керуючий).

Цей процес передбачає, що будь-яка попередня передача даних вже завершена:

1. Встановити необхідне значення в регістрі лічильника тактів SPI.
2. Встановити необхідні налаштування в регістрі керування SPI.
3. Записати дані, що будуть передаватися, в регістр даних SPI. Цей запис ініціює передачу даних шиною SPI.

4. Почекаати, поки біт SPIF в реєстрі стану SPI стане дорівнювати 1. Біт SPIF буде встановлено в 1 після останнього циклу передачі даних по SPI.
5. Прочитати реєстр стану SPI.
6. Прочитати отримані дані з реєстра даних SPI (за бажанням).
7. Перейдіть до кроку 3, якщо треба передати більше даних.

3 Передача даних в режимі веденого

Наступна послідовність дій описує, як слід керувати передачею даних з блоку SPI, коли він буде налаштований, як ведений. Цей процес передбачає, що будь-яка попередня передача даних вже завершена:

1. Встановити необхідні значення в реєстрі керування SPI.
2. Записати дані, що потрібно передати в реєстр даних SPI (за бажанням).
Зауважимо, що тільки це може бути зроблено, коли в режимі веденого не виконується прийом шиною SPI.
3. Почекаати, поки біт SPIF в реєстрі стану SPI стане дорівнювати 1. Біт SPIF буде встановлено в 1 після останнього циклу передачі даних по SPI.
4. Прочитати реєстр стану SPI.
5. Прочитати отримані дані з реєстра даних SPI (за бажанням).
6. Перейдіть до кроку 2, якщо треба передати більше даних.

4 Переривання SPI

4.1. Переривання помилки переповнення

Переривання SPI виникає при встановленні прапорця SPIF при SPIE=1 та можливе при виникненні наведених нижче помилок. Переривання помилки переповнення виникає при спробі передачі даних до блоку SPI в ситуації, коли внутрішній буфер містить дані, які не були прочитані процесором. Буфер читання містить достовірні дані, на що вказує значення SPIF біта в реєстрі стану. Якщо значення біта SPIF дорівнює 1 (тобто буфер повний), усі нові дані будуть втрачені, і біт переповнення (ROVR) в реєстрі стану буде дорівнювати 1.

4.2 Переривання помилки запису

Між блоком інтерфейсу шини SPI і внутрішнім регістром зсуву відсутній буфер передачі (запису). В результаті, не можна записувати дані до регістра даних SPI під час передачі даних. Запис неможливий починаючи з моменту початку передачі даних шиною SPI до моменту, коли передача закінчиться і біт SPIF дорівнюватиме 1.

При спробі запису в цей проміжок часу даних до регістра даних, усі дані для передачі будуть втрачені і біт помилки запису (WCOL) буде змінений на 1.

4.3 Переривання помилки режиму

Якщо сигнал NSS на вході \overline{SS} активний, коли блок SPI працює в режимі ведучого, це вказує на те, що інший блок SPI, що працює в режимі ведучого обрав даний блок веденим. Такий процес викликає помилку режиму. При виникненні цієї помилки встановлюється в 1 біт помилки режиму (MODF) в регістрі стану, всі передачі перериваються і блок SPI переходить в режим веденого.

4.4 Опис регістрів SPI

Карту регістрів модуля SPI наведено в таблиці 2.

Таблиця 2– Карта регістрів модуля SPI

Ім'я	Опис	Доступ	Значення за замовченням	Адреса
S0SPCR	Регістр керування	Запис/зчитування	0x00	0xE002000
S0SPSR	Регістр стану	Зчитування	0x00	0xE002004
S0SPDR	Регістр даних	Запис/зчитування	0x00	0xE002008
S0SPCCR	Регістр лічильника тактів	Запис/зчитування	0x00	0xE00200C
S0SPINT	Регістр прапорців переривань	Запис/зчитування	0x00	0xE00201C

Формат та опис регістра керування S0SPCR наведено в таблиці 3.

Таблиця 4.48– Регістр керування S0SPCR

Біт	Символ	Опис	Значення за замовченням
1:0		Зарезервовані	–
2	BitEnable	0 – передача заборонена 1 – SPI-контролер передає та приймає кількість біт, що вказана у бітах 11:8. Відповідна кількість біт наведена в таблиці 4	0
3	CPHA	Визначає фазу сигналу	0
4	CPOL	Визначає полярність сигналу	0
5	MSTR	0 – працює в режимі веденого 1 – працює в режимі ведучого	0
6	LSBF	Визначає з якого біта (старшого – 0 чи молодшого – 1) починати передачу	0
7	SPIE	Дозвіл переривань	0
11:8	BITS	Кількість біт, що передаються	0
15:12	–	Зарезервовані	0

Кількість біт, що будуть передаватись та прийматись SPI-контролером, відповідно до значень в бітах 11:8 наведено в таблиці 4.

Таблиця 4.49– Кількість біт, яку передає та приймає SPI-контролер

11p	10p	9p	8p	Число біт
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Формат та опис регістра S0SPSR наведено в таблиці 5.

Таблиця 5 – Регістр стану S0SPSR

Біт	Символ	Опис	Значення за замовченням
2:0	–	Зарезервовані	–
3	ABRT	Біт аварійного припинення роботи веденого. Коли біт встановлений, то це вказує на те, що ведений пристрій аварійно завершив роботу. Очищається після читання регістра S0SPSR.	0
4	MODF	Біт помилки режиму. Коли біт встановлений, то це вказує на те, що сталася помилка режиму. Цей біт скидається шляхом читання регістра S0SPSR і подальшого запису в регістр керування SPI.	0
5	ROVR	Біт переповнення при читанні. Коли біт встановлений, це вказує, що сталося переповнення при читанні. Цей біт скидається шляхом читання регістра S0SPSR.	0
6	WCOL	Біт колізії запису. Коли біт встановлений, це вказує, що сталася колізія записи. Цей біт скидається шляхом читання регістра S0SPSR і подальшого звернення до регістра даних SPI.	0
7	SPIF	Прапорець закінчення передачі через SPI. Коли прапорець встановлений, це вказує на закінчення передачі даних через SPI. Коли пристрій є ведучим, цей прапорець встановлюється в кінці останнього циклу передачі. Коли пристрій є веденим, цей прапорець встановлюється за перепадом SCLK, що здійснює вибірку останнього біта даних. Цей прапорець скидається шляхом першого читання регістра S0SPSR і подальшого звернення до регістра даних SPI.	0

Формат та опис регістра прапорців переривання S0SPINT наведено в таблиці 6.

Таблиця 6– Регістр прапорців переривань SPI

Біт	Символ	Опис	Значення за замовченням
0	SPI Interrupt Flag (переривання від SPI)	Прапорець переривання SPI. Встановлюється інтерфейсом при виникненні переривання. Встановлюється при SPIF = 1 і при одній з трьох умов: ROVR=1, WCOL=1, або MODF=1. Прапорець скидається шляхом запису в нього 1	0
7:1	–	Зарезервовані	–

Формат та опис регістра S0SPDR наведено в таблиці 7.

Таблиця 7– Регістр даних S0SPDR

Біт	Символ	Опис	Значення за замовченням
7: 0	DataLow	Дані двонаправленого порту	0x00
15: 8	DataHigh	Якщо біт 2 SPCR 1 і біти 11: 8 відмінні від 1000, то деякі або всі ці біти містять додаткові біти передачі і прийому. Якщо вибираються менш, ніж 16 бітів, то інші біти заповнюються нулями	0x00

Формат та опис регістра S0SPCCR наведено в таблиці 8

Таблиця 8– Регістр лічильника тактів S0SPCCR

Біт	Символ	Опис	Значення за замовченням
7: 0	Лічильник	Встановлення кількості тактів	0x00

Цей регістр визначає частоту SCLK ведучого модуля. Регістр програмує частоту (швидкість) обміну модулем SPI. У ведучому режимі, цей регістр має бути парним числом: більшим або дорівнювати 8. Порухення цього може привести до непередбачуваного. Частота (швидкість) SPI0 – SCLK може розраховуватися за формулою: $F_{SCLK} = P_{CLK\ SPI} / \text{значення } S0SPCCR$. У режимі веденого, тактова частота не повинна перевищувати 1/8 від частоти ведучого SPI.

ПИТАННЯ ДЛЯ САМОКОНТРОЛЮ

1. На яку відстань і з якою швидкістю можна здійснювати обмін даними через інтерфейс SPI?
2. У яких режимах може працювати мікроконтролер при обміні даними інтер-фейсом SPI?
3. Скільки та які виводи мікроконтролера використовує модуль SPI?
4. Який регістр призначений для керування модулем SPI?
5. Який регістр використовується для контролю стану модуля?
6. Як задати режим роботи мікроконтролера в режимі «MASTER»?
7. Як визначити кінець передачі байта?
8. За якої умови, при передачі даних від ведучого до веденого, можлива передача у зворотному напрямі?
9. Що означає те, що у модулі реалізована одинарна буферизація при передачі та подвійна при прийомі?
10. Чи можна до інтерфейсу підключати декілька периферійних пристроїв?
11. Назвіть кількість режимів передачі даних та принцип їх роботи.
12. Що є джерелом тактового сигналу при роботі модуля?
13. Наведіть опис бітів регістра керування.
14. Наведіть опис бітів регістра стану.
15. Наведіть опис бітів регістра прапорців переривання.
16. Опишіть передачу даних в режимі ведучого.
17. Опишіть передачу даних в режимі веденого.
18. Опишіть переривання від модуля SPI.
19. Опишіть часові діаграми роботи SPI–інтерфейсу.
20. Опишіть схему з'єднання вузлів SPI двох різних пристроїв.
21. Як компенсуються часові затримки при передачі сигналів між двома пристроями?
22. Наведіть та опишіть приклад мережі SPI.
23. За якою формулою розраховується тактова частота модуля SPI?