

Лекція 7 СИСТЕМНІ ПЕРИФЕРІЙНІ ПРИСТРОЇ

3.7 Модуль ФАПЧ

3.7.1 Принцип роботи схеми ФАПЧ

Фазове автопідлаштування частоти (ФАПЧ) широко використовується в радіотехнічних пристроях і системах зв'язку. На основі генераторів, які керуються напругою (ГКН), і схем ФАПЧ будують синтезатори частоти, які дозволяють отримати сітку стабільних частот. Одним із застосувань синтезаторів є використання їх в якості опорних генераторів в перетворювачах радіочастотних сигналів.

Схема ФАПЧ (англійський еквівалент Phase-Locked Loop – PLL) являє собою систему з контуром зворотного зв'язку, який містить ГКН, фазовий детектор (ФД), фільтр нижніх частот (ФНЧ) і підсилювач (рисунок 3.16)

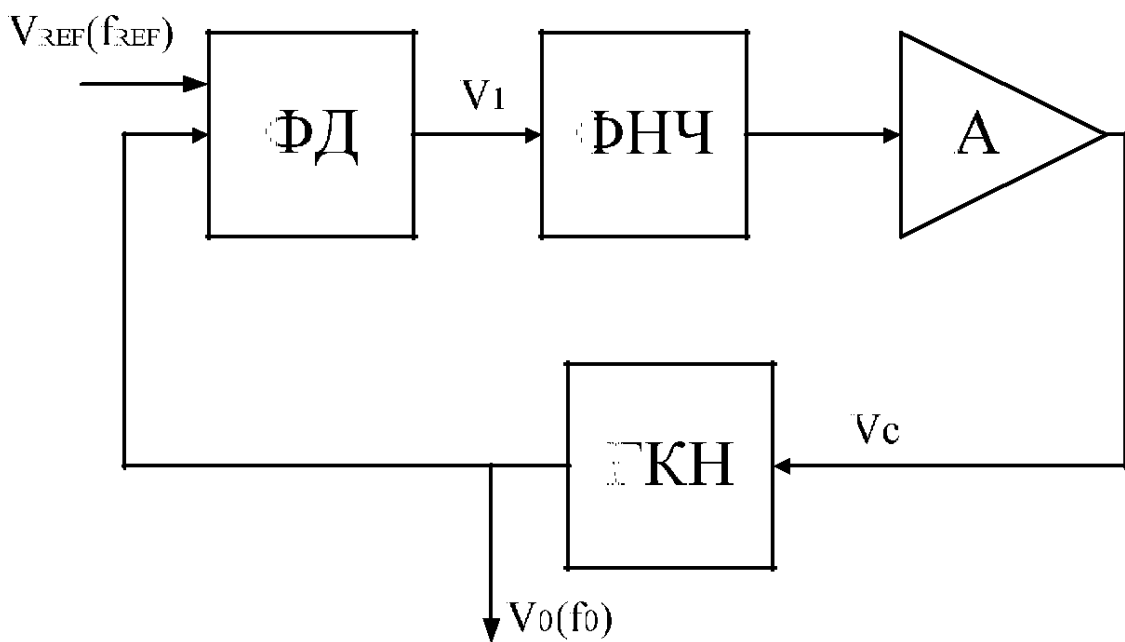


Рисунок 3.16 – Структурна схема ФАПЧ

ФД (або детектор помилки) порівнює фази сигналу опорного генератора V_{ref} і вихідного сигналу ГКН V_0 і виробляє напругу V_1 , величина якої залежить від різниці фаз цих сигналів. Вихідна напруга ФД пропускається через ФНЧ для придушення високочастотних складових і їх гармонік, які присутні в опорному сигналі і на виході ГКН. Напруга з виходу ФНЧ підсилюється і використовується як керуюча для ГКН (V_c).

В снові роботи системи ФАПЧ лежить фазова синхронізація сигналів підлаштовуваного і опорного генераторів. Однак, перш ніж виникне фазова синхронізація, коло ФАПЧ треба синхронізувати за частотою. Після того, як відбудеться захоплення частоти, на виході фазового детектора з'явиться напруга, яка пропорційна різниці фаз між сигналом на виході ГКН і зовнішнім еталонним сигналом V_{ref} .

Щоб система ФАПЧ працювала належним чином, необхідно забезпечити повний замкнутий тракт петлі зворотного зв'язку, як показано на рисунку 3.16. При відсутності зовнішнього опорного сигналу або коли петля зворотного зв'язку розімкнута, ГКН працює на частоті попереднього налаштування f_0 , яку називають власною частотою або частотою власних коливань. Власна частота – це вихідна частота ГКН в системі ФАПЧ з розімкненою петлею зворотного зв'язку. Власна частота ГКН визначається зовнішніми компонентами. Як вже говорилося, перш ніж система ФАПЧ увійде в режим стеження, повинно відбутися захоплення частоти. Коли на вхід системи ФАПЧ надходить зовнішній вхідний сигнал з частотою F_{ref} , компаратор порівнює частоту зовнішнього сигналу з частотою вихідного сигналу ГКН f_0 . На виході фазового детектора формується напруга помилки, неузгодженості Δ , яка пропорційна різниці фаз двох сигналів на вході. Напруга сигналу помилки через фільтр нижніх частот і підсилювач впливає на керуючий елемент ГКН. Якщо власна частота ГКН f_0 досить близька до частоти зовнішнього опорного сигналу f_{ref} , то під дією зворотного зв'язку в схемі ФАПЧ ГКН синхронізується, тобто захоплює зовнішній вхідний сигнал. Тому вихідна частота ГКН – це сума або різниця його власної частоти і різниці між зовнішньою опорною частотою і власною частотою ГКН.

По суті, система ФАПЧ має три робочих стани:

- автономний стан власних, вільних коливань;
- режим захоплення;
- режим стеження.

У автономному стані зовнішній сигнал опорної частоти відсутній або петля зворотного зв'язку розімкнена. При цьому ГКН генерує сигнал на своїй

власній частоті, яка визначається зовнішніми компонентами. У стані захоплення, система ФАПЧ повинна мати зовнішній опорний сигнал і замкнену петлю зворотного зв'язку. Зі стану захоплення система ФАПЧ з часом переходить в режим стеження частоти. У режимі спостереження частота ГКН відстежує частоту зовнішнього входного сигналу, тобто дорівнює їй. Коли система ФАПЧ знаходиться в стані утримання, частота ГКН слідує за змінами частоти зовнішнього опорного сигналу.

Фільтр нижніх частот пригнічує входні частоти f_{ref} і f_0 , а також їх сумарну частоту $f_0 + f_{\text{ref}}$. Таким чином, на виході ФНЧ присутній єдиний сигнал – відносно низька різницева частота, яку називають частотою биття. Сигнал биття підсилюється, а потім надходить на вхід ГКН, змінюючи вихідну частоту ГКН пропорційно величині і полярності своєї напруги. Оскільки вихідна частота ГКН змінюється, амплітуда і частота сигналу биття також пропорційно змінюється.

Після певного числа циклів підстроювання вихідна частота ГКН стає рівною зовнішній опорній частоті і, як кажуть, відбувається захоплення частоти системою ФАПЧ. Як тільки захоплення частоти відбулося, частота биття на виході ФНЧ стає рівною 0 Гц (напруга постійного струму), а його величина і полярність будуть пропорційні різниці фаз між зовнішнім опорним сигналом і вихідним сигналом ГКН. Напруга постійного струму забезпечує вхідне зміщення для ГКН, підтримуючи режим стеження частоти зовнішнього сигналу.

Схема ФАПЧ використовується, наприклад, в якості основного елемента при побудові синтезаторів частоти, які виробляють сітку високостабільних частот, які кратні частоті опорного генератора. Для забезпечення високої стабільності використовують опорний генератор з кварцовим резонатором. Структуру такого синтезатора приведено на рисунку 3.17.

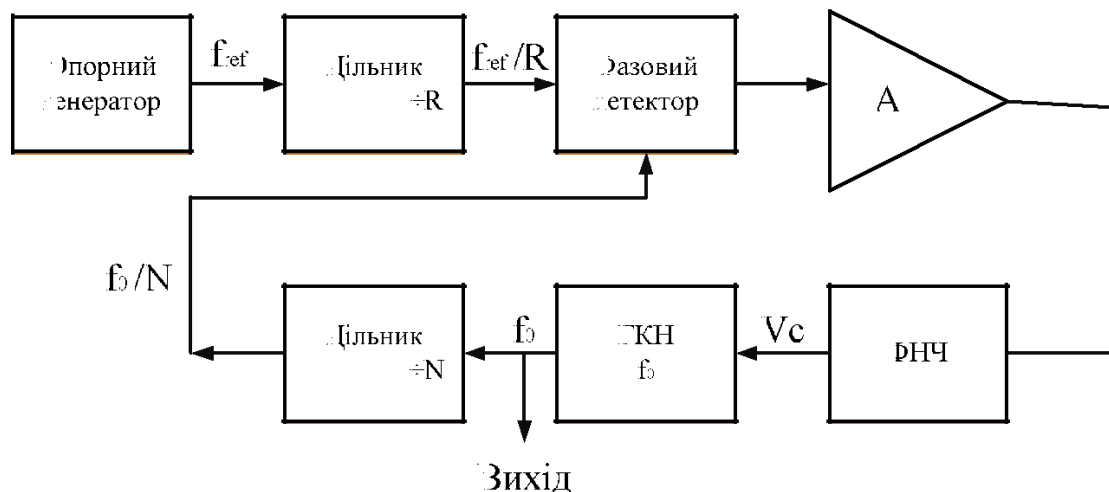


Рисунок 3.17 – Структурна схема синтезатора частоти з ФАПЧ

Частота опорного генератора f_{ref} ділиться на ціле число R за допомогою вхідного подільника. На його виході виробляється сигнал з частотою f_{ref} / R . Частота ГКН також ділиться на ціле число N за допомогою подільника в петлі ФАПЧ, приймаючи значення f_0/N . Коли схема ФАПЧ працює в режимі захоплення опорного сигналу, має місце рівність:

$$\frac{f_{ref}}{R} = \frac{f_0}{N}. \quad (3.1)$$

Звідки

$$f_0 = \frac{N}{R} f_{ref}. \quad (3.2)$$

Для отримання різних коефіцієнтів ділення застосовують програмовані подільники. Тим самим забезпечується широкий спектр вихідних частот синтезатора, які кратні частоті опорного сигналу. Діапазон вихідних частот синтезатора визначається смугою захоплення ФАПЧ, а абсолютні значення меж цього діапазону залежать від власної частоти ГКН, що до якої розташовується смуга захоплення. Величина кроку зміни частоти синтезатора f (роздільна здатність синтезатора) в межах діапазону його перебудови залежить від величини коефіцієнта ділення подільника N і від часу захоплення ФАПЧ. При зменшенні f потрібно зменшення часу захоплення (часу встановлення), тобто зменшення часу переходу від одного стійкого стану з частотою f_{01} до іншого стійкого стану з частотою $f_{02} = f_{01} \pm \Delta f$.

3.7.2 Модуль ФАПЧ мікроконтролерів сім'ї LPC23XX

3.7.2.1 Загальні відомості

Модуль ФАПЧ мікроконтролерів сім'ї LPC23XX приймає на вхід тактовий сигнал з частотою в діапазоні від 32 кГц до 25 МГц [1, 4, 7]. Вхідна частота підвищується до високих частот, а потім ділиться, щоб подати потрібну тактову частоту на процесор і блок USB.

Вхід ФАПЧ, в діапазоні від 32 кГц до 25 МГц, спочатку може бути розділений на величину "N", яка знаходиться в діапазоні від 1 до 256. Це вхідне ділення забезпечує велику кількість можливостей для надання широкого діапазону вихідних частот при одній частоті вхідного сигналу.

Окрім вхідного подільника в схемі ФАПЧ стоїть мультиплікатор, який може ділити вихідну частоту схеми на величину "M" (діапазон від 1 до 32768). Результуюча частота повинна бути в діапазоні від 275 МГц до 550 МГц.

Є додаткові подільники на виході ФАПЧ, які понижують частоту до тієї, що необхідна для процесора, USB та іншої периферії. Структурну схему модуля ФАПЧ показано на рисунку 3.18.

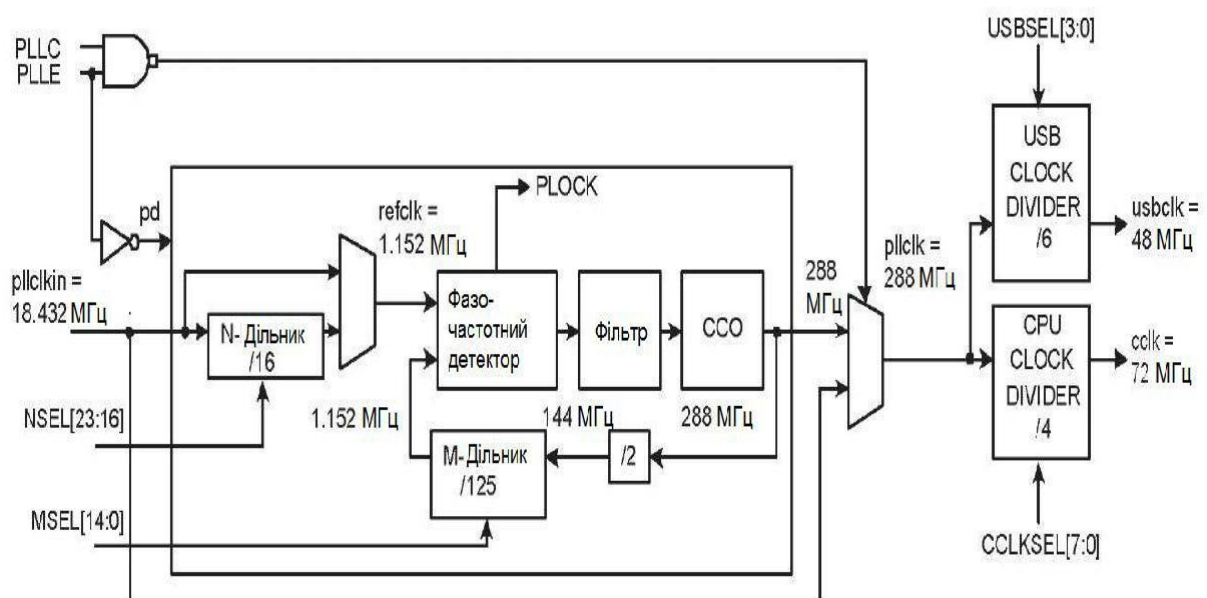


Рисунок 3.18 – Структурна схема модуля ФАПЧ

Роботу модуля ФАПЧ описано у підрозділі 3.7.1. Як приклад, в схемі на рисунку 3.18 $N=16$, $M=125$, вхідна частота дорівнює $18,432 \text{ МГц}$, вихідна частота – 288 МГц , коефіцієнт ділення цієї частоти для отримання частоти 48 МГц для

модуля USB дорівнює 6, а коефіцієнт ділення цієї частоти для отримання частоти 72 МГц для CPU дорівнює 4.

Активація ФАПЧ здійснюється через регістр PLLCON. Значення мультиплікатора ФАПЧ і коефіцієнта ділення дільника контролюються регістром PLLCFG. Ці два регістри захищені, щоб запобігти випадковій зміні параметрів ФАПЧ або деактивації ФАПЧ.

Оскільки всі операції чіпу, включаючи сторожовий таймер, можуть залежати від ФАПЧ, якщо він так налаштований (наприклад, коли він надає тактову частота для чіпа), то випадкова зміна налаштування ФАПЧ може призвести до несправності мікроконтролера.

Захист здійснюється подібно до сторожового таймера. Для доступу до регістрів треба згенерувати особливу послідовність, детальна інформація про яку наводиться нижче при описі регістра PLLFEED.

За замовчанням, після скидання мікроконтролера, а також в режимі Power Down система ФАПЧ відключена. Вона може бути запущена лише програмою користувача. Програма повинна сконфігурувати і активізувати ФАПЧ, дочекатися замикання петлі ФАПЧ, а потім комутувати вихід ФАПЧ в якості джерела тактової частоти мікроконтролера.

3.7.2.2 Регістри керування ФАПЧ

ФАПЧ керується регістрами, які описано у таблиці 3.1.

3.7.2.2.1 Керуючий регістр PLLCON

Регістр PLLCON, адреса: 0xE01FC080 (таблиця 3.2) містить керуючі біти, які використовуються для підключення до мікроконтролера системи ФАПЧ і дозволу її роботи.

Таблиця 3.1 – Керуючі регістри ФАПЧ

Назва	Опис	Доступ	Reset	Адреса
PLLCON	Регістр керування ФАПЧ. Служить для тимчасового зберігання інформації, необхідної для підключення системи ФАПЧ до мікроконтролера і дозволу її роботи. Значення, які записано в цей регістр, не задіюються, поки не виконано коректну послідовність подачі (введення даних) ФАПЧ.	R/W	0	0xE01F C080
PLLCFG	Регістр конфігурації ФАПЧ. Служить для тимчасового зберігання інформації, необхідної для того, щоб модифікувати налаштування конфігурації ФАПЧ. Значення, які записано в цей регістр, не задіюються, поки не виконано коректну послідовність подачі (введення даних) ФАПЧ.	R/W	0	0xE01F C084
PLLSTAT	Регістр стану ФАПЧ. Зчитування яку записано в регістри керування і конфігурації ФАПЧ. Регістр PLLSTAT не буде достовірно відображати стан ФАПЧ у випадку, якщо запис в регістри PLLCON або PLLCFG була проведена, але коректна послідовність подачі (введення даних) ФАПЧ не була сгенерована.	R0	0	0xE01F C088

Продовження таблиці 3.1

PLLFEED	Регістр подачі ФАПЧ. За допомогою цього регістра дозволяється завантаження даних керування і конфігурації ФАПЧ з регістрів PLLCON і PLLCFG в тіньові регістри, які фактично забезпечують керування і конфігурацію ФАПЧ.	WO NA	WO NA	0xE01F C08C
---------	--	----------	----------	----------------

Таблиця 3.2 – Опис бітів регістра керування PLLCON

Біт	Символ	Опис	Reset
0	PLLE	Біт включення ФАПЧ. Коли цей біт встановлено і виконано коректну послідовність подачі (введення даних), то ФАПЧ активується і петля ФАПЧ замикається на необхідній частоті.	0
1	PLLC	Біт підключення ФАПЧ до мікроконтролера. Коли біти PLLC і PLLE встановлено і виконано коректну послідовність подачі (введення даних), то ФАПЧ підключається до мікроконтролера і стає для нього джерелом синхросигналу.	0
31:2	—	Програмне забезпечення користувача не повинно проводити запис в зарезервовані біти. Читання зарезервованого біта повертає невизначене значення.	NA

При підключенні ФАПЧ до мікроконтролера, його центральний процесор і всі вбудовані периферійні модулі тактуються вихідними сигналами ФАПЧ. Зміни вмісту регістра PLLCON не вступають в силу, поки не буде

виконано коректну послідовність подачі (введення даних) ФАПЧ (див. опис регістра подачі ФАПЧ: PLLFEED – 0xE01FC08C).

Система ФАПЧ повинна бути налаштована і включена із замиканням петлі зворотного зв'язку до того, як ФАПЧ стане використовуватися в якості джерела синхронізації мікроконтролера. Спеціальна внутрішня схема координує операції перемикавання синхронізації на ФАПЧ і назад, щоб гарантувати їх проведення без збоїв. Слід зауважити, що апаратні засоби не забезпечують замикання петлі ФАПЧ до її підключення до мікроконтролера, а також автоматичне відключення ФАПЧ від мікроконтролера при розмиканні її петлі в ході роботи. Розмикання петлі ФАПЧ може бути викликано нестабільністю частоти задаючого генератора. В цьому випадку відключення ФАПЧ від мікроконтролера не виправить ситуацію.

3.7.2.2.2 Регістр конфігурації PLLCFG

Регістр PLLCFG, адреса: 0xE01FC084 (таблиця 3.3) містить значення множника вхідного перетворювача частоти і коефіцієнта ділення програмованого дільника ФАПЧ. Зміни регістра PLLCFG не вступають в силу, поки не буде виконано коректну послідовність подачі (введення даних) ФАПЧ (див. опис регістра подачі ФАПЧ (PLLFEED – 0xE01FC08C)). Методика обчислення частоти ФАПЧ і значень множника і коефіцієнта ділення наведені в підрозділах 3.7.1 та 3.7.2.5.

3.7.2.2.3 Регістр стану ФАПЧ

Регістр PLLSTAT, адреса: 0xE01F C088 (таблиця 3.5) доступний тільки для зчитування і повертає фактичні параметри та стан ФАПЧ, які є дійсними під час цього читання. Поточне прочитане значення регістра PLLSTAT може не узгоджуватися зі значеннями, що містяться в регістрах PLLCON і PLLCFG, тому що зміни вмісту цих регістрів не вступають в силу, поки не буде подано коректну послідовність подачі (введення даних) ФАПЧ (див. опис регістра подачі ФАПЧ).

Таблиця 3.3– Опис бітів регістра конфігурації PLLCFG

Біт	Символ	Опис	Reset
14:0	MSEL	Значення множника частоти схеми ФАПЧ. Відповідає величині «М-1» у формулах обчислення частоти ФАПЧ. Деякі значення М при частоті осцилятора 37,68 кГц вказано у таблиці 3.4.	0
15	—	Програмне забезпечення користувача не повинно проводити запис в зарезервовані біти. Читання зарезервованого біта повертає невизначене значення.	NA
23:16	NSEL	Значення коефіцієнта ділення попереднього дільника частоти схеми ФАПЧ. Відповідає величині «N» у формулах обчислення частоти ФАПЧ. Діапазон значень N від 1 до 32. Більш докладно про вибір правильного значення NSEL див. підрозділ 3.7.2.5 «Обчислення частоти ФАПЧ»	0
31:24	—	Програмне забезпечення користувача не повинно проводити запис в зарезервовані біти. Читання зарезервованого біта повертає невизначене значення.	NA

Таблиця 3.4 – Значення мультиплікатора для осцилятора 37,68 кГц

Мультиплікатор (M)	Дільник (N)	f_{cco}
4272	1	279.9698
4395	1	288.0307
4578	1	300.0238
4725	1	309.6576
4807	1	315.0316
5127	1	336.0031
5188	1	340.0008
5400	1	353.8944
5493	1	359.9892
5859	1	383.9754
6042	1	395.9685
6075	1	398.1312
6104	1	400.0317
6409	1	420.0202
6592	1	432.0133
6750	1	442.3680
6836	1	448.0041
6866	1	449.9702
6958	1	455.9995
7050	1	462.0288
7324	1	479.9857
7425	1	486.6048
7690	1	503.9718
7813	1	512.0328
7935	1	520.0282
8057	1	528.0236
8100	1	530.8416

Продовження таблиці 3.4

Мультиплікатор (M)	Дільник (N)	f_{cco}
8545	2	280.0026
8789	2	287.9980
9155	2	299.9910
9613	2	314.9988
10254	2	336.0031
10376	2	340.0008
10986	2	359.9892
11719	2	384.0082
12085	2	396.0013
12207	2	399.9990
12817	2	419.9875
12817	3	279.9916
13184	2	432.0133
13184	3	288.0089
13672	2	448.0041
13733	2	450.0029
13733	3	300.0020
13916	2	455.9995
14099	2	461.9960
14420	3	315.0097
14648	2	479.9857
15381	2	504.0046
15381	3	336.0031
15564	3	340.0008
15625	2	512.0000
15869	2	519.9954
16113	2	527.9908
16479	3	359.9892

Продовження таблиці 3.4

Мультиплікатор (M)	Дільник (N)	f_{cco}
17578	3	383.997
18127	3	395.9904
18311	3	400.0099
19226	3	419.9984
19775	3	431.9915
20508	3	448.0041
20599	3	449.9920
20874	3	455.9995
21149	3	462.0070
21973	3	480.0075
23071	3	503.9937
23438	3	512.0109
23804	3	520.0063
24170	3	528.0017

Таблиця 3.5 – Опис бітів регістра стану PLLSTAT

Біт	Символ	Опис	Reset value
14:0	MSEL	Зчитування цих біт повертає останнє значення мультиплікатора, яке записано в ФАПЧ. Це значення, яке використовується ФАПЧ на момент читання, і на 1 менше ніж у фактичного множника.	0

Продовження таблиці 3.5

Біт	Символ	Опис	Reset value
15	MSEL	Програмне забезпечення користувача не повинно проводити запис в зарезервовані біти. Читання зарезервованого біта повертає невизначене значення .	NA
23:16	NSEL	Зчитування цього біта повертає останнє значення попереднього дільника, яке записано в ФАПЧ. Це значення, яке використовується ФАПЧ на момент читання, і на 1 менше ніж у фактичного дільника .	
24	PLLE	Зчитування цього біта повертає останнє значення біта включення, яке записано в ФАПЧ. ВИСОКИЙ рівень (тобто біт встановлений в логічну 1) означає, що система ФАПЧ на момент читання активована. НИЗЬКИЙ рівень (скидання в 0) означає, що система ФАПЧ вимкнена. Цей біт автоматично скидається, коли мікроконтролер переходить в режим Power Down .	0
25	PLLC	Зчитування цього біта повертає останнє значення біта підключення ФАПЧ до мікроконтролера, яке записано в ФАПЧ. Якщо біти PLLC і PLLE встановлені, ФАПЧ є джерелом синхронізації для мікроконтролера. Якщо один з бітів PLLC або PLLE скинутий, ФАПЧ не бере участь в синхронізації мікроконтролера і синхроімпульси надходять в обхід системи ФАПЧ безпосередньо в мікроконтролер. Цей біт автоматично скидається, коли пристрій переходить в режим Power Down .	0

Продовження таблиці 3.5

Біт	Символ	Опис	Reset value
26	PLOCK	Значення цього біта відображає поточний стан петлі ФАПЧ. Коли біт скинутий, петля ФАПЧ не замкнута. Коли біт встановлений в 1, петля ФАПЧ замкнута на необхідній частоті .	0
31:27	—	Програмне забезпечення користувача не повинно проводити запис в зарезервовані біти. Читання зарезервованого біта повертає невизначене значення.	NA

Значення біта PLOCK відображає поточний стан петлі ФАПЧ. Коли біт скинутий, петля ФАПЧ не замкнута. Коли біт встановлений в 1, петля ФАПЧ замкнута на необхідній частоті.

Значення PLOCK не може бути стійким, коли опорна частоти ФАПЧ F_{REF} , яка дорівнює вхідній частоті ФАПЧ, яку поділено на дільник попереднього значення, менше, ніж 100 кГц, або більше, ніж 20 МГц. У цих випадках схема ФАПЧ може вважатися стабільною після того, як пройде час запуску. Цей час дорівнює $500/F_{REF}$ секунд, коли F_{REF} перевищує 400 кГц і $200/F_{REF}$ секунд, коли F_{REF} менше 400 кГц.

PLOCK пов'язано з контролером переривань. Це дозволяє програмному забезпеченню включати ФАПЧ і продовжувати виконувати інші функції без необхідності чекати замикання ФАПЧ. Коли відбувається переривання, ФАПЧ може бути під'єднано, а переривання відключено.

3.7.2.2.4 Регістр введення даних

Модифіковані програмою значення регістрів PLLCON і PLLCFG набирають чинності лише після того, як буде виконано коректну послідовність введення даних («подачі») в ФАПЧ. Ця послідовність, яку потрібно записати в регістр PLLFEED, адреса: 0xE01FC08C, виглядає таким чином:

1. Записати значення 0xAA.

2. Записати значення 0x55.

Ці дві процедури запису повинні слідувати одна за одною і займати послідовні цикли шини APB. Остання вимога значить, що на час проведення операції введення даних в ФАПЧ всі переривання повинні бути заборонені. Якщо значення, які записуються в регістр подачі, некоректні або хоча б одна з вищезгаданих умов не виконується, ніякі зміни регістрів PLLCON і PLLCFG в силу не вступають. Опис бітів регістра подачі PLLFEED представлено в таблиці 3.6.

Таблиця 3.6 – Опис бітів регістра подачі PLLFEED

Біт	Символ	Опис	Reset
7:0	PLLFEED	Послідовність подачі: 0xAA, 0x55)	NA

3.7.2.3 Режими роботи ФАПЧ

Можливі комбінації бітів PLLE і PLLC, що задають режими функціонування ФАПЧ, наведено в таблиці 3.7.

Таблиця 3.7 – Комбінації бітів PLLC та PLLE

PLLE	PLLC	Опис
0	0	Систему ФАПЧ вимкнено і відключено від мікроконтролера. Синхронізація мікроконтролера здійснюється безпосередньо від входу синхронізації.
0	1	Систему ФАПЧ активовано, але не підключено до мікроконтролера. ФАПЧ може бути підключено до мікроконтролера після того, як буде, встановлено біт PLOCK.

Продовження таблиці 3.7

PLLE	PLLC	Опис
1	0	Випадок, ідентичний комбінації 00. Ця комбінація запобігає можливості підключення ФАПЧ до мікроконтролера, якщо систему ФАПЧ відключена.
1	1	Систему ФАПЧ активовано і підключено до мікроконтролера в якості основного джерела синхронізації.

3.7.2.4. ФАПЧ та режим Power-down

Перехід в режим Power Down автоматично вимикає схему ФАПЧ і відключає її від мікроконтролера. «Пробудження» з режиму Power Down не веде за собою автоматичного відновлення параметрів налаштування ФАПЧ. Тому це відновлення має бути зроблено для користувача програмою. Як правило, пишеться спеціальна підпрограма, в якій щоб активізувати ФАПЧ, потрібно дочекатися замикання її петлі, біт PLOCK регістра PLLSTART дорівнює 1, а потім підключити ФАПЧ до мікроконтролера.

3.7.2.5 Обчислення частоти ФАПЧ

Формули отримання частоти схеми ФАПЧ використовують параметри, які описано в таблиці 3.8.

Вихідна частота ФАПЧ (коли ФАПЧ активовано і підключено до мікроконтролера) визначається за формулою:

$$F_{CCO} = (2 \times M \times F_{IN}) / N .$$

Вхідні сигнали і параметри ФАПЧ повинні задовольняти наступним умовам:

$$F_{IN} - \text{від } 32 \text{ кГц до } 50 \text{ МГц} ,$$

$$F_{CCO} - \text{від } 275 \text{ МГц до } 550 \text{ МГц} .$$

ФАПЧ може бути розраховано відносно інших параметрів:

$$M = (F_{CCO} \times N) / (2 \times F_{IN});$$

$$N = (2 \times M \times F_{IN}) / F_{CCO};$$

$$F_{IN} = (F_{CCO} \times N) / (2 \times M).$$

Таблиця 3.8 – Параметри для обчислення частоти ФАПЧ

Параметр	Опис
F_{IN}	Частота PLLCLKIN (вхідна частота)
F_{CCO}	Вихідна частота ФАПЧ (вихід Current Controlled Oscillator)
N	Коефіцієнт попереднього дільника, задається бітом NSEL регістра PLLCFG: $N = NSEL + 1$. N – ціле число від 1 до 32.
M	Множник, задається бітом MSEL регістра PLLCFG: $M = MSEL + 1$. Не всі можливі значення підтримуються.
F_{REF}	Опорна частота ФАПЧ: $F_{REF} = F_{IN}$, яку поділено на N.

3.7.2.5.1 Дозволені значення M

На високих частотах генератора в діапазоні мегагерц, допускаються значення M від 6 до 512. Це підтримує весь корисний діапазон основного генератора і генератора IRC (внутрішній резонатор).

Для більш низьких частот, особливо коли для синхронізації ФАПЧ використовується модуль RTC, для підтримки потрібної частоти, наприклад для модулів CAN/USB, можна використати набір з 65 додаткових значень M (таблиця 3.9).

3.7.2.5.2 Процедура налаштування параметрів системи ФАПЧ

Розрахунок параметрів модуля ФАПЧ може бути виконано наступним чином:

1. Частота тактових сигналів ЦПП та USB визначається виразом:

$$Cclk = Fcco/Cclk_{sel},$$

$$USBclk = Fcco/USB_{sel}.$$

Тактовий сигнал для кожного з периферійних пристроїв на шині APB формується з сигналу Cclk індивідуальним програмуваним подільником Cclk_{sel}, коефіцієнт ділення якого може дорівнювати: 1, 2 чи 4.

Таблиця 3.9 – 65 додаткових значень мультиплікатора для використання з низькою частотою вхідного тактового сигналу

4272	4395	4578	4725	4807
5127	5188	5400	5493	5859
6042	6075	6104	6409	6592
6750	6836	6866	6958	7050
7324	7425	7690	7813	7935
8057	8100	8545	8789	9155
9613	10254	10376	10986	11719
12085	12207	12817	13184	13672
13733	13916	14099	14420	14648
15381	15564	15625	15869	16113
16479	17578	18127	18311	19226
19775	20508	20599	20874	21149
21973	23071	23438	23804	24170

Для роботи контролера USB потрібен сигнал частотою 48 МГц. Відповідно, щоб можна було використовувати цей модуль, величина Fcco повина бути кратна 48 МГц і знаходитися в діапазоні 275...550 МГц. Якщо поділити її за допомогою подільника USBSEL на відповідну величину, отримаємо потрібне значення. З сигналу Fcco за допомогою подільника CPUSEL можна, наприклад, сформувати тактовий сигнал ЦПП з частотою 60 МГц. Дане значення вибрано з міркувань забезпечення сумісності з мікроконтролерами попереднього сімейства LPC2100, максимальна тактова частота котрих була

обмежена 60 МГц. Ця ж частота може використовуватися для тактування контролера CAN. Якщо F_{SSO} рівна 480 МГц, то при використанні зовнішнього резонатора з частотою 12 МГц і $N=1$, величина коефіцієнта M повинна дорівнювати 20. Відповідно, величина $USBsel$ повинна дорівнювати 10 ($USBclk=48$ МГц), а величина $CLKSEL-8$ ($Cclk=60$ МГц).

2. Вибір бажаної тактової частоти процесора: $Cclk$ може бути заснований на вимогах додатка до продуктивності процесора, а також має враховувати необхідність підтримки заданого набору стандартних швидкостей універсального асинхронного прийомопередавача (UART), якщо він використовується в додатку і т. ін. При виборі $Cclk$ слід мати на увазі, що периферійні пристрої можуть тактуватися сигналом з частотою, меншою тактової частоти процесора. Для отримання бажаної частоти $Cclk$ обирають значення F_{SSO} , яке націло ділиться, маючи на увазі вимогу підтримки USB, і те, що менші значення F_{SSO} призводять до меншого розсіяння потужності.

3. При виборі значення для вхідної частоти ФАПЧ: F_{IN} треба врахувати, що це може бути сигнал, який отримано від основного кварцового генератора, генератора RTC, або RC-генератора. Для підтримки USB, треба використовувати основний кварцовий генератор.

4. При розрахунку значень M і N для отримання достатньо точних значень частоти F_{SSO} треба врахувати, що потрібне значення $M-1$ записується у поле $MSEL$ регістра $PLLCFG$, а потрібне значення $N-1$ – у поле $NSEL$ регістра $PLLCFG$.

Загалом, краще використовувати менші значення для N , для зменшення значення мультиплікатора M , яке має бути вибрано для отримання потрібного значення F_{SSO} . У зв'язку з труднощами у пошуку кращих значень, в деяких випадках рекомендується використовувати електронну таблицю, щоб відразу показати багато можливостей, з яких може бути вибрана найкраща.