

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/152.00.1/Б/ОК16- 2022
	Екземпляр № 1	Арк 74 / 1

ЗАТВЕРДЖЕНО
Науково-методичною радою
Державного університету
«Житомирська політехніка»
протокол від 16 грудня 2022 р.
№ 13

МЕТОДИЧНІ РЕКОМЕНДАЦІЇ
для проведення лабораторних робіт
з навчальної дисципліни
«ЕЛЕКТРОНІКА ТА МІКРОПРОЦЕСОРНА ТЕХНІКА»

для здобувачів вищої освіти освітнього ступеня «бакалавр»
спеціальності 152 «Метрологія та інформаційно-вимірвальна техніка»
освітньо-професійна програма «Комп'ютеризовані інформаційно-
вимірвальні системи»
факультет комп'ютерно-інтегрованих технологій, мехатроніки і
робототехніки

кафедра метрології та інформаційно-вимірвальної техніки

Рекомендовано на засіданні
кафедри метрології та
інформаційно-вимірвальної
техніки
30 серпня 2022р., протокол № 8

Розробники: к.т.н., доцент кафедри метрології та інформаційно-
вимірвальної техніки ЧЕПЮК Ларіна, асистент кафедри метрології та
інформаційно-вимірвальної техніки
ВОРОНОВА Тетяна

Житомир
2022

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 2

Методичні рекомендації до лабораторних робіт з дисципліни «ЕЛЕКТРОНІКА ТА МІКРОПРОЦЕСОРНА ТЕХНІКА» Частина 2 для студентів спеціальності 152 «Метрологія та інформаційно-вимірювальна техніка»/ Укладачі Л.О. Чепюк, Т.С. Воронова. – Житомир: ДУ «Житомирська політехніка», 2022. – 74 с.

Укладачі: Л.О. Чепюк, Т.С. Воронова

Рецензенти:

к.т.н., доцент, зав. кафедри робототехніки, електроенергетики та автоматизації ім. проф. Б.Б. Самотокіна Ткачук А.Г.,

к.т.н., доцент кафедри робототехніки, електроенергетики та автоматизації ім. проф. Б.Б. Самотокіна Добржанський О.О.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 3

ЗМІСТ

Лабораторна робота № 1	
Дослідження аналого-цифрового перетворювача	4
Лабораторна робота № 2	
Дослідження цифро-аналогового перетворювача	10
Лабораторна робота № 3	
Дослідження логічних елементів	13
Лабораторна робота № 4	
Синтез комбінаційної схеми	26
Лабораторна робота № 5	
Синтез перетворювача кодів	31
Лабораторна робота № 6	
Синтез довільної тригерної структури	37
Лабораторна робота № 7	
Вивчення структури мікроконтролера з CISC архітектурою та команд передачі даних	46
Лабораторна робота № 8	
Вивчення арифметичних можливостей мікроконтролера з CISC архітектурою	57
Додатки	62

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 4

Лабораторна робота № 1

ДОСЛІДЖЕННЯ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЮВАЧА

Короткі теоретичні відомості

Аналогово-цифрові перетворювачі (АЦП) перетворюють аналоговий вхідний сигнал в цифровий код. АЦП використовують коли аналогові вихідні напруги схеми або чутливого елемента (наприклад мостового давача температури) повинні бути перетворені у цифровий код з метою зручної і економічної реєстрації даних або виконання обчислень. АЦП широко використовується в промислових системах управління, цифрових системах зв'язку і контролю.

Набір різних використань АЦП дуже широкий і швидко росте. Існує багато типів АЦП, але більшість представляють собою модифікації трьох основних, які коротко будуть розглянуті далі.

До основних типів АЦП слід віднести:

- 1) паралельні АЦ перетворювачі, або АЦП миттєвої дії;
- 2) інтегруючі перетворювачі;
- 3) перетворювачі з послідовною апроксимацією; (або порозрядного зважування).

Цей ряд АЦП в напівпровідниковому виконанні на 8 чи 10 розрядів доступний безпосередньо для придбання, а АЦП у гібридному виконанні на 16 і більше розрядів виготовляються на замовлення. У всіх АЦП використовується один або більше число компараторів, які відіграють суттєву роль в їх функціонуванні.

Паралельні АЦП по суті представляють групу паралельних компараторів (рис. 1.1). Аналоговий вхідний сигнал прикладається до всіх компараторів одночасно. Один із виходів кожного компаратора підключений до власної опорної напруги. Значення опорних напруг компараторів відрізняються між собою на напругу яка відповідає відповідному молодшому розряду. Всі компаратори, для яких $U_{вх} > U_{оп}$ змінюють стан своїх виходів після прикладення $U_{вх}$. Всі компаратори для яких $U_{вх} < U_{оп}$ не змінюють свого стану. Виходи компаратора підводяться до схеми декодування, яка перетворює сукупність станів компаратора після прикладення $U_{вх}$ у цифрове слово.

Паралельні АЦП відрізняються швидкодією – час перетворення складає 30 нс. Це пояснюється тим, що цифровий вихід з'являється негайно після проходження часу встановлення компараторів і часу проходження сигналу через логічну схему декодування.

Однак загальне число використовуваних компараторів складає $2^n - 1$, де n – число двійкових розрядів. Таким чином, 8-розрядний паралельний АЦП складається із $2^8 - 1 = 256 - 1 = 255$ компараторів. Із збільшенням числа розрядів паралельний перетворювач стає дуже дорогим.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 5

Двох розрядний паралельний АЦП зі схемою декодування показано на рис. 1.1. Опорні напруги, які прикладаються до компараторів, починаються від значення $U_{оп1}$, рівного половині молодшого значущого розряду помноженого на величину повної опорної напруги і закінчуються значенням визначеним різницею $U_{оп} - U_{оп1}$. Так для двохрозрядного паралельного перетворювача опорні напруги для (2^2-1) компараторів з $U_{оп} = 3$ В складає 0,5, 1,5 і 2,5 В. Якщо $U_{вх} < 0,5$ В, то всі виходи компаратора мають низький рівень напруги і цифровий код буде 00. Якщо $0,5 \leq U_{вх} \leq 1,5$ В, то вихід компаратора 1 набуває високого рівня, а вихід компаратора 2 зберігає низький. Вихід компаратора 2 після інвертування подається на логічну схему “І”, вихід якої при цьому набуває високого рівня. Таким чином на виході логічної схеми “АБО” встановлюється високий рівень, що приводить до появи цифрового коду 01. Якщо вхідний сигнал лежить у діапазоні $1,5 \leq U_{вх} \leq 2,5$ В, то вихід компаратора 2 набуває високого рівня, а вихід логічної схеми “І” – низький. При цьому встановлюється цифровий код 10. Якщо $2,5 < U_{вх}$, то виходи компараторів 2 і 3 мають високий рівень. Вихід компаратора 3 при цьому забезпечує на виході логічної схеми “АБО” в каналі молодшого розряду високий рівень напруг, так, що в результаті встановлюється цифровий код 11.

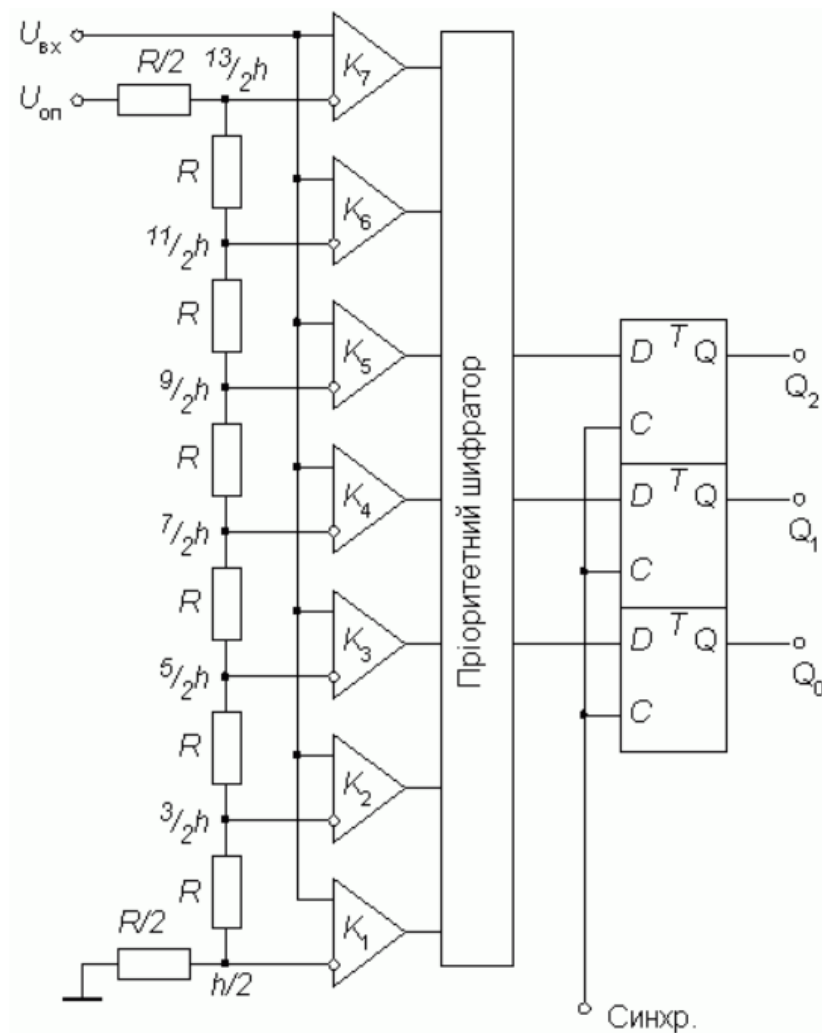


Рис. 1.1 – Паралельний АЦП

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 6

АЦП з двотактним інтегруванням (подвійним нахилом) представляють один із декількох типів схем інтегруючих перетворювачів (рисунок 1.2). Характерним є знана точність (за правильно підбраної частоти), низька вартість та швидкодія.

АЦП з двотактним інтегруванням використовуються в цифрових вольтметрах, вимірювальних приладах з цифровою індикацією (digital panel meters) і системах збору даних в тих випадках коли швидкість перетворення не є вирішальним фактором.

Схему інтегруючого АЦП з подвійним нахилом наведена на рисунку 1.2, являється найбільш популярною схемою інтегруючих АЦП. Вона забезпечує високу точність і потребує лише короткочасної стабільності задатчика часу, в той самий час добре подавляє шуми на виході.

Перетворення починається з встановлення лічильника в нуль з допомогою керуючої логіки. Ключ Кл₁ встановлюється в положення, в якому до інтегратора приєднано напругу U_{вх}, і лічильник починає рахувати імпульси задатчика часу. В той час коли лічильник рахує імпульси часу, U_{вх} (якщо воно додатне) визиває наростання від'ємної вихідної напруги інтегратора з швидкістю, пропорційною U_{вх}. У момент t₁ поява сигналу переповнення лічильника вихідна напруга інтегратора буде

$$U_{\text{вих.інт}} = (U_{\text{вх}}/R)t_1/C = U_{\text{вх}}t_1/RC .$$

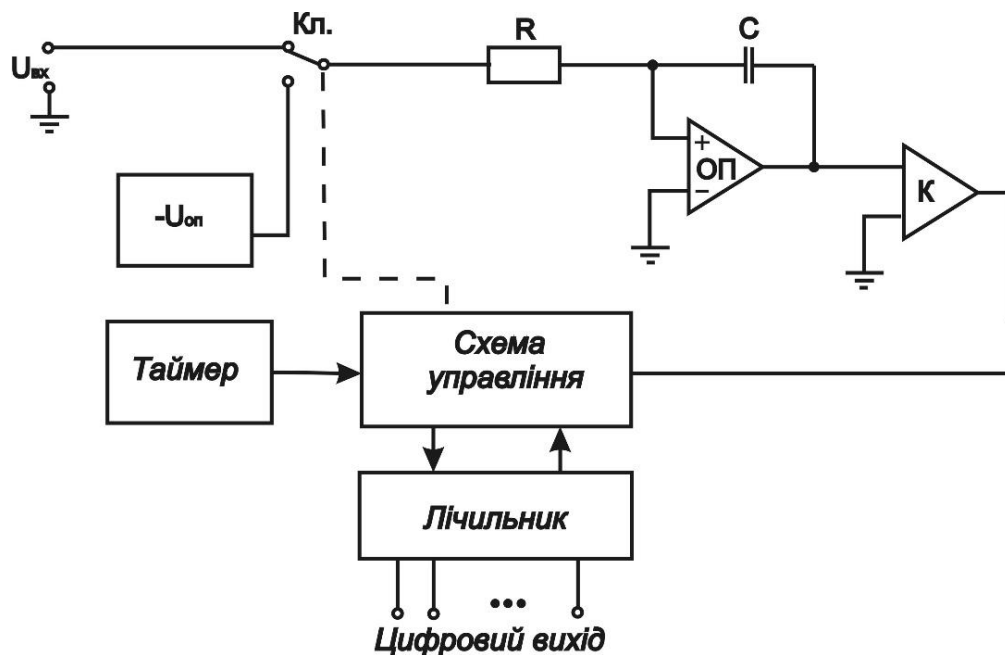


Рис. 1.2 – Схема типового інтегруючого АЦП

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 7

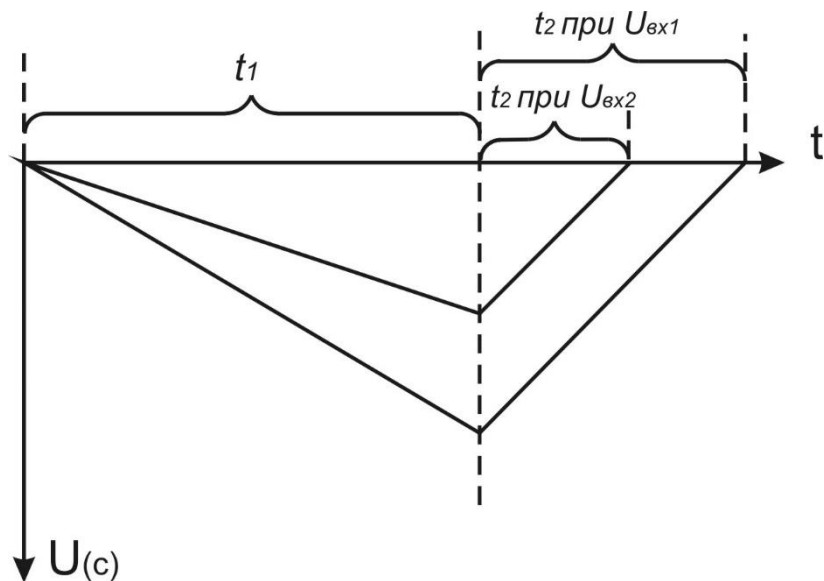


Рис. 1.3 – Ілюстрація принципу роботи інтегруючих АЦП

У момент появи сигналу переповнення лічильника ключ Кл₁ перключається на опірну напругу – $U_{оп}$, а лічильник після скиду в нуль починає рахувати знову. Інтегруючий конденсатор починає розряджатись з постійною швидкістю, пропорційною величині – $U_{оп}/RC$. Коли конденсатор інтегратора розрядиться до нуля, компаратор зупиняє лічильник. Вміст лічильника при фіксованому t_1 представляє відношення $U_{вх}/U_{оп}$. Дійсно, з умови рівності нулю напруги на виході інтегратора в момент t_2 маємо

$$U_{вих}(t_2) = U_{вих}(t_1) - (-U_{оп} t_2/RC) = 0,$$

де $U_{вих}(t_1) = -U_{вх} t_1/RC$ і $U_{вх}/U_{оп} = t_2/t_1$.

Звідси випливає, що задатчик часу повинен бути стабільним тільки в інтервалі часу $t_1:t_2$. Подавлення завад одержується в результаті того, що на великому інтервалі усереднена напруга завад наближається до нуля. Якщо $t_1=16,67$ мс як це часто вибирають, то завжди притаманна завада 60 Гц дуже добре подавляються.

Порозрядне зважування є найбільш популярним методом аналогово цифрового перетворення. Ці схеми мають помірну ціну, забезпечують швидкість перетворення від помірної до високої і хорошу точність. Для n-розрядного АЦП перетворення аналогової напруги в число потребує n-часових тактів.

Перетворювач складається з джерела опірної напруги, задатчика часу (тактових імпульсів), ЦАП, компаратора і регістра послідовних наближень (в виді інтегральної схеми). Регістр послідовних наближень (РПП) складається з регістра зберігання, регістра зсуву і відповідної керуючої логіки.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 8

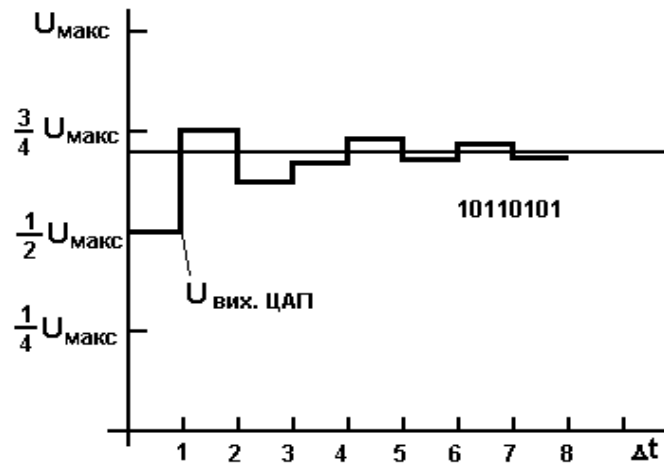
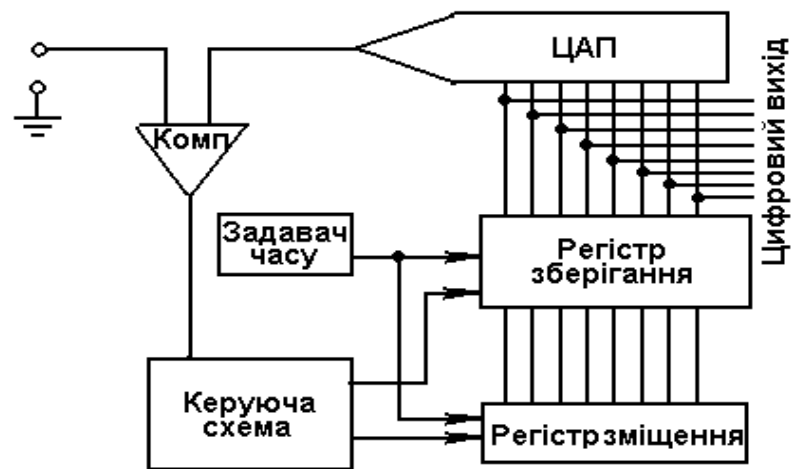


Рис. 1.4 – АЦП послідовної апроксимації з принципом роботи

Перетворення починається з встановлення “1” , в старший розряд регістра зберігання і “0” у всі інші. ЦАП перетворює старший розряд в аналогову напругу, рівну $0,5 U_{\max}$ (половині повної шкали аналогової напруги). Компаратор порівнює вихід ЦАП з аналоговою вихідною напругою. Якщо вхідна напруга більша, ніж вихідна ЦАП, то в комірці старшого розряду зберігається “1” , в іншому випадку в цій комірці встановлюється “0”. Регістр зсуву на початку наступного часового такту зсуває “1” в наступний молодший розряд. Якщо вихідна напруга ЦАП при цьому менша ніж $U_{\text{вх}}$, то в наступному розряді встановиться “1” , в іншому випадку в наступному розряді встановиться “0” . Процес продовжиться до того часу, поки не будуть перевірені всі розряди.

Точність АЦП послідовних наближень не може бути вище точності використовуваного в ньому ЦАП, а зазвичай значно менша. Нагадаємо ще раз, що ці перетворення випускаються у вигляді інтегральних схем.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 9

Хід роботи

1. Розробити і змоделювати схему паралельного АЦП який би відповідав таким характеристикам:

$U_{вх}, В$	Цифровий код
0-0.5	0 0
1-1.5	0 1
2-2.5	1 0
3	1 1

2. Оцифрувати синусоїдний сигнал за допомогою бібліотечного АЦП, здійснити зворотне перетворення.

3. Вибрати з довідника АЦП і інтегральному виконанні, навести його умовне графічне позначення та його характеристики.

Зміст звіту

1. Назва роботи.
2. Мета роботи.
3. Вихідні дані.
4. Креслення обстежуваної схеми у вигляді рисунків, знятих з екрану комп'ютера.
5. Висновки.

Контрольні питання

- 5.1 Принцип роботи паралельних АЦП.
- 5.2 Принцип роботи інтегруючих АЦП.
- 5.3 Принцип роботи АЦП з послідовною апроксимацією.
- 5.4 Застосування АЦП.
- 5.5 Точність АЦП.
- 5.6 Переваги і недоліки різних типів АЦП.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 10

Лабораторна робота № 2

ДОСЛІДЖЕННЯ ЦИФРО-АНАЛОГОВОГО ПЕРЕТВОРЮВАЧА

Короткі теоретичні відомості

Цифро-аналогові перетворювачі (ЦАП) перетворюють цифровий код в аналогову вихідну напругу. Це дозволяє використовувати цифрові коди для приведення в дію пристроїв, що потребують на виході аналогову напругу, наприклад таких, як двигуни. ЦАП виготовляють аж до десяти розрядів у вигляді напівпровідникових інтегральних схем, а також у вигляді гібридних інтегральних схем для точних перетворень з 16-розрядними і більш двійковими словами на вході. Операційні підсилювачі (ОП) застосовують в основному якості буферів підсилювачів ЦАП, тому ЦАП тут розглядають для повного викладу застосувань ОП. Існує декілька типів ЦАП. Тут розглянуті тільки два типи.

На рис. 2.1 наведено 4-розрядний ЦАП з резисторами, що мають двійкові ваги і вихідний сигнал ЦАП для заданого двійкового входу. Схема в принципі представляє собою суматор з дуже точно встановленою вхідною напругою. Двійкові входи реалізуються замиканням ключів. Як ключі використовують транзистори чи аналогові ключі, що замикаються за допомогою цифрових двійкових вхідних сигналів.

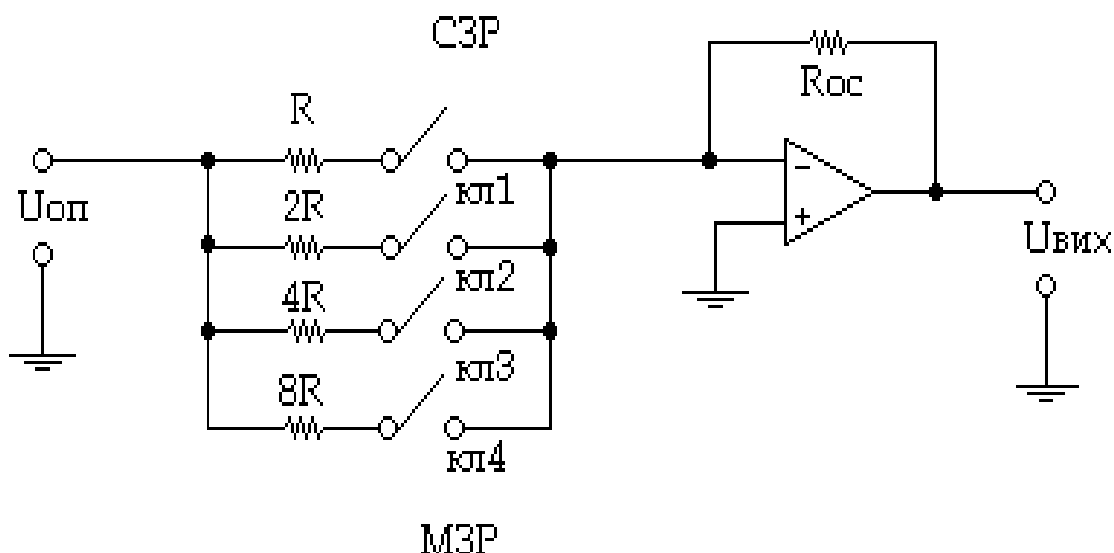


Рис. 2.1 – ЦАП з резисторами, що мають двійкову вагу.

Якщо цифровий вхід рівний 1010 (у десятковій системі числення 10), то ключі 1 і 3 замкнуті. При цьому підсилювач стає суматором з вихідним сигналом

$$U_{\text{вих}} = - U_{\text{оп}}(R_{\text{oc}}/R \parallel 4R) = - U_{\text{оп}}(5R_{\text{oc}}/4R).$$

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 11

Оскільки резистори мають двійкову вагу, то кожне замикання ключа і відповідно кожен включений резистор забезпечують коефіцієнт підсилення, що відповідає вибраному двійковому розряду. Оскільки є чотири ключі, то можна перетворити 16 двійкових чисел в 16 вихідних напруг, що відрізняються одна від одної за величиною.

Основний недолік при побудові ЦАП з резисторами, що мають двійкову вагу, полягає в тому, що у всіх війкових розрядах повинні бути використані резистори з різними номінальними значеннями опорів. Так, 8-розрядний перетворювач “вимагає” резисторів, опір котрих змінюється від R до $128R$. Якщо $R = 10$ кОм, то $128R = 1,28$ МОм. Дуже важко виготовити резистори з такою великою варіацією опорів, котрі також були б дуже точними, узгодженими між собою і мали б однаковий температурний коефіцієнт опорів.

Більш розповсюдженим типом ЦАП, в якому вирішується проблема опорів, являється ЦАП із схемою дільника R - $2R$. Цей перетворювач комутує тільки опір двох значень (чи одного, коли значення $2R$ отримується в результаті послідовного з’єднання двох R -резисторів), забезпечуючи при цьому любий бажаний рівень вихідної напруги. (що відповідає війковим розрядам вхідного числа). Численні варіації основної сходінкової схеми R - $2R$ складає основу як монолітних, так і гібридних інтегральних схем.

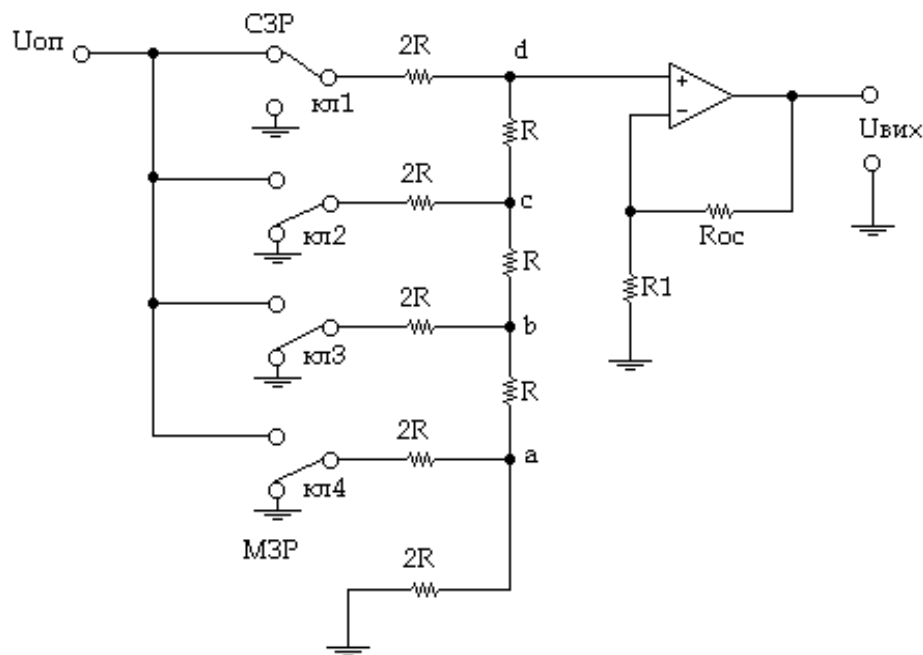


Рис. 2.2 – ЦАП типу R - $2R$.

На рис.2.2 показаний 4-розрядний ЦАП із схемою R - $2R$ дільника. Як і раніше, кожен цифровий розряд задається замиканням ключа. Як і колись, цифрове двійкове число 1010 (десять) повинно бути введено в схему замиканням ключів кл1 і кл3. Операційний підсилювач представляє собою просто буфер. Вихідний сигнал підсилювача буде рівний

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 12

$$U_{\text{вих}} = U_d [(R_1 + R_{\text{oc}}) / R_1].$$

Хід роботи

1. Зібрати схеми чотирирозрядних ЦАП.

Дослідити схему чотирирозрядного двійково-зваженого ЦАП. За результатами заповнити таблицю

Десяткове число	Двійкове число	МЗР	СЗР	Коефіцієнт підсилення суматора	Вихідна напруга
0					
.....					
15					

2. Дослідити схему чотирирозрядного ЦАП типу R-2R. За результатами заповнити таблицю аналогічну попередній.

Контрольні питання

1. Призначення ЦАП.
2. Типи ЦАП.
3. Переваги і недоліки різних типів ЦАП.
4. Основні складові похибки ЦАП.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 13

Лабораторна робота № 3

ДОСЛІДЖЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Мета роботи

- освоїти спосіб завдання булевих функцій таблицями істинності;
- експериментальне визначення таблиць істинності основних логічних елементів (ЛЕ) шляхом їх дослідження в середовищі програми EWB5;
- вивчити принципи включення ЛЕ в корпуси реальних інтегральних мікросхем (ІМС, МС);
- освоєння приладу програми , призначеного для відображення цифрових сигналів.

Короткі теоретичні відомості

Особливістю цифрової електроніки (техніки) є те, що усі сигнали, як вхідні, так і вихідні, так і проміжні, характеризуються двома значеннями. У реальних цифрових приладах при їх роботі це два рівня напруги – низький та високий. При описанні використовують терміни логічний нуль (лог. 0, 0) та логічна одиниця (лог. 1, 1). Обумовлюється це тим, що однією з теоретичних основ цифрової техніки є булева алгебра, яка була розроблена Джорджем Булем у середині 19 століття, як один з розділів математики. Згідно з математичними визначеннями алфавіт булевої алгебри має тільки два символи, подібно двійковій системі числення.

Дж. Буль назвав розроблений їм розділ математики *алгеброю логіки висловлювань* (алгеброю логіки), запропонувавши вважати, що як самі висловлювання (функції), так і їх аргументи можуть бути або *істинними*, або *хибними*. При реалізації булевих виразів у вигляді електронних схем низьку напругу визначили у якості одного з символів алфавіту, а високу – у якості другого. Однак, вшановуючи пам'ять Дж. Буля, у багатьох комп'ютерних програмах використовують логічні запропоновані їм оператори **true** і **false**.

Дж. Буль пов'язав функції **Y** і аргументи **X_i** математичними виразами:

$$Y = f(X_1, X_2, \dots, X_N) \quad (3.1)$$

Обмеженість алфавіту алгебри логіки двома значеннями призводить до ряду особливостей. Наприклад, при кінцевому числі аргументів булеві функції обмежені (усі функції, які реально використовуються, задовольняють цьому критерію). Це дозволяє для завдання (опису) булевої функції використовувати простий перебір всіх можливих сполучень значень аргументів з вказівкою значення функції при зазначених сполученнях аргументів. Таке подання функції отримало назву *таблиці істинності*.

Дж. Буль показав, що будь-які логічні функції можна виразити через три простіші функції – функції одного або двох аргументів: **NI** (інверсія, заперечення, **NO**), **I** (кон'юнкція, логічне множення, **AND**), **ABO** (диз'юнкція, логічне складання, **OR**). Їх математичний запис:

- заперечення

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 14

$$Y = X; \quad (3.2)$$

- диз'юнкція

$$Y = X1 + X2 = X1 \vee X2 = X1 \cup \Lambda X2; \quad (3.3)$$

- кон'юнкція

$$Y = X1 \cdot X2 = X1 \wedge X2 = X1 \cap X2. \quad (3.4)$$

У виразах (3.3) і (3.4) надані різні форми запису функцій *I* та *HI*. Найчастіше використовують першу зі знаком додавання між аргументами для диз'юнкції та крапку (яку зазвичай опускають) – для кон'юнкції.

В подальшому було показано, що логічні функції можна виразити чи через функції *I*, чи через функції *АБО* та *HI*. Всі вказані логічні функції утворюють так звані *базисні* функції, причому перший набір (*HI, I, АБО*) зветься *повним базисом*, а два останні (*I, HI* чи *АБО, HI*) – *мінімальними*. Реалізація мінімальних базисів проводиться чи на основі елементу *I-HI* (функція Шеффера, штрих Шеффера, *NAND*), чи елементу *АБО-HI* (функція Пірса, стрілка Пірса, *NOR*).

Широке практичне застосування також знайшли логічні елементи, які виконують так звану функцію *виключне АБО* (функція нерівнозначності, суматор за модулем 2, *XOR*), та *виключне АБО-HI* (функція рівнозначності, *XNOR*).

Перераховані логічні функції, а також деякі більш складні, наприклад, виконуючи операції *I-АБО-HI*, отримали найменування *логічних елементів*. Вони реалізовані у вигляді окремих інтегральних мікросхем. Їх таблиці істинності наведені у табл.3.1.

Таблиця 3.1

X1	X2	F = X1•X2	F = $\overline{X1 \cdot X2}$	F = X1 + X2
0	0	0	1	0
1	0	0	1	1
0	1	0	1	1
1	1	1	0	1
X1	X2	F = $\overline{X1 + X2}$	F = X1 \oplus X2	F = $\overline{X1 \oplus X2}$
0	0	1	0	1
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 15

Примітка: символ \oplus носить найменування *псевдо плюс* і поряд з символом $=1$ використовується для позначення логічної функції *виключне АБО*.

Логічні елементи також є основою більш складних цифрових мікросхем. Вони реалізують достатньо складні булеві функції, які мають широке застосування. Мікросхеми об'єднані у так звані *серії*, елементи яких мають близьку схемотехнічну побудову і технологію виготовлення. У програмі EWB5 серії МС зведені у бібліотеки групи **DIGIT** (рис. 3.1).

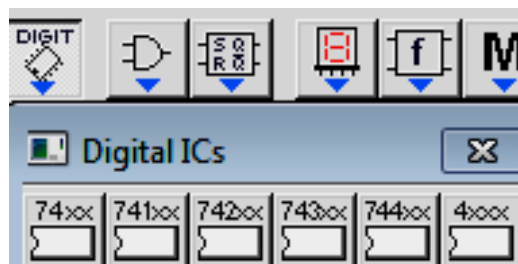


Рис. 3.1. Бібліотеки серій цифрових мікросхем.

Бібліотеки мікросхем логічних елементів згідно їх логічних функцій також надані у групі **Logic Gates** (рис. 3.2). Бібліотека мікросхем, які виконують більш складні логічні функції, представлена у групі (рис. 3.3).

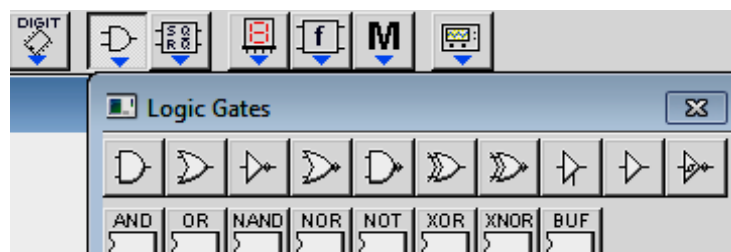


Рис. 3.2. Бібліотека ІМС за логічними функціями.

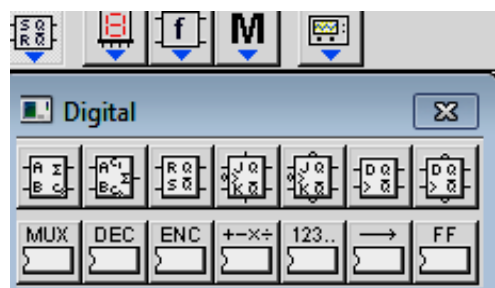


Рис. 3.3. Бібліотека ІМС, які виконують складні логічні функції

Для виводу мікросхем на робоче поле програми треба витягнути на екран необхідну іконку вибраної групи логічних елементів. На екрані також з'являється і перелік

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 16

елементів, тип яких був викликаний. На рис. 3.4,а надане зображення, яке з'являється на робочому полі після активації кнопки **NAND** групи **Logic Gates** (рис. 3.2).

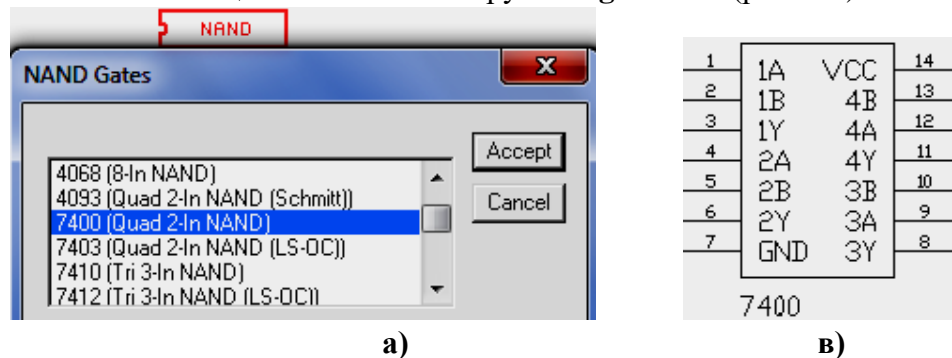


Рис. 3.4. Вибір мікросхеми з каталогу бібліотеки

Вибір конкретної мікросхеми проводиться у такій послідовності:

- у результаті прокрутки переліку каталогу бібліотеки знаходять необхідну МС, яку виділяють клацанням лівої кнопки мишки;
- активують команду **Асепт**.

Після цього на екрані з'являється зображення корпусу МС (рис. 3.4,в) і перелік мікросхем зникає. У разі потреби отримати ще одне зображення цієї чи іншої мікросхеми процедуру необхідно повторити.

Мікросхема виникає у вигляді її корпусу, у якому розміщуються вибрані за каталогом логічні елементи. Входи та виходи ЛЕ приєднані до виводів корпусу. Входи позначаються літерами англійського алфавіту **A, B, C ... F ...**. Вихідний сигнал знімається з виводів корпусу позначених літерами **Y** чи **O**. Виводи корпусу, що не мають приєднання до цифрових елементів мають позначення **NC**. В одному корпусі можуть бути декілька ЛЕ. У цьому разі перед буквами ставиться цифра, що вказує до якого елемента належить вивід. Наприклад, на рис. 3.4,б надана МС **7400** у вигляді корпусу, що має 16 виводів. У корпусі міститься 4 логічних двоходових елемента **I-НІ (NAND)**, що вже було видно з роз'яснення каталогу (рис.3.4,а, **Quad 2-In NAND**). Приєднання ЛЕ до виводів корпусу показано на рис. 3.5,а. Зображення логічних елементів **I-НІ** виконано згідно стандартів України. На рис. 3.5,б надано зображення цієї ж мікросхеми при її розміщенні на принципового кресленні цифрового приладу, де вона буде використана. Для того щоб забезпечити функціонування елементів, вивід **GND** необхідно приєднати до спільної точки (землі), а **VCC** – до джерела живлення (джерела $\overline{V_{cc}}$ | $\overline{V_{dd}}$ у групі **Sources**, рис. 3.1).

На кресленнях схем цифрові елементи рисуються у вигляді умовних графічних зображень (УГЗ). Приклад УГЗ згідно ДСТУ елемента **I-НІ** надано на рис. 3.5. Умовні графічні зображення, які використовуються у програмі EWB5 мають інший вигляд. Зображення простих логічних елементів розміщуються у групі **Logic Gates** (рис. 3.2).

Вони у необмеженій кількості можуть бути виведені на робочий екран програми. Наприклад, на рис. 3.5 надано три УГЗ логічних елементів АБО-НІ, двох – І та одного ВИКЛЮЧНЕ АБО-НІ (в подальшому – ВИКЛ.).

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 17

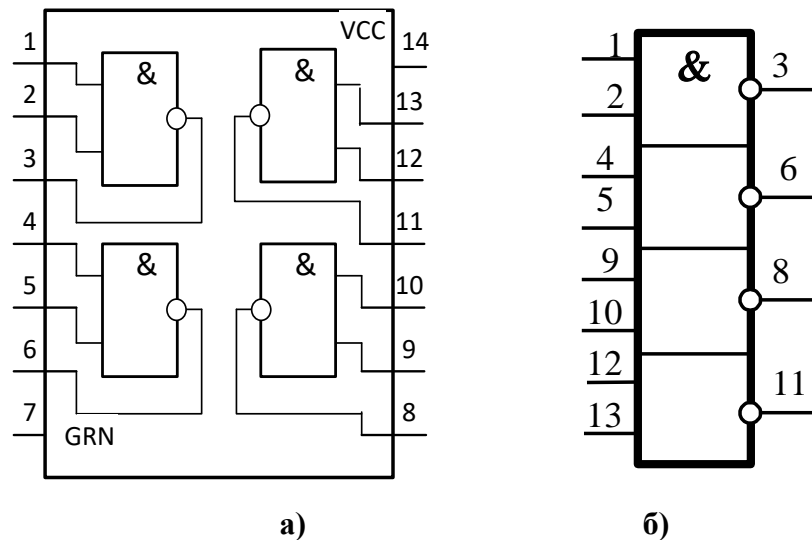


Рис. 3.5. Розміщення ЛЕ у корпусі мікросхеми 7400 та їх зображення згідно ДСТУ

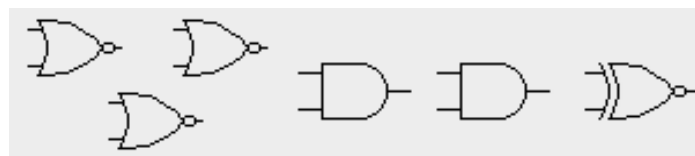


Рис. 2.6. УЗГ логічних елементів програми EWB/Multisim

Недоліки умовних графічних зображень програми:

- вони відрізняються від УЗГ державних стандартів України;
- мають тільки два входи і в програмі відсутні інструменти для їх збільшення.

У креслення цифрових закордонних приладів можуть бути використані УЗГ, подібні УЗГ програми з відображенням стільки виводів, скільки має елемент.

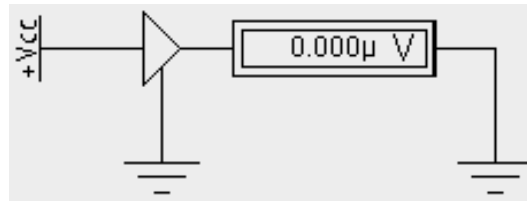
Логічні елементи з стандартним виходом не допускають з'єднання декількох виходів ЛЕ. При такому з'єднанні обов'язково виникає ланцюг короткого замкнення джерела живлення на землю через вихідні каскади з'єднаних елементів. Однак з'єднання виходів ЛЕ (вірніше, приєднання їхніх виходів до спільного дроту) необхідно для організації так званої "загальною шини", яка забезпечує послідовну у часі передачу інформації від декількох джерел через спільний канал зв'язку – набір проводів з'єднуючого кабелю.

Для рішення цієї задачі були розроблені мікросхеми з трьома станами (коротко, **ЗС**). Цифровий елемент з стандартним виходом може знаходитись двох станах: або високої, або низької напруги. У ІМС **ЗС** при подачі відповідного сигналу на управляючий електрод, обидва транзистори закриваються, розриваючи вихід як від джерела живлення, так і від землі.. Про таке відключення кажуть, що елемент введений у третій стан – *стан високого імпедансу*.

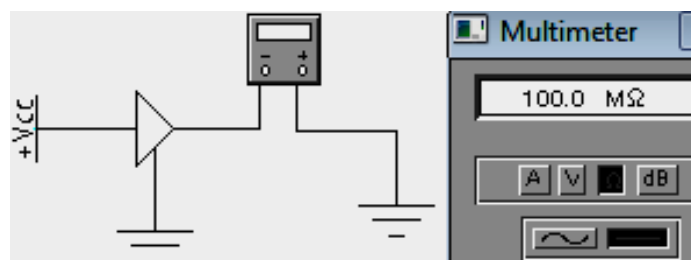
При вимірах (індикації) вихідної напруги елементу **ЗС** у стані високого імпедансу значення напруги не відрізняється від **0** (див. рис.3.7,а, де досліджується елемент **ЗС**, наданий умовним графічним зображенням, яке використовується у програмі EWB). Тобто

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 18

складається враження, що вихід приєднаний до землі. Однак, виміри за допомогою мультиметра, налаштованого на опір (рис. 3.7,б), показують, що вихід елемента у цьому стані від'єднаний від спільної точки (землі).



а)



б)

Рис. 3.7. Визначення електричних показників виходу у стані 3С

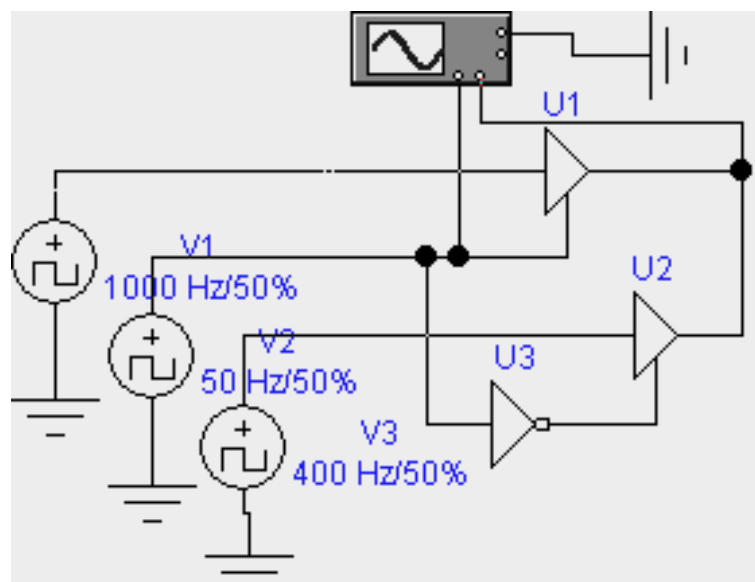


Рис. 3.8. Передача інформації на спільну шину

На рис. 3.8 показана схема, на якій об'єднані виходи двох елементів 3С (U1, U2), що надані УГЗ. На їх входи поступає інформація від двох генераторів прямокутних імпульсів (генератори V1 і V3) з різною частотою (для зручності спостереження). Ще більш низька

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 19

частота від генератора **V2** підводиться до управляючого електроду елементів¹, причому завдяки використанню інвертора **U3** керуючі напруги поступають у протифазі. Напруга генераторів відповідає значенням напруг логічних сигналів (**0** і **5 В**).

Як видно з осцилограм (рис. 3.9) при подачі на управляючий електрод напруги лог. 1 елемент **U1** передає на об'єднаний вихід інформацію, що поступає на його вхід. Інформація з другого інформаційного каналу блокується елементом **U3**, бо на його управляючий вхід завдяки інвертору **U2** надходить напруга лог.0, яка переводить елемент у стан високого імпедансу. При нарузі лог. 0 від генератора блокується перший канал, а до спільного виходу приєднується другий інформаційний канал.

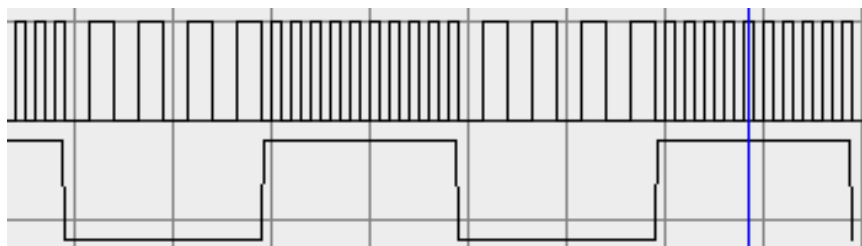


Рис. 3.9. Осцилограми сигналів схеми рис. 3.7

Як слідує з двох останніх рисунків, прилади, що використовувались при вивченні аналогової та імпульсної електронної схемотехніки, можуть біти використані і при вивченні цифрової. Однак, крім бібліотеки з набором цифрових елементів, програма EWB5 має значний набір контрольно-вимірювальних приладів, призначених для вивчення цифрових схем.

Значно більші можливості ніж осцилограф для відображення цифрових сигналів має **Логічний аналізатор (Logic Analyzer)**, що знаходиться у **наборі Instrument**. Він дозволяє побачити зміну у часі аж 16 логічних сигнали. **Його зовнішній вид, при виводі на робоче поле екрану, показаний на рис. 3.10.**

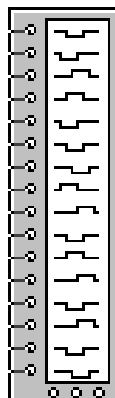


Рис. 3.10. Логічний аналізатор

¹У програмі EWB управляючі електроди називаються «Електродами стробування» і мають позначення **G**.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 20

Зображення аналізатора не обертається. Враховуючи значну кількість можливих точок приєднання необхідно ретельно вибрати місце розташування аналізатора.

Після подвійного клацання лівою кнопкою мишки на початковому зображенні на екрані виникає збільшене зображення екрана **Логічного аналізатора**. На рис. 3.11 показаний вид екрана аналізатора, на якому надані сигнали з елементів схеми рис. 3.9 при відсутності зв'язку між виходами елементів **V1** і **V3** (дві останні осцилограми).

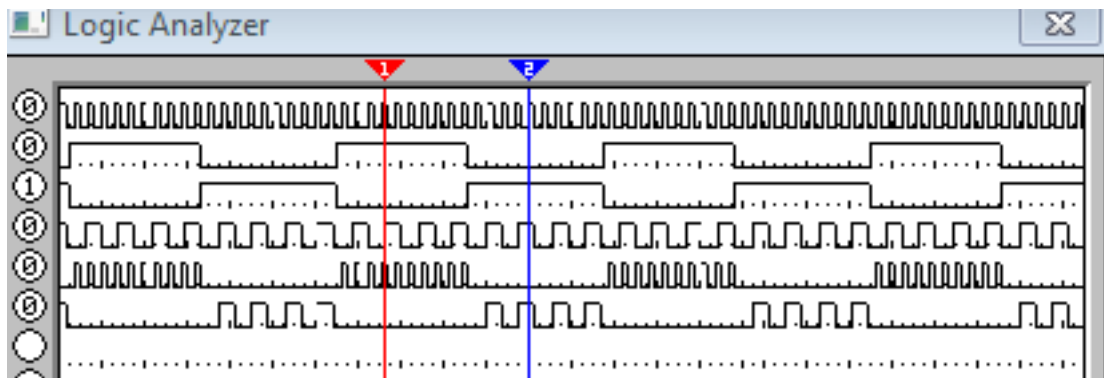


Рис. 3.11. Сигнали зі схеми рис.2.8 при відсутності зв'язку між виходами елементів **3С**

Рисунку видно, що елементи **U1** і **U2** пропускають сигнали, коли на їх управляючому виводі надходять напруги лог. 1. Введення інвертора **U3** у коло сигналу управління дозволяє отримати протифазне відмикання елементів **3С**: при відкритому стані елементу **U1** елемент **U2** закритий і навпаки при відкритому стані елементу **U2** елемент **U1** закритий. Тому при з'єднанні виходів цих елементів їх вихідний сигнал приймає вид, наданий у верхній строчці рис. 3.9.

Робота з **Логічним аналізатором** схожа з роботою з осцилографом. Для спостереження за сигналами необхідно клацнути на кнопки **Pause** чи **Stop**. Для збільшення (зменшення) тривалості сигналів, що відображаються, необхідно, збільшити (зменшити) лічильник у вікні **Clocks per division** (діє подібно зміні швидкості розгортки у осцилографі). Є дві мірні лінійки і вікна у низу екрана з показниками часу їх знаходження. Знизу екрана є лінійка горизонтальної прокрутки, що дозволяє аналізувати процеси на значному інтервалі часу.

Мікросхеми з **3С**, зазвичай, буфери, які розраховані на значні струми, що забезпечує їх роботу на лінії з підвищеною ємністю, яка властива спільній шині. В технічній документації вказується напруга на управляючому електроді, при якій елемент працює за виходом у звичайному, стандартному, для цифрових МС, режимі. Тобто, при подачі на управляючий електрод вказаної напруги, напруга на виході буде змінюватись відповідно до вхідного сигналу. Режим стану **3С** відбувається при протилежному (інверсному) значенні напруги управляючого електрода.

Це було проілюстровано вище на елементі **3С**, наданому в УГЗ. Згідно умовних позначень активним рівнем сигналу управляючого електроду є 1. При заземленні управляючого електрода (рис. 3.7) логічний елемент переходив у стан високого імпедансу за виходам. Аналогічні переключення ЛЕ відбувались і у схемі рис. 3.8.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 21

Буферні мікросхеми **3С** мають від 4 до 8 окремих незалежних елементів. У деяких з мікросхемах кожний елемент має власний управляючий електрод. Частіше один електрод забезпечує роботу групи елементів. Зазвичай таких груп дві.

Значно більші можливості ніж осцилограф для відображення цифрових сигналів має **Логічний аналізатор (Logic Analyzer)**, що знаходиться у наборі Instrument. Він дозволяє побачити зміну у часі аж 16 логічних сигнали. Його зовнішній вид, при виводі на робоче поле екрану, показаний на рис. 3.5. Зображення аналізатора не обертається. Враховуючи значну кількість можливих точок приєднання необхідно ретельно вибирати місце розташування аналізатора.

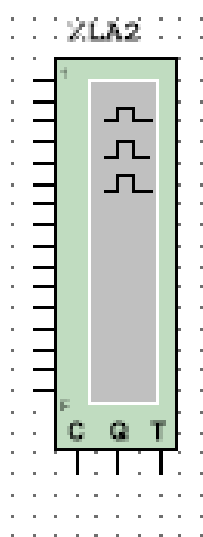


Рис. 3.5. Логічний аналізатор

Після подвійного клацання лівою кнопкою мишки на початковому зображенні на екрані виникає збільшене зображення екрана Логічного аналізатора. На рис. 3.6 показаний вид екрана аналізатора, на якому надані сигнали з елементів схеми на рис. 3.3 при відсутності зв'язку між виходами елементів V1 і V3 (дві останні осцилограми).

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 22

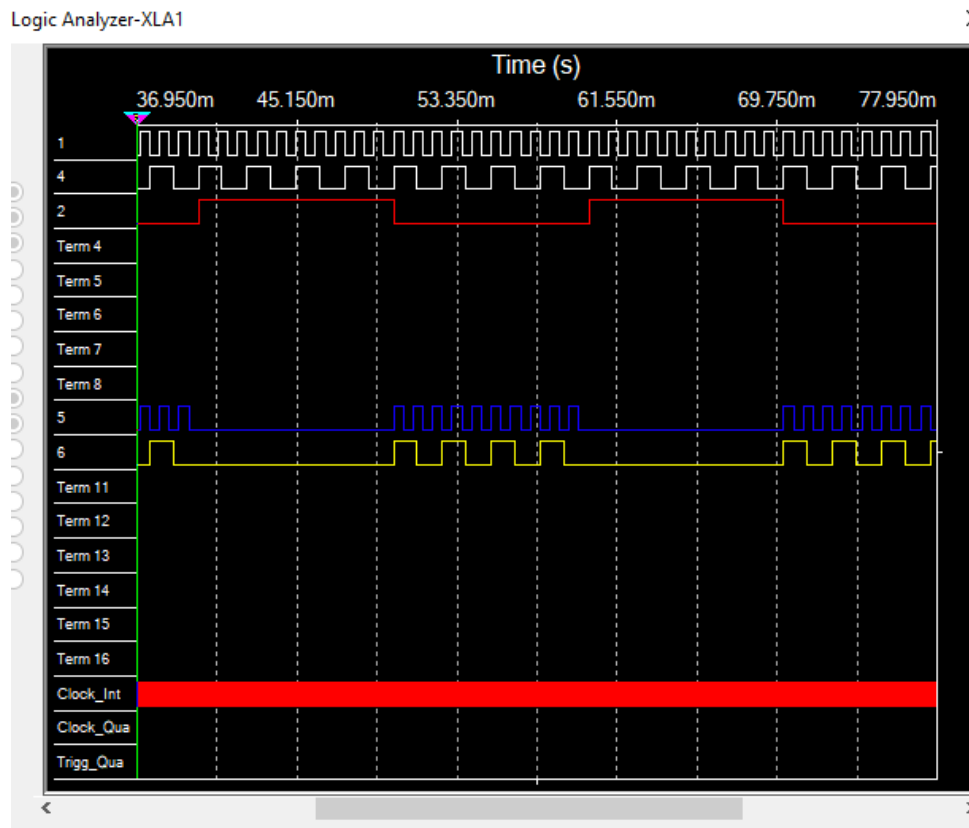


Рис. 3.6. Сигнали зі схеми рис.3.3 при відсутності зв'язку між виходами елементів 3С

З рисунку видно, що елементи U1 і U2 пропускають сигнали, коли на їх управляючому виводі надходять напруги лог. 1. Введення інвертора U3 у коло сигналу управління дозволяє отримати протифазне відмикання елементів 3С: при відкритому стані елементу U1 елемент U2 закритий і навпаки при відкритому стані елементу U2 елемент U1 закритий. Тому при з'єднанні виходів цих елементів їх вихідний сигнал приймає вид, наданий у верхній строчці рис. 3.4.

Робота з **Логічним аналізатором** схожа з роботою з осцилографом. Для спостереження за сигналами необхідно клацнути на кнопці Pause чи Stop. Для збільшення (зменшення) тривалості сигналів, що відображаються, необхідно, збільшити (зменшити) лічильник у вікні Clocks per division (діє подібно зміні швидкості розгортки у осцилографі). Є дві мірні лінійки і вікна у низу екрана з показниками часу їх знаходження. Знизу екрана є лінійка горизонтальної прокрутки, що дозволяє аналізувати процеси на значному інтервалі часу.

Мікросхеми з 3С, зазвичай, буфери, які розраховані на значні струми, що забезпечує їх роботу на лінії з підвищеною ємністю, яка властива спільній шині. В технічній документації вказується напруга на управляючому електроді, при якій елемент працює за виходом у звичайному, стандартному, для цифрових МС, режимі. Тобто, при подачі на управляючий електрод вказаної напруги, напруга на виході буде змінюватись відповідно до вхідного сигналу. Режим стану 3С відбувається при протилежному (інверсному) значенні напруги управляючого електрода.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 23

Це було проілюстровано вище на елементі 3С, наданому в УГЗ. Згідно умовних позначень активним рівнем сигналу управляючого електроду є 1. При заземленні управляючого електроду (рис. 2.2) логічний елемент переходив у стан високого імпедансу за виходам. Аналогічні переключення ЛЕ відбувались і у схемі рис. 3.3.

Буферні мікросхеми 3С мають від 4 до 8 окремих незалежних елементів. У деяких з мікросхемах кожний елемент має власний управляючий електрод. Частіше один електрод забезпечує роботу групи елементів. Зазвичай таких груп дві.

Порядок виконання роботи

1. Дослідити та на заставі отриманих даних скласти таблиці істинності декількох з основних логічних елементів, які представлені у програмі умовними графічними зображеннями, які використовуються у програмі **EWB5** (групі **Logic Gates**, рис. 3.2). Конкретні типи ЛЕ (УГЗ) надані у табл. 3.2 згідно варіанту. Приклад схеми, на якій можна одночасно дослідити таблиці істинності семи ЛЕ, представлений на рис. 3.12.
2. Вхідні сигнали, у якості яких служить нульова напруга та напруга джерела живлення, подаються на входи за допомогою двох перемикачів, які спрацьовують при натисненні клавіш «1» і «2» клавіатури. Перемикачі знаходяться у групі **Basic** і за замовчуванням реагують на клавішу пропуску (**Space**). Зміна клавіші відбувається у результаті подвійного клацання на зображенні перемикача і введені нового символу у виникле вікно **Key**. На рис. 3.12 такими кнопками є клавіша числа **1** – для лівого перемикача, і **2** – для правого.

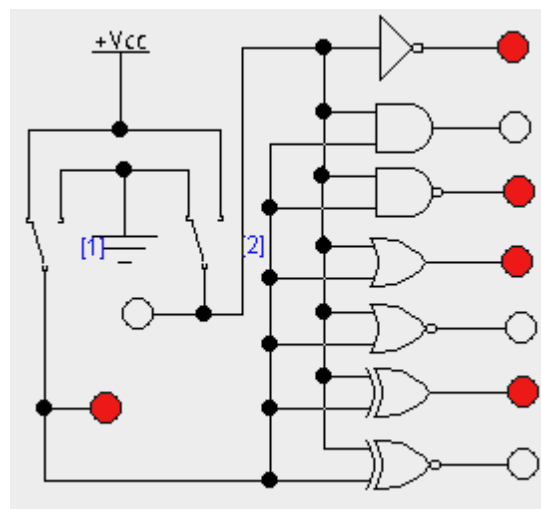


Рис. 3.12. Схема дослідження таблиць істинності ЛЕ

Для зручності роботи у схему введені індикаторні лампочки (меню **Indicators**), які забарвлюються (червоніють) при високій напрузі, що відповідає «лог. 1». При низькій

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 24

напрузі, значення «лог. 0», чи її відсутності – у елементів з виходом **ЗС**, вони остаються білими.

Таблиця 3.2

№ вар.	1	2	3	4
<i>ЛЕ (УГЗ)</i>	I; АБО-НІ	I НІ; АБО	I-НІ; викл АБО	I-НІ; викл АБО- НІ
<i>Мікросхеми</i>	7410	4025	4073	4075
<i>ІМС з ЗС</i>	74125	74368	74368	74240
№ вар.	5	6	7	8
<i>ЛЕ (УГЗ)</i>	АБО-НІ; викл АБО	викл АБО; АБО	I; АБО-НІ	АБО; викл АБО- НІ
<i>Мікросхеми</i>	4023	7427	7411	7415
<i>ІМС з ЗС</i>	74365	74241	74244	74244
№ вар.	9	10	11	12
<i>ЛЕ (УГЗ)</i>	I НІ; АБО	АБО-НІ; викл АБО	I-НІ; викл АБО	АБО; викл АБО- НІ
<i>Мікросхеми</i>	7411	4077	4025	4070
<i>ІМС з ЗС</i>	74126	74368	74465	74365

3. Вивести на екран зображення мікросхеми, тип якої вказаний згідно заданого варіанта. Приєднати відповідні виводи до землі і джерела живлення. Визначити приєднання входів та виходів елементів до виводів корпус і дослідити таблицю істинності одного з елементів. Дослідити цю ж мікросхему, використовуючи **Генератор слів** та **Логічний аналізатор**.

4. Зібрати схему рис.3.3. Приєднати до входів елементів генератори прямокутних імпульсів амплітудою 5 В (зазвичай така амплітуда встановлена «за замовчуванням»). Частоту першого генератора **F1** встановити $(1000+N)$ Гц, другого **F2** – $(400+N)$ Гц, де N – номер варіанту.

5. Дослідити роботу схеми з двома буферними елементами використовуючи мікросхему, вказану у табл. 2.4. Для індикації використайте **Логічний аналізатор**. Необхідно дослідити один елемент з керуванням за першим входом управління та другий елемент – за другим входом управління.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 25

6. Приєднати до входів елементів генератори прямокутних імпульсів амплітудою 5 В (зазвичай така амплітуда встановлена «за замовчуванням»). Частота першого генератора **F1** – декілька кілогерців, **F2** другого – декілька сотень герц. Приклад подібного приєднання наданий на рис. 3.7 (генератори **V1** і **V3**). Для подачі напруги на управляючі електроди сформуєте схему з комутуючих ключів, яку застосовували при таблиць істинності. Для індикації використайте **Логічнийаналізатор**.

7. Змінюючи напругу на управляючому електроді получить дані для заповнення табл. 3.3.

Таблиця 3.3

Напруга на вході управління		Стан виходу	
G1	G2	Перший елемент	Другий елемент
0	0		
1	0		
0	1		
1	1		

Можливі варіанти стану елемента за виходом:

- стан високого імпедансу;
- передача вхідного сигналу без інверсії;
- передача вхідного сигналу з його інверсією.

8. Вилучіть зі схеми, сформованої за п.5, елементи подачі напруги на управляючий електрод за допомогою комутуючих ключів. Введіть ще один генератор прямокутних імпульсів з частотою **F3** декілька десятків герц. Приєднайте його до управляючих електродів двох буферних елементів таким чином, щоб відкритий стан елементів співпадав з різними фазами сигналу генератора. Тобто якщо перший елемент був би відкритий, наприклад, при високій напрузі третього генератора, то другий елемент був би закритий. І навпаки, відкритий стан другого елементу та закритий першого співпадав з нульовою напругою сигналу генератора. У разі необхідності для забезпечення вказаного співвідношення станів елементів використайте інвертор (див. рис.3.8).

У звіті приведіть осцилограми усіх сигналів з екрану **Логічного аналізатора** при роз'єднаних та з'єднаних виходах буферних елементів.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 26

Лабораторна робота № 4

СИНТЕЗ КОМБІНАЦІЙНОЇ СХЕМИ

Короткі теоретичні відомості

При проектуванні цифрових пристроїв бажано виконати мінімізацію булевих функцій для побудови економічних схем. Загальна задача мінімізації полягає в тому, що необхідно знайти аналітичний вираз для булевої функції в формі, яка описується мінімальним числом логічних змінних.

Метод діаграм (карт) Карно

В основу метода покладено зображення булевої функції спеціальними діаграмами (картами) Карно (або Вейча). Еталонна карта Карно для булевих функцій чотирьох змінних зображена на рис. 4.1.

Кожна клітинка діаграми відповідає набору змінних булевих функцій згідно з таблицею істинності. В клітку діаграми записується одиниця, якщо булева функція на цьому наборі дорівнює одинці. Нульові визначення булевих функцій на діаграмі не записуються.

		X_3X_4			
		00	01	11	10
X_1X_2	00	0	1	3	2
	01	4	5	7	6
	11	12	13	15	14
	10	8	9	11	10

Рис. 4.1. Карта Карно для функції чотирьох змінних

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 27

Методику мінімізації розглянемо на прикладі булевої функції чотирьох змінних, яка приймає одиничні значення на наборах 3,7,11,12,13,14,15 і нульові значення – на інших.. Нанесемо дану функцію на карту Карно (рис. 4.2).

		x_3x_4			
		00	01	11	10
x_1x_2	00			1	
	01			1	
	11	1	1	1	1
	10			1	

Рис. 4.2. Задана функція на карті Карно

Для запису виразу мінімальної форми необхідно використовувати такі правила.

Всі клітини, в яких записані 1, об'єднують у замкнуті області, які являють собою прямокутники з числом клітин 2^k , де $k = 0, 1, 2, \dots$, і виконують їх склеювання. Після цього записують мінімальний вираз в диз'юнктивній нормальній формі. Охоплюючи клітини карти замкненими областями потрібно прагнути до мінімального числа областей, а кожна область повинна містити якомога більше число клітин.

Для даної функції (рис. 4.2) маємо дві області, кожна з яких містить по чотирі клітки ($k = 2$). Тому мінімальна форма для даної функції може бути записана у вигляді

$$F = x_1x_2 + x_3x_4$$

Переведемо отриманий вираз в базис І-НІ

$$F = x_1x_2 + x_3x_4 = \overline{\overline{x_1x_2} \cdot \overline{x_3x_4}}$$

Будуємо електричну принципову схему (рис. 4.3).

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 28

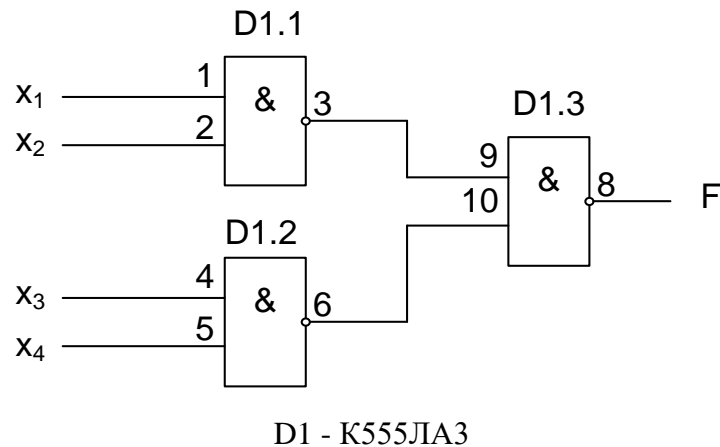


Рис. 4.3. Електрична принципова схема

1.4. Порядок роботи:

1. Згідно з заданим викладачем варіантом вибрати логічну функцію F чотирьох змінних, яка задана таблицею істинності (табл. 4.1)
2. Записати аналітичний вираз для заданої логічної функції.
3. Виконати мінімізацію за методом карт Карно.
4. Перевести отриманий вираз для мінімальної форми в базис І-НІ для реалізації логічної функції.
5. Вибрати серію мікросхем і типи логічних елементів для реалізації логічної функції.
6. Побудувати принципову електричну схему для реалізації заданої функції.
7. Виконати дослідження функції за допомогою програми Electronics Workbench

Порядок виконання роботи в програмі Electronics Workbench

1. Запустіть Electronics Workbench/Multisim .
2. Підготуйте новий файл для роботи. Для цього необхідно виконати такі операції з меню: File/New і File/Save as. При виконанні операції Save as буде необхідно вказати ім'я файлу і каталог, у якому буде зберігатися схема.
3. Перенесіть необхідні елементи з заданої схеми на робочу область Electronics Workbench. Для цього необхідно вибрати розділ на панелі інструментів (Logic Gates, Instruments), у якому знаходиться потрібний вам елемент, потім перенести його на робочу область.
4. З'єднайте контакти елементів і розташуйте елементи в робочій області для одержання необхідної вам схеми. Для з'єднання двох контактів необхідно клацнути на один з контактів лівою кнопкою миші і, не відпускаючи клавішу, довести курсор до другого контакту. У разі потреби можна додати додаткові вузли (розгалуження). Натисканням на елементі правою кнопкою миші можна одержати швидкий доступ до

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 29

найпростіших операцій над положенням елемента, таким як обертання (rotate), розворот (flip), копіювання/вирізання (copy/cut), вставка (paste).

5. Коли схема зібрана і готова до запуску, натисніть кнопку запуску на панелі інструментів.

Таблиця 1.1. Таблиця істинності логічної функції F чотирьох змінних

Номер вар-ту	F	Номер набору															
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1	F ₁	0	0	1	1	0	0	0	0	1	1	0	1	1	1	1	1
2	F ₂	1	0	1	1	0	0	1	1	0	0	0	0	0	1	0	1
3	F ₃	1	0	0	0	0	1	1	1	1	0	0	0	1	1	1	1
4	F ₄	1	1	1	1	1	0	1	0	0	1	0	1	0	0	0	0
5	F ₅	0	1	0	0	1	1	0	0	0	1	1	1	0	0	1	1
6	F ₆	1	1	0	0	1	1	0	0	0	0	1	1	0	0	0	1
7	F ₇	1	0	1	0	1	0	1	0	0	1	0	0	0	1	1	1
8	F ₈	0	1	0	0	1	0	1	0	0	0	1	1	1	0	1	1
9	F ₉	0	0	1	1	1	1	0	1	0	0	0	0	1	1	0	0
10	F ₁₀	1	0	0	0	0	1	0	0	1	0	1	0	1	1	1	0
11	F ₁₁	1	0	1	0	0	1	0	0	1	1	1	0	0	1	0	1
12	F ₁₂	1	0	0	1	0	0	0	1	1	1	0	0	1	1	0	0
13	F ₁₃	1	1	1	0	0	0	0	1	1	1	0	0	0	0	0	1
14	F ₁₄	0	1	0	1	1	0	1	0	0	1	0	1	1	0	0	0
15	F ₁₅	0	1	0	1	0	1	0	1	1	1	0	0	0	0	0	1
16	F ₁₆	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0	0
17	F ₁₇	1	0	0	1	1	0	0	1	1	0	0	1	1	0	1	0
18	F ₁₈	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1
19	F ₁₉	0	1	1	0	0	1	0	1	0	1	0	0	0	1	1	1
20	F ₂₀	0	0	0	1	1	1	0	1	1	0	0	1	0	0	0	1
21	F ₂₁	0	1	1	0	1	1	1	0	0	1	1	0	0	0	1	0
22	F ₂₂	1	1	1	1	0	0	0	0	0	0	0	0	1	1	0	1
23	F ₂₃	0	1	0	1	1	1	1	1	1	0	0	1	0	0	0	1
24	F ₂₄	1	1	0	1	0	0	1	0	0	0	0	0	1	1	1	1
25	F ₂₅	0	0	1	0	1	1	0	1	1	1	1	1	0	0	0	0
26	F ₂₆	0	0	1	0	1	1	1	0	0	0	1	0	0	0	1	1
27	F ₂₇	0	1	1	1	1	0	1	0	0	1	0	0	1	0	1	0
28	F ₂₈	0	1	0	0	0	1	1	0	1	0	1	0	1	1	1	0
29	F ₂₉	1	1	1	0	0	0	1	1	1	1	0	0	0	1	0	0
30	F ₃₀	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0
31	F ₃₁	0	1	0	0	1	1	0	1	0	0	1	0	1	0	1	1
32	F ₃₂	1	0	1	0	1	1	0	0	0	0	1	0	0	1	1	1

Приклад роботи програми для розглянутої функції наведено на рис. 4.4.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 30

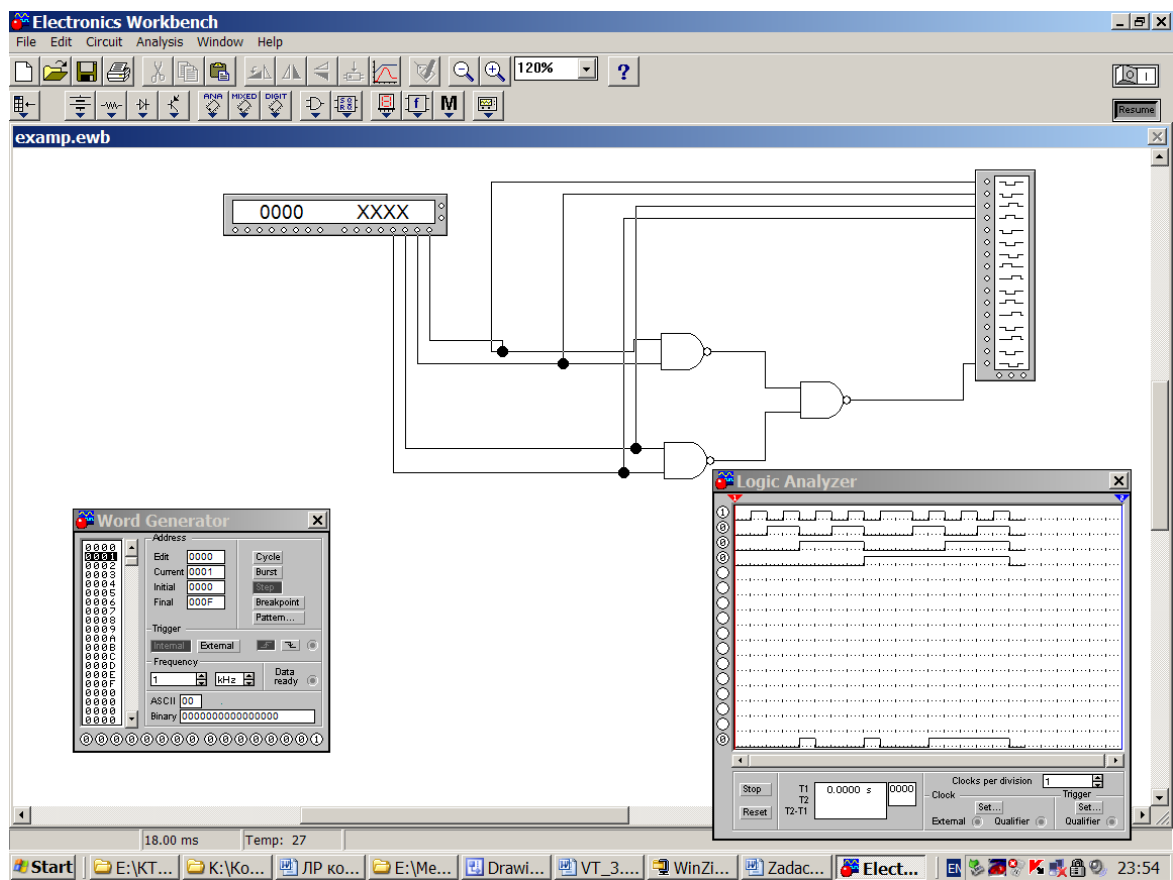


Рис. 4.4. Приклад роботи програми

Контрольні запитання

1. Що таке комбінаційна схема.
2. Які існують методи мінімізації комбінаційних схем.
3. Назвіть основні етапи синтезу комбінаційних схем.
4. Приведіть приклади застосування комбінаційних схем.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 31

Лабораторна робота № 5

СИНТЕЗ ПЕРЕТВОРЮВАЧА КОДІВ

Короткі теоретичні відомості

При розробці засобів обчислювальної техніки виникає необхідність в зміні форми кодованих даних, що може бути виконано за допомогою різних типів перетворювачів кодів. Методику синтезу таких пристроїв розглянемо на прикладі побудови перетворювача коду “2-4-2-1” в код “8-4-2-1”.

Принцип кодування десяткових чисел від 0 до 9 можна зрозуміти, розглянувши табл. 5.1.

Таблиця 5.1. Кодування десяткових чисел в різних кодах

Десяткові цифри	Коди						
	8-4-2-1	8-4-2-1 плюс 3	8-4-2-1 плюс 6	2-4-2-1	7-4-2-1	235	Грея
0	0000	0011	0110	0000	0000	11000	0000
1	0001	0100	0111	0001	0001	00011	0001
2	0010	0101	1000	0010	0010	00101	0011
3	0011	0110	1001	0011	0011	00110	0010
4	0100	0111	1010	0100	0100	01001	0110
5	0101	1000	1011	1011	0101	01010	0111
6	0110	1001	1100	1100	0110	01100	0101
7	0111	1010	1101	1101	1000	10001	0100
8	1000	1011	1110	1110	1001	10010	1100
9	1001	1100	1111	1111	1010	10100	1101

Перетворювач кодів в даному випадку можна розглядати як комбінаційну схему з n входами і m виходами, де n і m – число розрядів відповідно вхідного і вихідного кодів.

Позначимо змінні вхідного коду в заданому прикладі x_4, x_3, x_2, x_1 , а змінні вихідного коду - y_4, y_3, y_2, y_1 . Функціонування перетворювача кодів може бути записано у вигляді табл. 2.

У зв'язку з тим, що цікавляться лише десятками десятковими цифрами, а число наборів для функції чотирьох змінних $N = 2^4 = 16$, на наборах 10-15 функції x_i, y_i не визначаються.

Вихідні функції перетворювача кодів в ДДНФ можна записати у вигляді:

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 32

Таблиця 5.2

Десяткові числа	Код "2-4-2-1" x_4, x_3, x_2, x_1	Код "8-4-2-1" y_4, y_3, y_2, y_1	Десяткові числа	Код "2-4-2-1" x_4, x_3, x_2, x_1	Код "8-4-2-1" y_4, y_3, y_2, y_1
0	0 0 0 0	0 0 0 0	8	1 1 1 0	1 0 0 0
1	0 0 0 1	0 0 0 1	9	1 1 1 1	1 0 0 1
2	0 0 1 0	0 0 1 0	10	* * * *	* * * *
3	0 0 1 1	0 0 1 1	11	* * * *	* * * *
4	0 1 0 0	0 1 0 0	12	* * * *	* * * *
5	1 0 1 1	0 1 0 1	13	* * * *	* * * *
6	1 1 0 0	0 1 1 0	14	* * * *	* * * *
7	1 1 0 1	0 1 1 1	15	* * * *	* * * *

$$y_1 = \bar{x}_4 \bar{x}_3 \bar{x}_2 x_1 + \bar{x}_4 \bar{x}_3 x_2 x_1 + x_4 \bar{x}_3 x_2 x_1 + x_4 x_3 \bar{x}_2 x_1 + x_4 x_3 x_2 x_1,$$

$$y_2 = \bar{x}_4 \bar{x}_3 x_2 \bar{x}_1 + \bar{x}_4 \bar{x}_3 x_2 x_1 + x_4 x_3 \bar{x}_2 \bar{x}_1 + x_4 x_3 \bar{x}_2 x_1,$$

$$y_3 = \bar{x}_4 x_3 \bar{x}_2 \bar{x}_1 + x_4 \bar{x}_3 x_2 x_1 + x_4 x_3 \bar{x}_2 \bar{x}_1 + x_4 x_3 \bar{x}_2 x_1,$$

$$y_4 = x_4 x_3 x_2 \bar{x}_1 + x_4 x_3 x_2 x_1.$$

Виконаємо мінімізацію за допомогою карт Карно (рис.5.1).

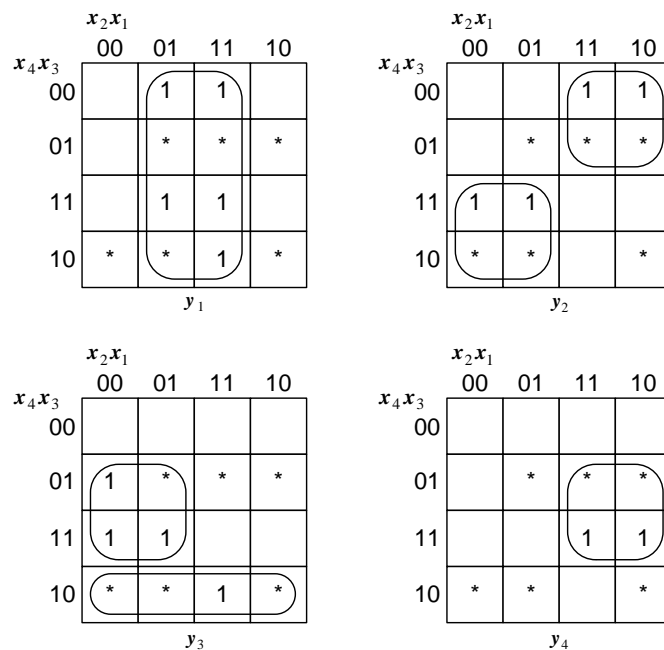


Рис. 5.1. Карты Карно для перетворювача кодів

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 33

В результаті одержимо

$$y_1 = x_1,$$

$$y_2 = \bar{x}_2 x_4 + x_2 \bar{x}_4 = \overline{(\bar{x}_2 x_4)(x_2 \bar{x}_4)},$$

$$y_3 = \bar{x}_2 x_3 + \bar{x}_3 x_4 = \overline{(\bar{x}_2 x_3)(\bar{x}_3 x_4)},$$

$$y_4 = x_2 x_3 = x_2 x_3.$$

Принципова схема перетворювача кодів на елементах І- НІ приведена на рис.5.2.

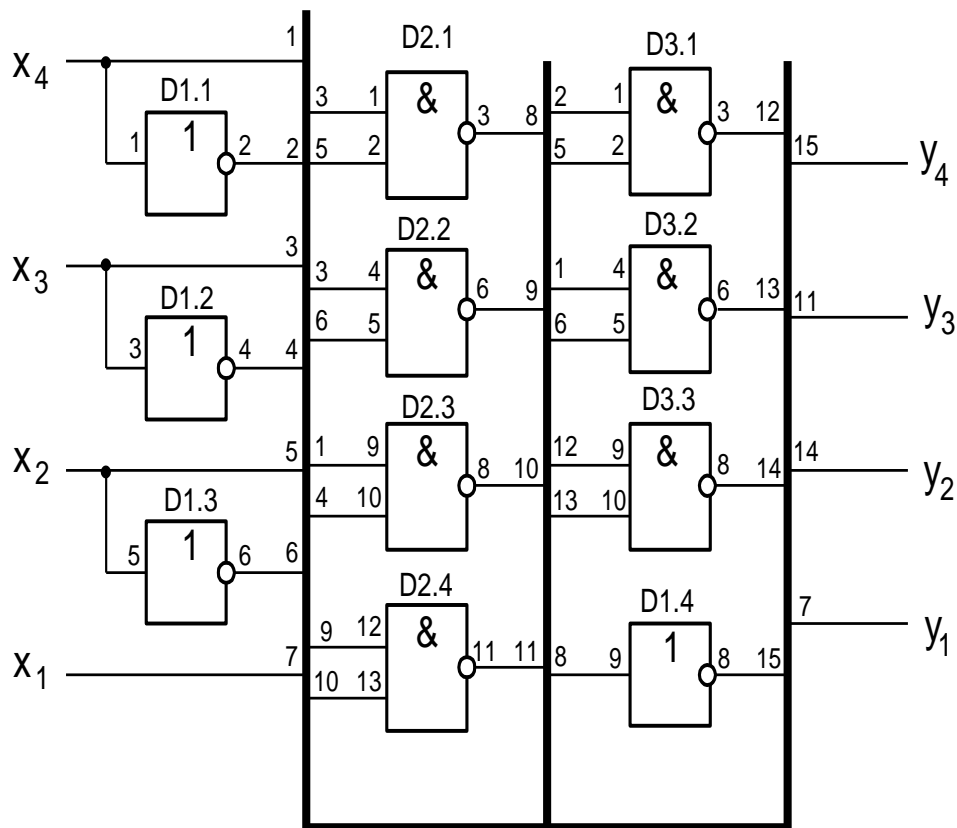


Рис. 5.2. Принципова схема перетворювача кодів

Для синтезу перетворювача кодів на дешифраторі випишемо номери наборів, на яких кожен із виходів має одиничне значення:

$$Y_1 = \Sigma 1,3,11,13,15$$

$$Y_2 = \Sigma 2,3,12,13$$

$$Y_3 = \Sigma 4,11,12,13$$

$$Y_4 = \Sigma 14,15$$

З врахуванням того, що дешифратор має інверсні виходи, остаточна схема має вигляд (рис. 5.3):

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 34

Якщо набір, на яких кожен із виходів має одиничне значення, буде більше 5, можна виконати синтез по нульовим наборам, використовуючи для отримання заданої функції елементи І.

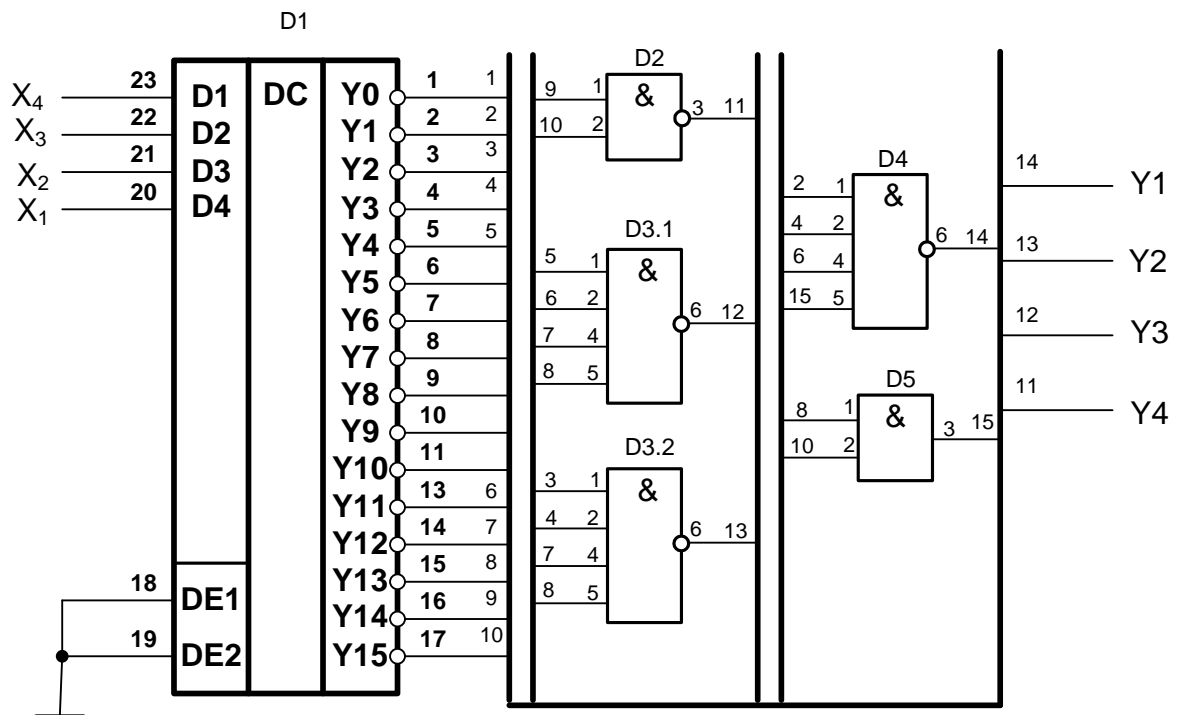


Рис. 5.3. Принципова схема перетворювача кодів на дешифраторі

Порядок роботи:

1. Згідно з заданим викладачем варіантом код на вході та на виході перетворювача кодів (табл. 5.3)
2. Записати аналітичний вираз для заданої логічної функції.
3. Виконати мінімізацію за методом карт Карно.
4. Перевести отриманий вираз для мінімальної форми в базис І-НІ для реалізації логічної функції.
5. Вибрати серію мікросхем і типи логічних елементів для реалізації логічної функції.
6. Побудувати принципову електричну схему для реалізації заданої функції.
7. Виписати номери наборів, на яких кожен із виходів має одиничне значення.
8. Побудувати принципову електричну схему для реалізації заданої функції на дешифраторі.
9. Виконати дослідження перетворювача кодів за допомогою програми Electronics Workbench.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 35

Таблиця 5.3

№ варіанту	Код на вході	Код на виході	№ варіанту	Код на вході	Код на виході
1	8421+6	2421	21	Грея	8421+6
2	2421	8421+6	22	8421	8421+6
3	8421+3	8421+6	23	8421	2 з 5
4	8421	2421	24	2421	Грея
5	8421	Грея	25	Грея	2421
6	8421	8421+3	26	2 з 5	8421
7	8421+3	8421	27	7421	2421
8	Грея	8421	28	2 з 5	7421
9	7421	8421	29	2421	2 з 5
10	8421+6	8421	30	8421+3	2 з 5
11	8421+3	7421	31	2 з 5	8421+3
12	8421+3	Грея	32	2 з 5	2421
13	Грея	8421+3	33	Грея	2 з 5
14	7421	8421+3	34	2 з 5	Грея
15	8421+6	7421	35	2421	7421
16	7421	8421+6	36	7421	Грея
17	8421	7421	37	Грея	7421
18	8421+3	2421	38	8421+6	2 з 5
19	2421	8421+3	39	2 з 5	8421+6
20	8421+6	Грея	40	7421	2 з 5

Порядок виконання роботи в програмі Electronics Workbench

1. Запустіть Electronics Workbench.

2. Підготуйте новий файл для роботи. Для цього необхідно виконати такі операції з меню: File/New і File/Save as. При виконанні операції Save as буде необхідно вказати ім'я файлу і каталог, у якому буде зберігатися схема.

3. Перенесіть необхідні елементи з заданої схеми на робочу область Electronics Workbench. Для цього необхідно вибрати розділ на панелі інструментів (Logic Gates, Instruments), у якому знаходиться потрібний вам елемент, потім перенести його на робочу область.

4. З'єднайте контакти елементів і розташуйте елементи в робочій області для одержання необхідної вам схеми. Для з'єднання двох контактів необхідно клацнути на один з контактів лівою кнопкою миші і, не відпускаючи клавішу, довести курсор до другого контакту. У разі потреби можна додати додаткові вузли (розгалуження). Натисканням на елементі правою кнопкою миші можна одержати швидкий доступ до найпростіших операцій над положенням елементу, таким як обертання (rotate), розворот (flip), копіювання/вирізання (copy/cut), вставка (paste).

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 36

5. Коли схема зібрана і готова до запуску, натисніть кнопку запуску на панелі інструментів.

Приклад роботи програми для перетворювача кодів на дешифраторі наведено на рис. 5.4.

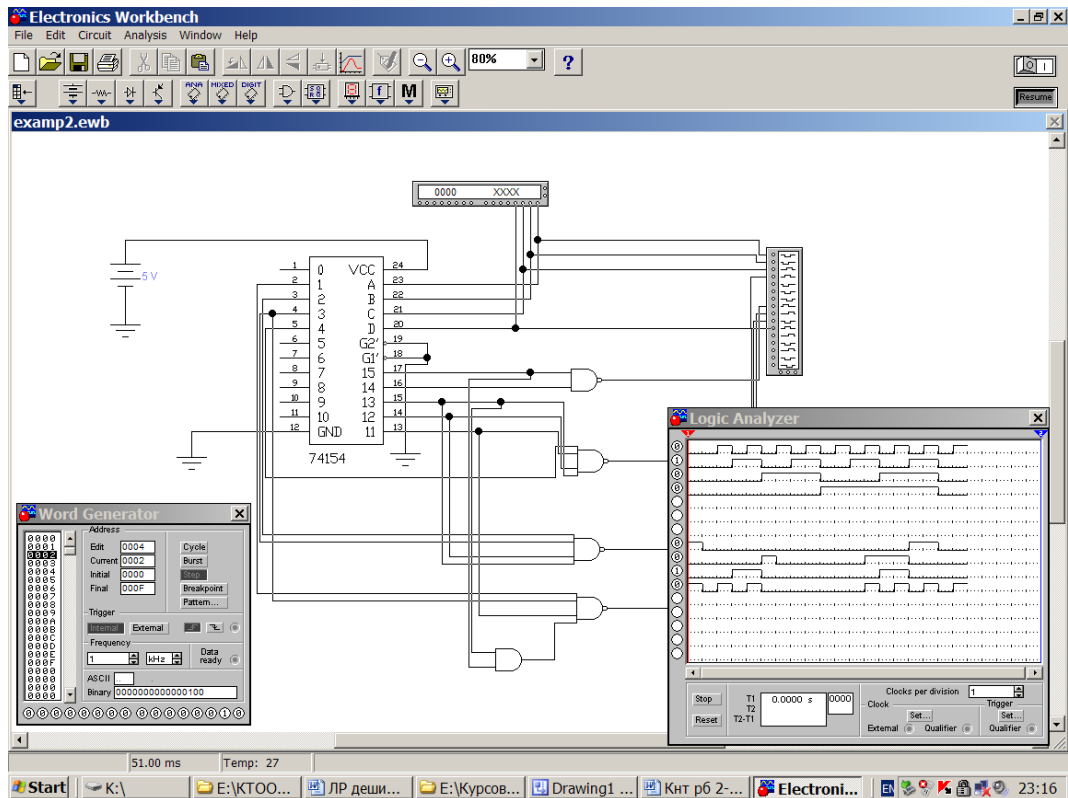


Рис. 5.4. Приклад роботи програми

Зміст звіту

1. Назва та мета роботи.
2. Мінімізація заданої функції за допомогою карти Карно.
3. Структурну та електричну принципові схеми заданої комбінаційної схеми на елементах малого ступеню інтеграції та на дешифраторі.
4. Результати дослідження перетворювача кодів на дешифраторі в програмі Electronics Workbench.
5. Висновки по роботі.

Контрольні запитання

1. Дайте визначення перетворювача кодів.
2. Які існують методи синтезу перетворювачів кодів.
3. Чи можуть бути декілька виходів дешифратора активізовані в один момент часу.
4. Де застосовуються дешифратори.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 37

Лабораторна робота № 6

СИНТЕЗ ДОВІЛЬНОЇ ТРИГЕРНОЇ СТРУКТУРИ

Короткі теоретичні відомості

Універсальні D- і JK- тригери широко використовуються при побудові лічильників, регістрів, цифрових автоматів, довільних тригерних структур та інших вузлів цифрових пристроїв.

Методика синтезу вузлів на основі застосування універсальних тригерів полягає в одержанні для всіх входів тригерів мінімальних функцій збудження, які являються основою для побудови функціональної схеми вузла.

Функції збудження формуються комбінаційною схемою і при приході наступного тактового сигналу тригери переводяться в новий стан. Вид функцій збудження залежить від типу тригера. Тому допоміжною інформацією при синтезі виступають таблиці переходів різних типів тригерів (табл. 6.1).

Таблиця 6.1 Таблиці переходів для різних типів тригерів

Q^t	Q^{t+1}	Тип тригера					
		D	T	$R - S$		$J - K$	
		D^t	T^t	R^t	S^t	J^t	K^t
0	0	0	0	*	0	0	*
0	1	1	1	0	1	1	*
1	0	0	1	1	0	*	1
1	1	1	0	0	*	*	0

В перших двох стовпчиках таблиці наведені всі чотири можливі переходи тригера з одного стану в інший. В наступних стовпчиках для вказаних типів тригерів приведені вхідні сигнали, які забезпечують відповідний перехід. Зірочкою, як і раніше, помічені сигнали, які можуть приймати любое значення (нуль або одиниця).

Для знаходження функції збудження тригера вузла, що синтезується, необхідно скласти його таблицю переходів (табл. 6.2).

В наведеній таблиці x_1, \dots, x_n - це вхідні управляючі сигнали для схеми, що синтезується. Число їх залежить від призначення схеми і її функцій. Сигнали ϕ_1, \dots

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 38

φ_m визначають функції збудження для кожного управляючого входу тригера, їх можна нанести на карту Карно, виконати мінімізацію і одержати мінімальні функції збудження у заданій формі. Реалізація схем для мінімальних форм розглянута раніше.

Таблиця 6.2 Таблиця переходів

Входи в момент часу t			Стан тригера		Сигнали на входах тригера		
x_1	...	x_n	Q^t	Q^{t+1}	φ_1	...	φ_m

Послідовність дій розглянемо на прикладі синтезу довільної тригерної структури із трьома входами x_1 , і x_2 , яка функціонує згідно з табл. 6.3.

Таблиця 6.3

t			t+1
x_1	x_2	x_3	D
0	0	0	1
0	0	1	0
0	1	0	Q^T
0	1	1	1
1	0	0	0
1	0	1	Q^T
1	1	0	$\overline{Q^T}$
1	1	1	*

Синтез виконаємо універсального D-тригера, який тактується перепадом 01.

Згідно з розглянутими правилами і, використовуючи табл. 6.1, запишемо таблицю переходів структури, що синтезується (табл. 6.4).

Використовуючи карту Карно для 4-х змінних, виконаємо мінімізацію для запису мінімальної форми функції збудження.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 39

Таблиця 6.4

Набор	X_1	X_2	X_3	Q^T	Q^{T+1}	D
0	0	0	0	0	1	1
1	0	0	0	1	1	1
2	0	0	1	0	0	0
3	0	0	1	1	0	0
4	0	1	0	0	0	0
5	0	1	0	1	1	1
6	0	1	1	0	1	1
7	0	1	1	1	1	1
8	1	0	0	0	0	0
9	1	0	0	1	0	0
10	1	0	1	0	0	0
11	1	0	1	1	1	1
12	1	1	0	0	1	1
13	1	1	0	1	0	0
14	1	1	1	0	*	1
15	1	1	1	1	*	1

Для D - тригера отримаємо:

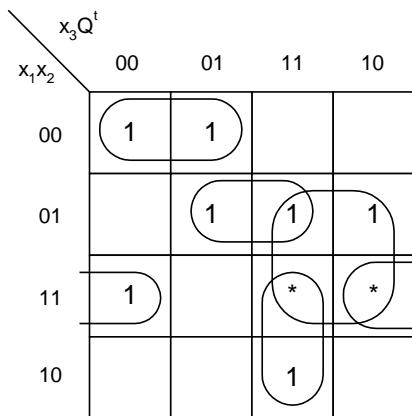
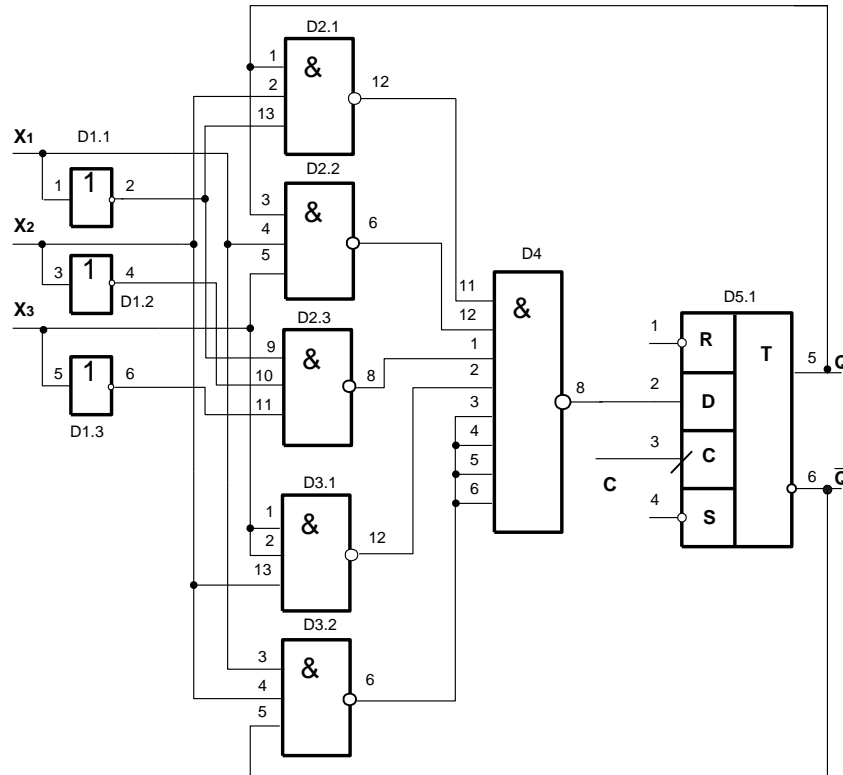


Рис. 6.1. Карта Карно при використанні D – тригера

Звідси

$$D = \overline{x_1} \overline{x_2} \overline{x_3} + \overline{x_1} x_2 \overline{Q_i} + x_1 x_2 \overline{Q_i} + x_1 x_3 Q_i + x_2 x_3 = \overline{x_1} \overline{x_2} \overline{x_3} + \overline{x_1} x_2 \overline{Q_i} + x_1 x_2 \overline{Q_i} + x_1 x_3 Q_i + x_2 x_3$$

Функціональна схема для реалізації заданої тригерної структури зображена на рис. 6.2.



D1- K555ЛН1, D2,D3 - K555ЛA4, D4- K555ЛA2, D5- K555ТM2
Рис. 6.2. Функціональна схема для реалізації заданої тригерної структури

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 41

Порядок роботи:

1. Згідно з заданим викладачем варіантом (табл.6.3) і, використовуючи табл. 6.1, записати таблицю переходів структури, що синтезується.
2. Використовуючи карту Карно для 4-х змінних, виконати мінімізацію для запису мінімальної форми функції збудження.
3. Перевести отриманий вираз для мінімальної форми в базис І-НІ для реалізації тригерної структури.
4. Вибрати серію мікросхем і типи логічних елементів для реалізації тригерної структури.
5. Побудувати принципову електричну схему для реалізації заданої тригерної структури.
6. Виконати дослідження тригерної структури за допомогою програми Electronics Workbench.

Таблиця 6.3

t			$t+1$									
x_1	x_2	x_3	Значення виходу для відповідного варіанту									
			1	2	3	4	5	6	7	8	9	10
			D	D	D	D	D	D	D	D	D	D
0	0	0	\bar{Q}^t	Q^t	Q^t	0	1	1	1	1	*	Q^t
0	0	1	1	0	0	1	0	0	0	0	0	\bar{Q}^t
0	1	0	\bar{Q}^t	Q^t	\bar{Q}^t	Q^t	Q^t	1	0	0	1	1
0	1	1	0	1	1	0	1	0	1	1	Q^t	0
1	0	0	Q^t	\bar{Q}^t	Q^t	1	0	Q^t	Q^t	\bar{Q}^t	\bar{Q}^t	Q^t
1	0	1	1	0	0	\bar{Q}^t	\bar{Q}^t	0	0	1	*	1
1	1	0	Q^t	\bar{Q}^t	\bar{Q}^t	Q^t	0	\bar{Q}^t	\bar{Q}^t	Q^t	0	\bar{Q}^t
1	1	1	0	1	1	0	1	1	1	0	1	0

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 42

t			$t+1$									
x_1	x_2	x_3	Значення виходу для відповідного варіанту									
			11	12	13	14	15	16	17	18	19	20
			D	D	D	D	D	D	D	D	D	D
0	0	0	1	1	1	1	*	1	0	1	0	0
0	0	1	0	0	0	0	0	0	1	0	1	1
0	1	0	Q^t	Q^t	*	Q^t	1	Q^t	\bar{Q}^t	Q^t	Q^t	1
0	1	1	1	0	Q^t	1	0	0	1	\bar{Q}^t	0	0
1	0	0	0	1	\bar{Q}^t	0	Q^t	1	0	1	1	0
1	0	1	Q^t	Q^t	1	\bar{Q}^t	\bar{Q}^t	\bar{Q}^t	Q^t	0	\bar{Q}^t	1
1	1	0	\bar{Q}^t	\bar{Q}^t	0	\bar{Q}^t	0	Q^t	1	Q^t	0	Q^t
1	1	1	*	1	\bar{Q}^t	1	1	0	\bar{Q}^t	\bar{Q}^t	0	0

t			$t+1$									
x_1	x_2	x_3	Значення виходу для відповідного варіанту									
			21	22	23	24	25	26	27	28	29	30
			D	D	D	D	D	D	D	D	D	D
0	0	0	Q^t	0	0	1	0	Q^t	\bar{Q}^t	*	0	1
0	0	1	\bar{Q}^t	1	*	0	1	1	1	1	*	*
0	1	0	0	Q^t	1	1	0	\bar{Q}^t	\bar{Q}^t	*	1	0
0	1	1	0	\bar{Q}^t	Q^t	0	1	0	0	0	*	*
1	0	0	1	1	*	Q^t	Q^t	*	1	Q^t	Q^t	\bar{Q}^t

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 43

1	0	1	1	0	\bar{Q}^t	\bar{Q}^t	\bar{Q}^t	1	*	1	\bar{Q}^t	Q^t
1	1	0	\bar{Q}^t	\bar{Q}^t	1	1	0	Q^t	Q^t	\bar{Q}^t	0	1
1	1	1	Q^t	Q^t	0	0	1	0	1	0	1	0

t			$t+1$									
x_1	x_2	x_3	Значення виходу для відповідного варіанту									
			31	32	33	34	35	36	37	38	39	40
			D	D	D	D	D	D	D	D	D	D
0	0	0	1	0	Q^t	0	1	0	*	0	1	Q^t
0	0	1	0	1	\bar{Q}^t	1	0	1	0	1	0	\bar{Q}^t
0	1	0	Q^t	\bar{Q}^t	1	\bar{Q}^t	*	Q^t	1	0	1	Q^t
0	1	1	\bar{Q}^t	\bar{Q}^t	1	*	Q^t	\bar{Q}^t	Q^t	1	0	\bar{Q}^t
1	0	0	0	Q^t	0	Q^t	\bar{Q}^t	1	\bar{Q}^t	0	1	Q^t
1	0	1	Q^t	\bar{Q}^t	0	1	1	0	1	1	0	\bar{Q}^t
1	1	0	1	0	\bar{Q}^t	\bar{Q}^t	Q^t	Q^t	0	0	\bar{Q}^t	1
1	1	1	0	1	Q^t	0	0	\bar{Q}^t	1	\bar{Q}^t	Q^t	0

Порядок виконання роботи в програмі Electronics Workbench

1. Запустіть Electronics Workbench.
2. Підготуйте новий файл для роботи. Для цього необхідно виконати такі операції з меню: File/New і File/Save as. При виконанні операції Save as буде необхідно вказати ім'я файлу і каталог, у якому буде зберігатися схема.
3. Перенесіть необхідні елементи з заданої схеми на робочу область Electronics Workbench. Для цього необхідно вибрати розділ на панелі інструментів (Logic Gates, Instruments), у якому знаходиться потрібний вам елемент, потім перенести його на робочу область.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 44

4. З'єднайте контакти елементів і розташуйте елементи в робочій області для одержання необхідної вам схеми. Для з'єднання двох контактів необхідно клацнути на один з контактів лівою кнопкою миші і, не відпускаючи клавішу, довести курсор до другого контакту. У разі потреби можна додати додаткові вузли (розгалуження). Натисканням на елементі правою кнопкою миші можна одержати швидкий доступ до найпростіших операцій над положенням елементу, таким як обертання (rotate), розворот (flip), копіювання/вирізання (copy/cut), вставка (paste).

5. Коли схема зібрана і готова до запуску, натисніть кнопку запуску на панелі інструментів.

Приклад роботи програми для тригерної структури наведено на рис. 6.3.

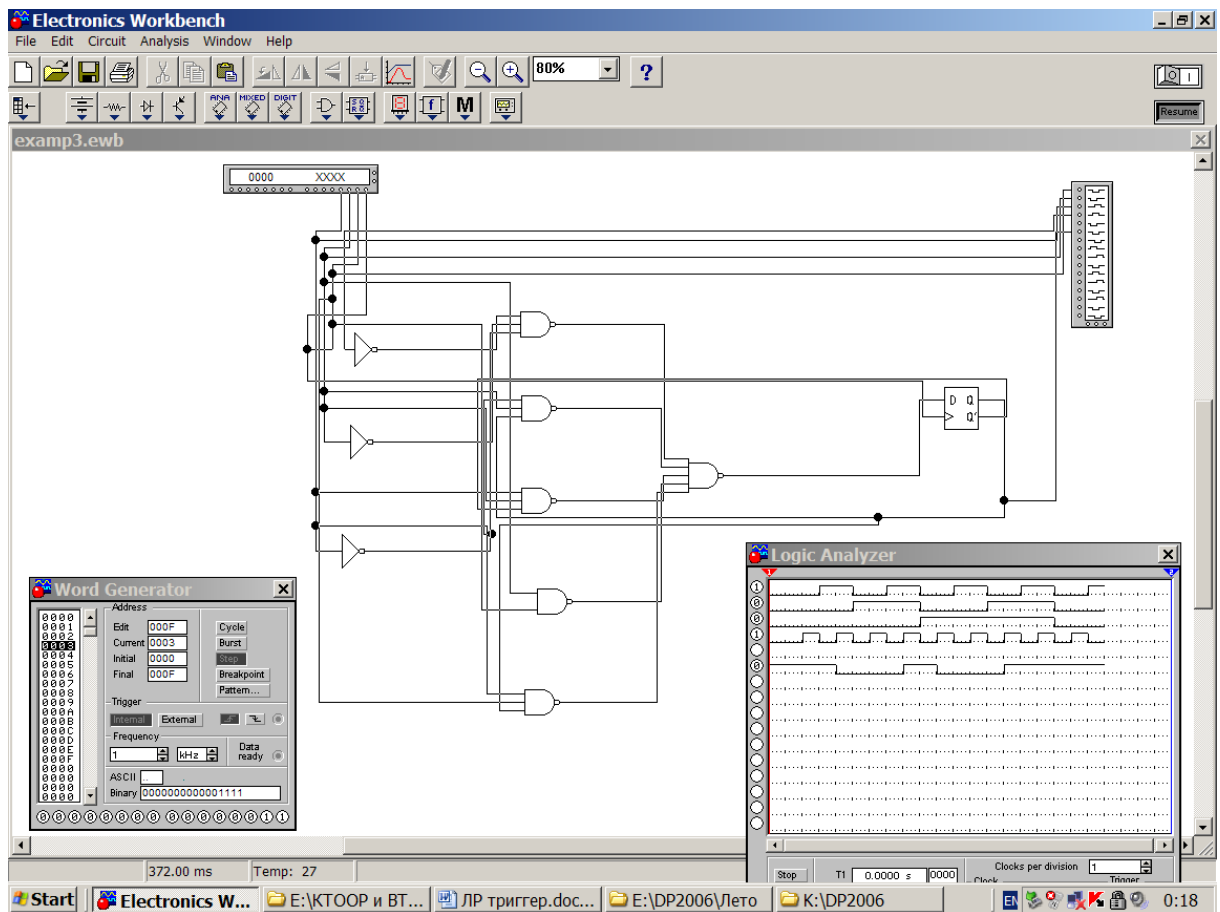


Рис. 6.3. Приклад роботи програми

Зміст звіту

1. Назва та мета роботи.
2. Таблиця переходів заданої тригерної структури.
3. Мінімізація заданої тригерної структури за допомогою карти Карно.
4. Структурну та електричну принципи схеми заданої тригерної структури на елементах малого ступеню інтеграції та на тригері.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 45

5. Результати дослідження тригерної структури в програмі Electronics Workbench.
6. Висновки по роботі.

Контрольні запитання

1. Дайте визначення тригеру.
2. Які входи є у тригерів.
3. Чим відрізняються синхронні тригери від асинхронних.
4. Назвіть типи тригерів
5. Чому JK-тригер має назву універсального.
6. Де застосовуються тригери.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 46

Лабораторна робота № 7

ВИВЧЕННЯ КЕРУЮЧОЇ ПРОГРАМИ ЕМУЛЯТОРА SCM ТА ВИЗНАЧЕННЯ КОМАНД ПЕРЕДАЧІ ДАНИХ

Теоретичні відомості

Програма SCM (Single-Chip Machine) являє собою систему моделювання однокристальних мікроконтролерів.

Система моделювання Single-Chip Machine 1.22 призначена для дослідження поведінки внутрішніх і зовнішніх сигналів зазначених мікросхем.

Програма SCM (Single-Chip Machine) виконана у вигляді незалежного запускаемого модуля, працездатного під управлінням операційної системи MS Window NT / XP. SCM включає засоби налагодження та редагування програм на асемблері. Виконання програми користувача здійснюється з максимальним наближенням до дійсності за допомогою імітаційної моделі. Крім того, користувачеві надається такі засоби, як тимчасові діаграми внутрішніх і зовнішніх сигналів, імітація зовнішніх сигналів, можливість зміни значень вузлів МК в процесі роботи моделі та ін

Користувач набирає програму в редакторі програм, потім натискає кнопку "компіляція". Текст програми переводиться в машинні коди і записується в однойменний файл (з вихідним текстом) з розширенням ". MPM". Розширення ". MPM", розшифровується як Microcontroller Program Memory, проте існує стандартний формат подання пам'яті програм - так званий формат HEX.

Програма забезпечує: виконання прикладної програми для ОЕВМ в покроковому режимі, в режимі прогону з зупинкою по контрольних точках; доступ до всіх внутрішніх ресурсів ОЕВМ, зовнішньої пам'яті програм і даних.

Робочий простір емулятора SCM (Single-Chip Machine представлений на рис.7.1.

Для створення нової програми або редагування готової програми необхідно натиснути на кнопку Редактор.

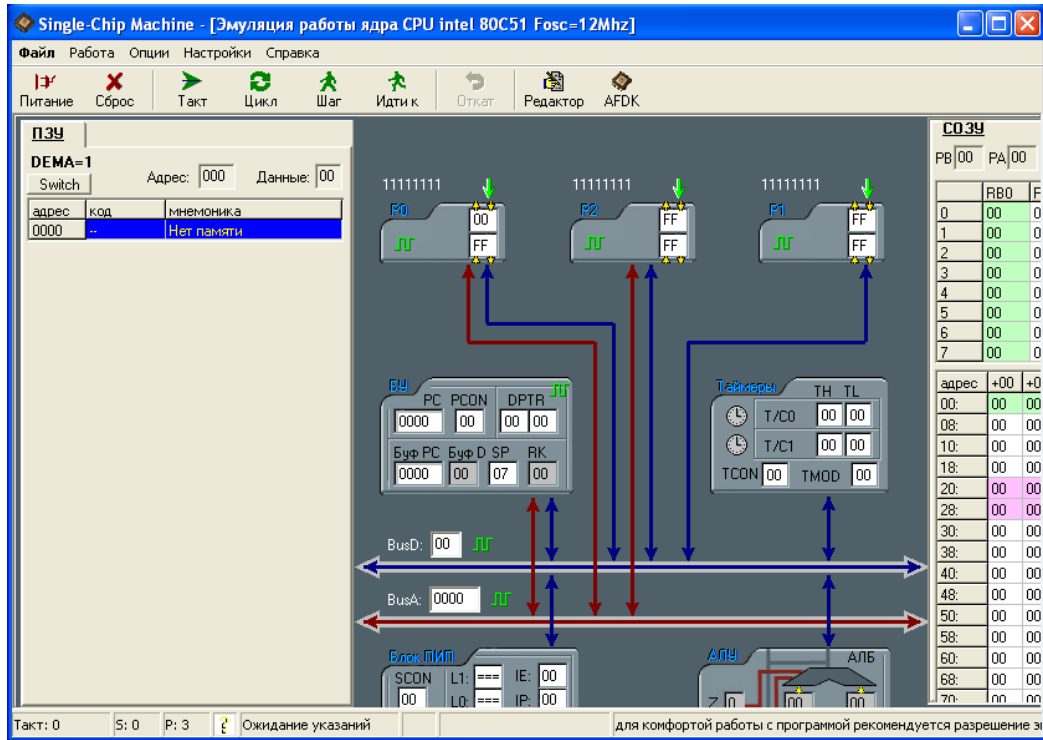


Рис.7.1 Робочий простір емулятора SCM

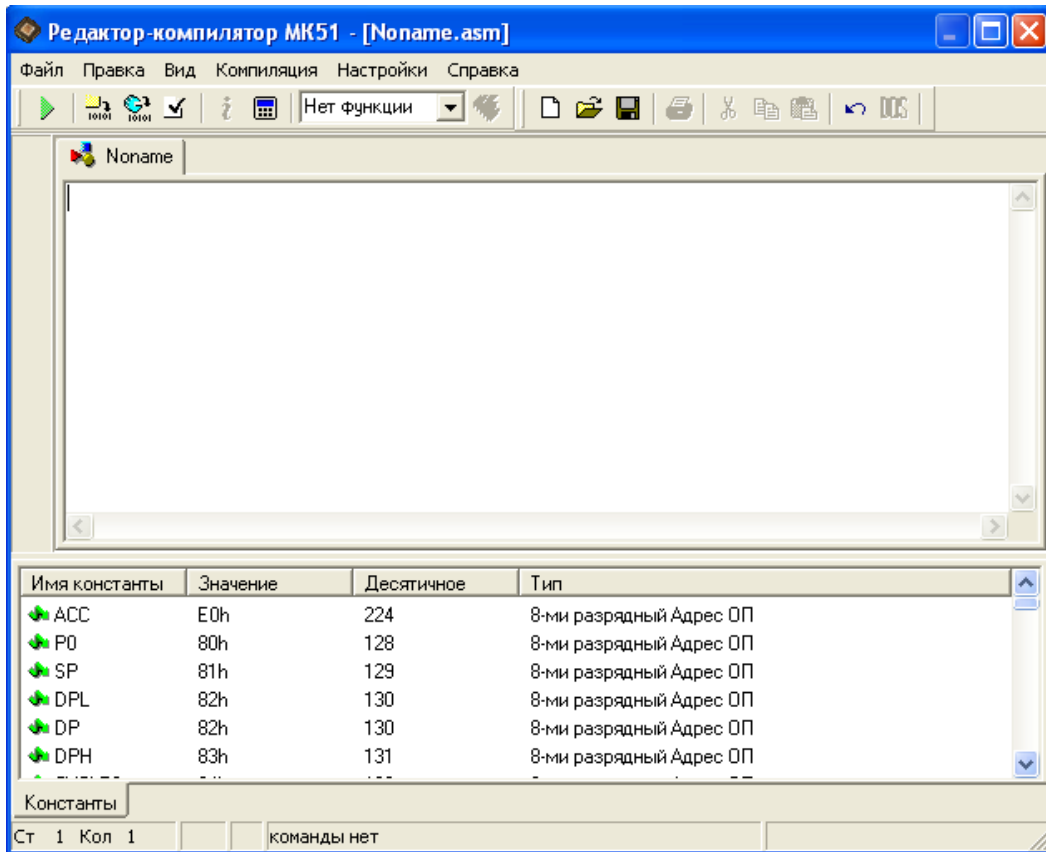


Рис.7.2 Вікно редактора

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 48

Після натиснення кнопки Редактор з'явиться вікно Редактора, зовнішній інтерфейс якого представлений на рис.7.2. В білому просторі, де мигає курсор, необхідно набирати або редагувати текст програми рис.6.3. Після набору або редагування програми необхідно зберегти файл або запустити програму кнопкою Виконати програму (F9), в свою чергу вона також запропонує зберегти програму.

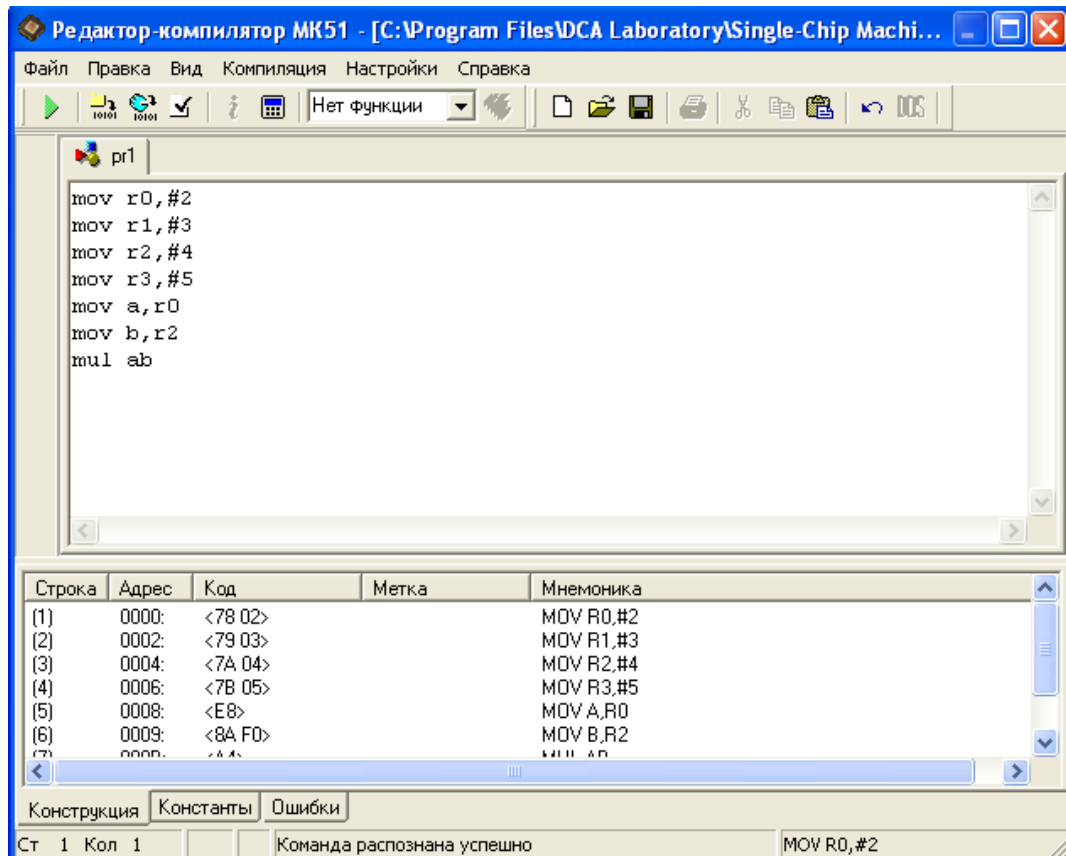


Рис. 7.3

Після збереженні програми натиснути кнопку Виконати програму (F9). Якщо не існують помилок в програмі, вона запуститься. Якщо помилки присутні потрібно їх усунути. Також можливо скористатися кнопкою Компіляція (Ctrl+F9) до запуску програми.

Після запуску програми в вікні Редактора, емулятор запускає програму в режимі емуляції рис.7.4. З рис.1.4 видно, що в ПЗУ записалась наша програма. В свою чергу бачимо, адрес, код команд в HEX системі та мнемоніку команд.

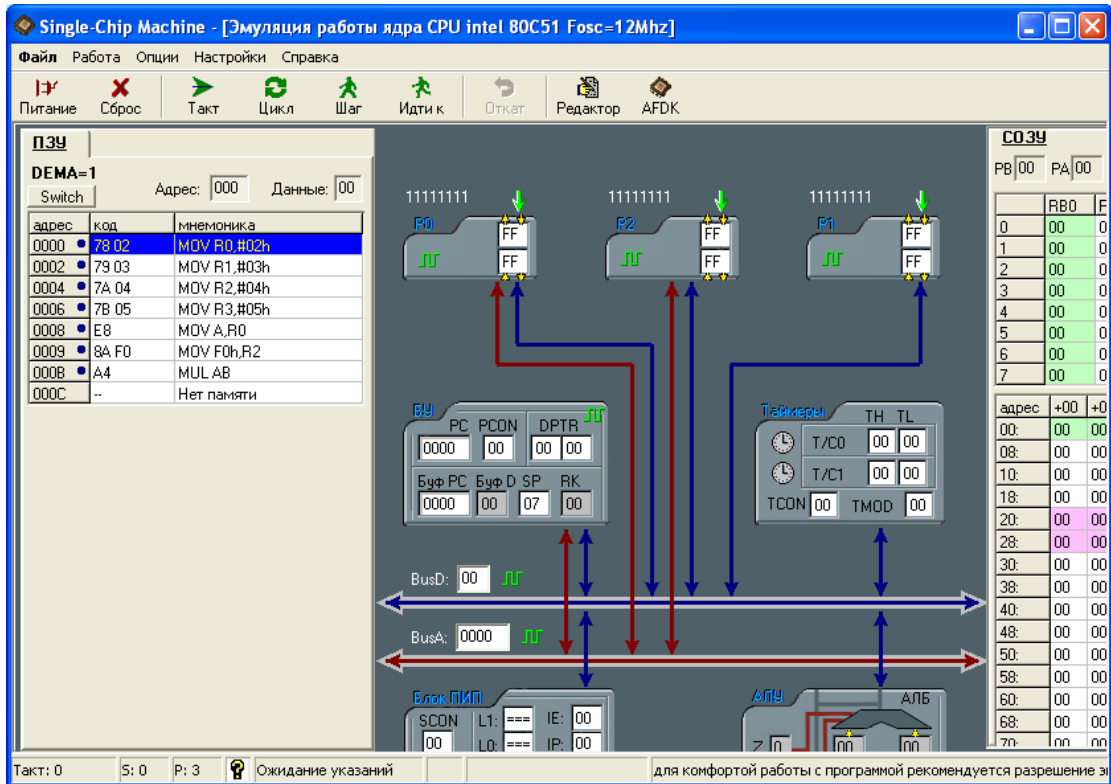


Рис. 7.4

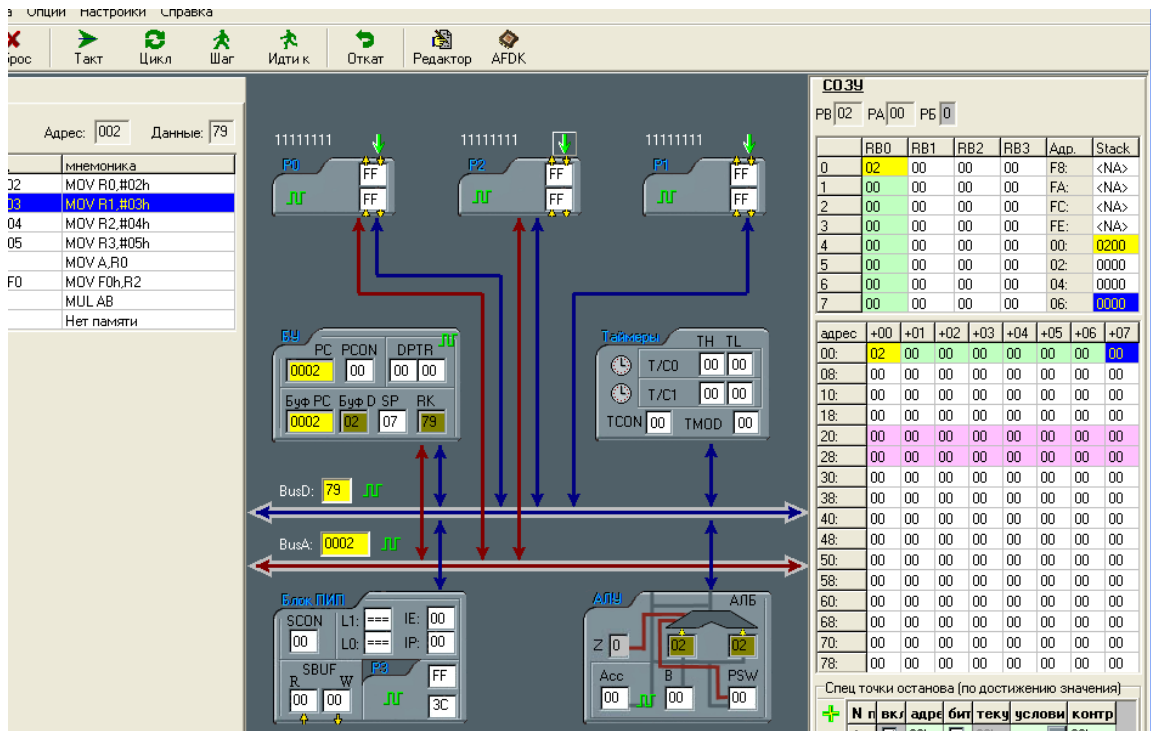


Рис. 7.5

Емуляції програму можна запустити кнопкою Такт (F7) – просування на один такт, кнопкою Цикл (Ctrl+F7) – просування на один цикл, кнопкою Крок (F8) – просування на один крок, кнопкою Йти до (F4) – запуск програми до зазначеної команди.

Запустимо програму для емуляції, наприклад кнопкою Цикл (Ctrl+F7) рис.7.5. З рис.7.5 відслідковуючи HEX код програми, побачимо, що в БУ під адресою 0002 записано 02 07 79, а в АЛУ записалося число 2 з чого видно, що програма просунулась на один цикл, також число 2 записалося в СО ЗУ.

Пройшовши програму кнопкою Цикл, в кінці побачимо в АЛУ результат 8 рис.7.6, виходячи з коду програми результат вірний (число в регістрі А дорівнює 2, а в - В дорівнює 4, а їх добуток MUL AB дорівнює 8).

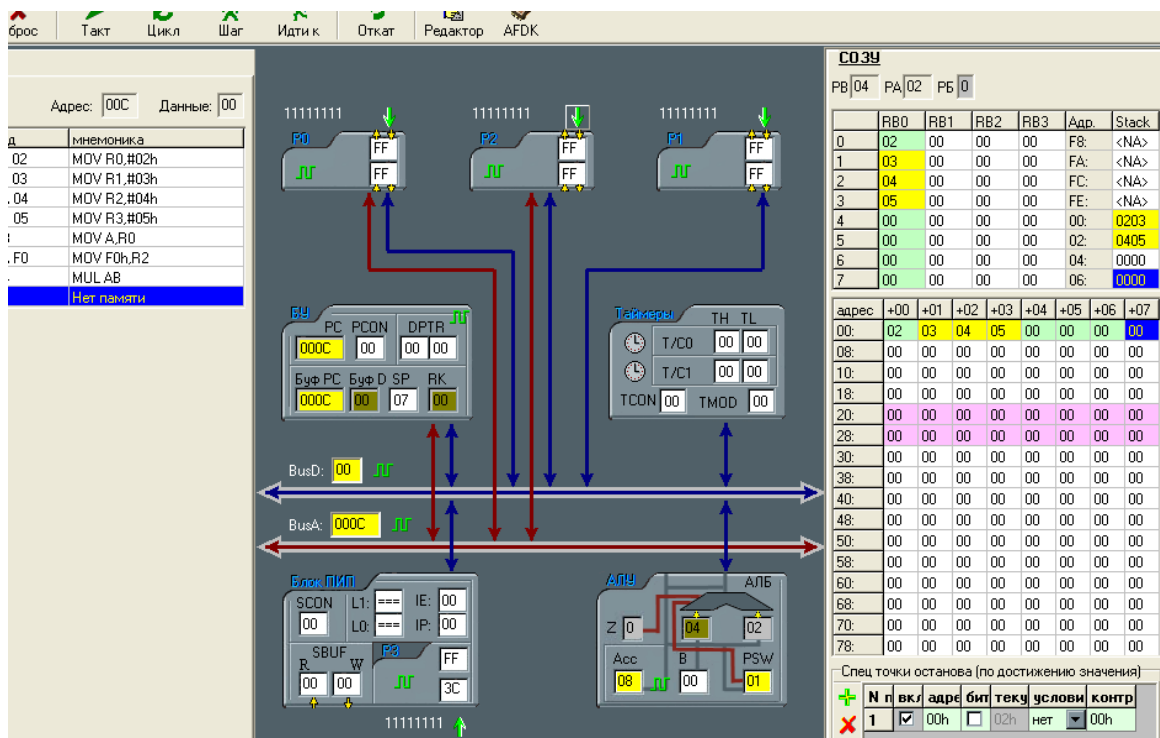


Рис.7.6

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 51

Завдання

Задача 1. Розробіть алгоритм і напишіть програму на мові Асемблера для обчислення функцій, наведеної у табл.1.1 (А, R1, R2, R3, R4, R5, R6 – реєстри загального призначення мікропроцесора K1816BE51; M1, M2 – операнди, розташовані у пам'яті; M3 – результат обчислень, розташований у пам'яті). Операнди у реєстрах загального призначення та в пам'яті – 8-розрядні (без знаку). Адреси операндів M1 і M2 та результату M3 виберіть самостійно.

Таблиця 7.1

Варіант	Функція
1	$M3=(R4-R5)+(R6-(50)_{16})+(M1+M2)$
2	$M3=(M1-(73)_{16})+M2-(R3+R6)-R5$
3	$M3=R6-((43)_{16}+M1)-R3-(M2+R4)$
4	$M3=(R3+R4)-R5-(M1+(53)_{16})+M2$
5	$M3=M1+(M2-R5)+(57)_{16}+(R6+R3)$
6	$M3=(M2-M1)+R3-((17)_{16}+R4)-R5$
7	$M3=M1+(R3+R4)-(R5-R6)-(83)_{16}$
8	$M3=R5+(R4-M1)+((25)_{16}-R3)+R6$
9	$M3=R4+((62)_{16}+M1)+R5-(M2-R6)$
10	$M3=(R6+R5)-(M1+(32)_{16})-(M2-R4)$
11	$M3=(M1-M2)-R3+(R5+(12)_{16})+R6$
12	$M3=(38)_{16}-(R3-R4)+(M1+M2)-R6$
13	$M3=(M1-M2)+(R4-(31)_{16})+(R3+R5)$
14	$M3=M2+(M1-(93)_{16})-(R3+R4)+R6$

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 52

15	$M3=R3-(M1+R6)-(48)_{16}+(R4+M2)$
16	$M3=((70)_{16}-R3)-R4+(R5+R6)+M1$
17	$M3=(R6+M1)-((96)_{16}+R3)+(R4+R5)$
18	$M3=(R4-M1)+(R6-(50)_{16})+(R5+M2)$
19	$M3=(R3+R6-(73)_{16}+M2)-(M1+(7A)_{16})-R5$
20	$M3=M1-((43)_{16}+R1)-R3-(M2+R2)$
21	$M3=(R3+(5A)_{16})-R5-(M1+R1-R4)+M2$
22	$M3=R4+(M2-R5)+(57)_{16}+(R6-M1)$
23	$M3=M1+(R3+R4)-(R1+R2+(0A)_{16})-(83)_{16}$
24	$M3=R5+(A-M1)+(77)_{16}-R3)+R2$
25	$M3=R4+((22)_{16}+M2)+R5-(R6+M2)$
26	$M3=(R6+R4)-(M1+(32)_{16})-(R5-M2)$
27	$M3=(M1+M2)-R3+(R5-(21)_{16})+A$
28	$M3=(38)_{16})-(R3-M2)+(M1+R4)-R6$
29	$M3=(M1-M2)+(R4-(4A)_{16})+(R6-R5)$
30	$M3=M1+(M2+(93)_{16})-(R3-R4)+R6$

Порядок виконання роботи

1. Вивчення програми емулятора SCM.
2. Запуск програми. Знайомство і вивчення основного меню програми, ознайомлення з можливостями і способами редагування внутрішніх і зовнішніх ресурсів емулятора.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 53

3. Вивчення процесу програмування мікроконтролера, введення та налагодження програм та їх виконання.
4. Запуск програми - емулятора і практичне закріплення отриманих знань.
5. Ознайомлення з командами передачі даних.
6. Вивчення особливостей організації пам'яті програм і даних в ОЕВМ типу K1816BE51.
7. Вивчення команд пересилки між регістрами мікроконтролера, регістрами і таймерами, акумулятором і портами.
8. Складання програм на мові Асемблера ОЕВМ, що реалізують різні способи пересилки і адресації.

Зміст звіту

1. Назва та мета роботи
2. Лістинг налагодженої програми (з коментарями).
3. Результат виконання програми
4. Висновки по роботі

Таблиця 3.2 – Система команд

Мнемокод	КОП	Мнемокод	КОП	Мнемокод	КОП
ACALL 0xxH	11	AJMP 5XXH	A1	DA A	D4
ACALL 1xxH	31	AJMP 6XXH	C1	DEC A	14
ACALL 2xxH	51	AJMP 7XXH	E1	DEC ad	15
ACALL 3xxH	71	ANL A , ad	55	DEC R0	18
ACALL 4xxH	91	ANL A, R0	58	DEC R1	19
ACALL 5xxH	B1	ANL A, R1	59	DEC R2	1A
ACALL 6xxH	D1	ANL A, R2	5A	DEC R3	1B
ACALL 7xxH	FI	ANL A, R3	5B	DEC R4	1C
ADD A, ad	25	ANL A, R4	5C	DEC R5	1D
ADD A, R0	28	ANL A, R5	5D	DEC R6	1E
ADD A , R1	29	ANL A, R6	5E	DEC R7	1F

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 54

ADD A, R2	2A	ANL A, R7	5F	DEC @R0	16
ADD A, R3	2B	ANL A, @R0	56	DEC @R1	17
ADD A, R4	2C	ANL A, @R1	57	DIV AB	84
ADD A, R5	2D	ANL A, #d	54	DJNZ ad, rel	D5
ADD A, R6	2E	ANL ad, A	52	DJNZ R0, rel	D8
ADDA, R7	2F	ANL ad, #d	S3	DJNZ R1, rel	D9
ADD A, @R0	26	ANL C, bit	82	DJNZ R2, rel	DA
ADD A, @R1	27	ANL C, /bit	BO	DJNZ R3, rel	DB
ADD A, #d	34	CJNE A, ad, rel	B5	DJNZ R4, rel	DC
ADDC A, ad	35	CJNE A, #d, rel	B4	DJNZ R5, rel	DD
ADDC A, R0	38	CJNE R0, #d, rel	B8	DJNZ R6, rel	DE
ADDC A, R0	39	CJNE R1, #d, rel	B9	DJNZ R7, rel	DF
ADDC A, R0	3A	CJNE R2, #d, rel	BA	INC a	04
ADDC A, R0	3B	CJNE R3, #d, rel	BB	INC ad	05
ADDC A, R0	3C	CJNE R4, #d, rel	BC	INC DPTR	A3
ADDC A, R0	3D	CJNE R5, #d, rel	BD	INC R0	08
ADDC A, R0	3E	CJNE R6, #d, rel	BE	INC R1	09
ADDC A, R0	3F	CJNE R7, #d, rel	BF	INC R2	0A
ADDC A, @R0	36	CJNE @R0, #d, rel	B6	INC R3	0B
ADDC A, @R1	37	CJNE @R1, #d, rel	B7	INCR4	0C
ADDC A, #d	24	CLR A	E4	INC R5	0D
AJMP 0XXH	01	CLR bit	C2	INC R6	0E
AJMP 1XXH	21	CLR C	C3	INC R7	0F
AJMP 2XXH	41	CPL A	F4	INC @R0	06
AJMP 3XXH	61	CPL bit	B2	INC @R1	07
AJMP 4XXH	81	CPL C	B3	JB bit, rel	20
				JBC bit, rel	10

Мнемокод	КОП	Мнемокод	КОП	Мнемокод	КОП
JC rel	40	MOV ad, @R0	86	MOV R7, ad	AF
JMP@A+DPTR	73	MOV ad, @R1	87	MOV R7, #d	7F
JNB bit, rel	30	MOV ad, #d	75	MOV @R0, A	F6
JNC rel	50	MOV ad, ads	85	MOV @R0, ad	A6
JNZrel	70	MOV bit, C	92	MOV @R0, #d	76
JZ rel	60	MOV C, bit	A2	MOV @R1, A	F7
LCALL ad16	12	MOV DPTR, #dl6	90	MOV @R1, ad	A7
LJMP ad 16	02	MOV R0, A	F8	MOV @R1, #d	77
MOV A, ad	E5	MOV R0, ad	A8	MOVC A, @+DPTR	93
MOV A, R0	E8	MOV R0, #d	78	MOVC A, @+PC	83
MOV A, R1	E9	MOV R1, A	F9	MOVX A, @DPTR	EO
MOV A, R2	EA	MOV R1, ad	A9	MOVX A, @R0	E2
MOV A, R3	EB	MOV R1, #d	79	MOVX A, @R1	E3
MOV A, R4	EC	MOV R2, A	FA	MOVX @DPTR, A	F0
MOV A, R5	ED	MOV R2, ad	AA	MOVX @R0, A	F2
MOV A, R6	EE	MOV R2, #d	7A	MOVX @R1, A	F3
MOV A, R7	EF	MOV R3, A	FB	MUL AB	A4
MOV A, @R0	E6	MOV R3, ad	AB	NOP	00

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 55

MOV A, @R1	E7	MOV R3, #d	7B	ORL A, ad	45
MOV a, #d	74	MOV R4, A	FC	ORL A, R0	48
MOV ad, A	F5	MOV R4, ad	AC	ORL A, R1	49
MOV ad, R0	88	MOV R4, #d	7C	ORL A, R2	4A
MOV ad, R1	89	MOV R5, A	FD	ORL A, R3	4B
MOV ad, R2	8A	MOV R5, ad	AD	ORL A, R4	4C
MOV ad, R3	8B	MOV R5, #d	7D	ORL A, R5	4D
MOV ad, R4	8C	MOV R6, A	FE	ORL A, R6	4E
MOV ad, R5	8D	MOV R6, ad	AE	ORL A, R7	4F
MOV ad, R6	8E	MOV R6, #d	7E	ORL A, @R0	46
MOV ad, R7	8F	MOV R7, A	FF	ORL A, @R0	47
ORL A, #d	44	RRC A	13	SUBB A, R7	9F
ORL ad, A	42	SETB bit	D2	SUBB A, @R0	96
ORL ad, #d	43	setb c	D3	SUBB A, @R1	97
ORL C, bit	72	SJMP rel	80	SWAP A	C4
ORL C, /bit	AO	SUBB A, ad	95	XCH A, ad	C5
POP ad	DO	SUBB A, R0	98	XCH A, R0	C8
PUSH ad	CO	SUBB A, R1	99	XCH A, R1	C9
RET	22	SUBB A, R2	9A	XCH A, R2	CA
RETI	32	SUBB A, R3	9B	XCH A, R3	CB
RL A	23	SUBB A, R4	9C	XCH A, R4	CC
RLC A	33	SUliB A, R5	9D	XCH A, R5	CD
RR A	03	SUBB A, R6	9E	XCH A, R6	CE
XCH A, R7	CF	XRL A, R1	69	XRL A, R7	6F
XCH A, @R0	06	XRL A,	6A	XRL A, @)R0	66
XCH A, @R1	C7	XRL A, R3	6B	XRL A, @R1	67
XCHD A, @R0	D6	XRL A, R4	6C	XRL A, #d	64
XCHD A, @R1	D7	XRL A, R5	6D	XRL ad, A	62
XRL A, ad	65	XRL A, R6	6E	XRL ad, #d	63
XRL A, R0	68				

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 56

Контрольні питання

1. Архітектура мікроконтролера. Основні вузли і блоки.
2. Максимальний обсяг ОЗУ і ПЗУ, використовуваний даними контролером.
3. Способи редагування за допомогою програми - емулятора ОЗУ, ПЗУ, системних ресурсів.
4. Команди виконання програми. Результати виконання.
5. Можливості налагодження МПУ.
6. Між якими частинами мікроконтролера здійснюється передача даних.
7. Методи адресації, що використовуються в ОЕВМ.
8. Типи портів мікроконтролера.
9. Як відбувається адресація зовнішнього ОЗУ і ПЗУ?
10. Відобразити схему підключення зовнішнього ОЗУ і ПЗУ до мікроконтролера. Які сигнали для цього використовуються?

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 57

Лабораторна робота № 8

ВИВЧЕННЯ АРИФМЕТИЧНИХ МОЖЛИВОСТЕЙ ОЕВМ

Завдання

Задача 1. Розробіть алгоритм і напишіть програму на мові Асемблера для обробки даних за допомогою не рекурсивного фільтру, де y_n - вихідне значення в n -й момент часу, $x_n, x_{n-1} \dots$ - 8-розрядні вхідні значення в n -й, $n-1$ -й ... моменти часу. Програму розробіть без застосування процедур множення і ділення.

Таблиця 8.1

Варіант	Функція
1	$y_n = \frac{1,25(x_n + x_{n-1})}{4} - 9,5x_{n-2} + \frac{3}{4}x_{n-3}$
2	$y_n = 0,5 \cdot \left(x_n + 2 \left(x_{n-1} - \frac{3,25}{4} x_{n-2} \right) \right) - \frac{1}{2} x_{n-3}$
3	$y_n = \frac{\left(\frac{4x_n - x_{n-1}}{0,25} + \frac{(3x_{n-2} - x_{n-3})}{0,5} \right)}{0,25}$
4	$y_n = x_n + \frac{(x_{n-1} + (0,5x_{n-2} - 2x_{n-3}))}{0,5}$
5	$y_n = 0,25 \cdot \left(x_n + 9 \cdot \left(x_{n-1} - 0,5x_{n-2} + \frac{1}{8}x_{n-3} \right) \right)$
6	$y_n = 2 \cdot \left(\frac{0,75x_n + 2x_{n-1}}{0,5} + \frac{(3x_{n-2} - x_{n-3})}{0,25} \right) - 5$
7	$y_n = 0,25 \cdot \left(x_n + 3 \cdot \left(\frac{1,5}{2} x_{n-1} - 0,5x_{n-2} \right) + \frac{1}{4} x_{n-3} \right)$
8	$y_n = \frac{1}{4} \cdot \left(0,25x_n + 6x_{n-1} - 3,25x_{n-2} + \frac{9}{8}x_{n-3} \right)$

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 58

9	$y_n = 0,75x_n + \frac{\left(6x_{n-1} - \frac{(3x_{n-2} - 2x_{n-3})}{0,5} - 45\right)}{0,25}$
10	$y_n = 2 \cdot \left(\left(x_n + 0,5 \cdot \left(\frac{3,25}{4} x_{n-1} - x_{n-2} \right) \right) - \frac{3}{4} x_{n-3} \right)$
11	$y_n = \frac{(2x_n + 0,5x_{n-1})}{2} + 9,5 \cdot \left(x_{n-2} + \frac{3}{4} x_{n-3} \right)$
12	$y_n = \frac{\left(2x_n + \frac{\left(3x_{n-1} + \frac{(x_{n-2} + 3x_{n-3})}{0,5} \right)}{0,25} \right)}{0,5}$
13	$y_n = 1,25x_n + 3(x_{n-1} - 3,25x_{n-2}) + 0,75x_{n-3}$
14	$y_n = 0,5 \cdot \left(6x_n + 2 \cdot \left((9x_{n-1} - 0,75x_{n-2}) + \frac{1}{4} x_{n-3} \right) \right)$
15	$y_n = 0,25x_n + 2 \left(x_{n-1} - \frac{3,25}{4} x_{n-2} \right) - \frac{0,25}{2} x_{n-3}$
16	$y_n = \frac{(x_n - 0,25x_{n-1})}{2} + \left(\frac{1,5 \cdot (2x_{n-2} - x_{n-3})}{4} \right)$
17	$y_n = 1,5x_n + 8 \left(0,5x_{n-1} - \frac{0,75}{2} x_{n-2} + 0,125x_{n-3} \right)$
18	$y_n = (1,25x_n + 2x_{n-1} + 1) - 0,25 \cdot \left(x_{n-2} + \frac{5}{2} x_{n-3} \right) - 5$
19	$y_n = 0,5 \cdot \left(1,25x_n + 2 \cdot \left(\frac{3}{4} x_{n-1} - 0,5 \cdot (2x_{n-2} + x_{n-3}) \right) \right)$
20	$y_n = \frac{\left(0,625x_n + \frac{\left(\frac{x_{n-1} + 3x_{n-2}}{0,5} \right)}{0,5} - 0,5x_{n-3} \right)}{0,5}$

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 59

21	$y_n = \frac{1}{2} \cdot \left(0,375x_n + 2x_{n-1} - 2,25x_{n-2} + \frac{3}{8}x_{n-3} \right)$
22	$y_n = 7x_n + \frac{(3x_{n-1} - 2,5x_{n-2})}{0,5} - 0,375x_{n-3}$
23	$y_n = 3,25x_n + 2 \cdot \left(x_{n-1} - 1,25 \left(x_{n-2} + \frac{3}{2}x_{n-3} \right) \right)$
24	$y_n = \frac{3 \cdot (4x_n + 0,375x_{n-1} - x_{n-2})}{2} + \frac{(x_{n-3} - 1)}{0,5}$
25	$y_n = 1,75x_n + \frac{(x_{n-1} - 1,25(x_{n-2} + 2x_{n-3}))}{0,25}$

Порядок виконання роботи

1. Запуск програми емулятора SCM.
2. Складання та введення програми на Асемблері.
3. Налаштування програми.
4. Виконання програми.

Зміст звіту

1. Назва та мета роботи
2. Лістинг налагодженої програми (з коментарями).
3. Результат виконання програми
4. Висновки по роботі

Контрольні питання

1. Як здійснити множення без процедури множення на Асемблері для МК51?
2. Як здійснити ділення без процедури множення на Асемблері для МК51?
3. Як здійснити арифметичний суму на Асемблері для МК51?
4. Як здійснити арифметичний різницю на Асемблері для МК51?
5. Як здійснити скидання прапора переносу C?

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 60

Мнемокод	КОП	Мнемокод	КОП	Мнемокод	КОП
ACALL 0xxH	11	AJMP 5XXH	A1	DA A	D4
ACALL 1xxH	31	AJMP 6XXH	C1	DEC A	14
ACALL 2xxH	51	AJMP 7XXH	E1	DEC ad	15
ACALL 3xxH	71	ANL A , ad	55	DEC R0	18
ACALL 4xxH	91	ANL A, R0	58	DEC R1	19
ACALL 5xxH	B1	ANL A, R1	59	DEC R2	1A
ACALL 6xxH	D1	ANL A, R2	5A	DEC R3	1B
ACALL 7xxH	FI	ANL A, R3	5B	DEC R4	1C
ADD A, ad	25	ANL A, R4	5C	DEC R5	1D
ADD A, R0	28	ANL A, R5	5D	DEC R6	1E
ADD A , R1	29	ANL A, R6	5E	DEC R7	1F
ADD A, R2	2A	ANL A, R7	5F	DEC @R0	16
ADD A, R3	2B	ANL A, @R0	56	DEC @R1	17
ADD A, R4	2C	ANL A, @R1	57	DIV AB	84
ADD A, R5	2D	ANL A, #d	54	DJNZ ad, rel	D5
ADD A, R6	2E	ANL ad, A	52	DJNZ R0, rel	D8
ADDA, R7	2F	ANL ad, #d	S3	DJNZ R1, rel	D9
ADD A, @R0	26	ANL C, bit	82	DJNZ R2, rel	DA
ADD A, @R1	27	ANL C, /bit	BO	DJNZ R3, rel	DB
ADD A, #d	34	CJNE A, ad, rel	B5	DJNZ R4, rel	DC
ADDC A, ad	35	CJNE A, #d, rel	B4	DJNZ R5, rel	DD
ADDC A, R0	38	CJNE R0, #d, rel	B8	DJNZ R6, rel	DE
ADDC A, R0	39	CJNE R1, #d, rel	B9	DJNZ R7, rel	DF
ADDC A, R0	3A	CJNE R2, #d, rel	BA	INC a	04
ADDC A , R0	3B	CJNE R3, #d, rel	BB	INC ad	05
ADDC A, R0	3C	CJNE R4, #d, rel	BC	INC DPTR	A3
ADDC A, R0	3D	CJNE R5, #d, rel	BD	INC R0	08
ADDC A, R0	3E	CJNE R6, #d , rel	BE	INC R1	09
ADDC A , R0	3F	CJNE R7 , #d, ret	BF	INC R2	0A
ADDC A, @R0	36	CJNE @R0, #d, rel	B6	INC R3	0B
ADDC A, @R1	37	CJNE @R1, #d, rel	B7	INCR4	0C
ADDC A, #d	24	CLR A	E4	INC R5	0D
AJMP 0XXH	01	CLR bit	C2	INC R6	0E
AJMP 1XXH	21	CLR C	C3	INC R7	0F
AJMP 2XXH	41	CPL A	F4	INC @R0	06
AJMP 3XXH	61	CPL bit	B2	INC @R1	07
AJMP 4XXH	81	CPL C	B3	JB bit, rel	20
				JBC bit, rel	10

Продовження таблиці 7.2

Мнемокод	КОП	Мнемокод	КОП	Мнемокод	КОП
JC rel	40	MOV ad , @R0	86	MOV R7 , ad	AF
JMP@A+DPTR	73	MOV ad, @R1	87	MOV R7, #d	7F
JNB bit , rel	30	MOV ad, #d	75	MOV @R0 , A	F6
JNC rel	50	MOV ad, ads	85	MOV@R0, ad	A6
JNZrel	70	MOV bit, C	92	MOV@R0, #d	76
JZ rel	60	MOV C, bit	A2	MOV @R1 , A	F7

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 61

LCALL ad16	12	MOV DPTR, #dl6	90	MOV@R1, ad	A7
LJMP ad 16	02	MOV R0, A	F8	MOV @R1, #d	77
MOV A, ad	E5	MOV R0, ad	A8	MOVC A, @+DPTR	93
MOV A, R0	E8	MOV R0, #d	78	MOVC A, @+PC	83
MOV A, R1	E9	MOV R1, A	F9	MOVX A, @DPTR	EO
MOV A, R2	EA	MOV R1, ad	A9	MOVX A, @R0	E2
MOV A, R3	EB	MOV R1, #d	79	MOVX A, @R1	E3
MOV A, R4	EC	MOV R2, A	FA	MOVX @DPTR, A	F0
MOV A, R5	ED	MOV R2, ad	AA	MOVX @R0, A	F2
MOV A, R6	EE	MOV R2, #d	7A	MOVX @R1, A	F3
MOV A, R7	EF	MOV R3, A	FB	MUL AB	A4
MOV A, @R0	E6	MOV R3, ad	AB	NOP	00
MOV A, @R1	E7	MOV R3, #d	7B	ORL A, ad	45
MOV a, #d	74	MOV R4, A	FC	ORL A, R0	48
MOV ad, A	F5	MOV R4, ad	AC	ORL A, R1	49
MOV ad, R0	88	MOV R4, #d	7C	ORL A, R2	4A
MOV ad, R1	89	MOV R5, A	FD	ORL A, R3	4B
MOV ad, R2	8A	MOV R5, ad	AD	ORL A, R4	4C
MOV ad, R3	8B	MOV R5, #d	7D	ORL A, R5	4D
MOV ad, R4	8C	MOV R6, A	FE	ORL A, R6	4E
MOV ad, R5	8D	MOV R6, ad	AE	ORL A, R7	4F
MOV ad, R6	8E	MOV R6, #d	7E	ORL A, @R0	46
MOV ad, R7	8F	MOV R7, A	FF	ORL A, @R0	47
ORL A, #d	44	RRC A	13	SUBB A, R7	9F
ORL ad, A	42	SETB bit	D2	SUBB A, @R0	96
ORL ad, #d	43	setb c	D3	SUBB A, @R1	97
ORL C, bit	72	SJMP rel	80	SWAP A	C4
ORL C, /bit	AO	SUBB A, ad	95	XCH A, ad	C5
POP ad	DO	SUBB A, R0	98	XCH A, R0	C8
PUSH ad	CO	SUBB A, R1	99	XCH A, R1	C9
RET	22	SUBB A, R2	9A	XCH A, R2	CA
RETI	32	SUBB A, R3	9B	XCH A, R3	CB
RL A	23	SUBB A, R4	9C	XCH A, R4	CC
RLC A	33	SUliB A, R5	9D	XCH A, R5	CD
RR A	03	SUBB A, R6	9E	XCH A, R6	CE
XCH A, R7	CF	XRL A, R1	69	XRL A, R7	6F
XCH A, @R0	06	XRL A,	6A	XRL A, @)R0	66
XCH A, @R1	C7	XRL A, R3	6B	XRL A, @R1	67
XCHD A, @R0	D6	XRL A, R4	6C	XRL A, #d	64
XCHD A, @R1	D7	XRL A, R5	6D	XRL ad, A	62
XRL A, ad	65	XRL A, R6	6E	XRL ad, #d	63
XRL A, R0	68				

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 62

ДОДАТКИ

Додаток 1

Основні операції в середовищі Multisim 13

В інтегрованому пакеті *Multisim 13* після завантаження відображаються меню, панелі інструментів, панель контрольно-вимірювальних приладів, вікно редагування схеми.

Панель інструментів забезпечує доступ до наступних груп елементів: - джерела (Sources);
- пасивні компоненти і комутаційні пристрої (Basic); - діоди (Diodes);
- транзистори (Transistors);
- аналогові мікросхеми (Analog);
- цифрові мікросхеми TTL серії (TTL);
- цифрові мікросхеми КМОП серії (CMOS);
- окремі цифрові схеми, арифметико-логічні пристрої (АЛП), регістри, лічильники, мультиплектори, дешифратори, ОЗП і т. п. (Misc Digital);
- мікросхеми змішаного типу (Mixed); - індикаторні пристрої (Indicators);
- компоненти змішаного типу (Miscellaneous)); - аналогові обчислювальні пристрої (Controls);
- радіочастотні компоненти (RF);
- електромеханічні елементи (Electro-Mechanical).
Панель контрольно-вимірювальних приладів (Instruments) містить:
- цифровий мультиметр (Multimeter);
- функціональний генератор (Function Generator);
- вимірювач потужності (Wattmeter);
- осцилограф (Oscilloscope);
- вимірювач АЧХ і ФЧХ (Bode Plotter);
- генератор слів (Word Generator);
- логічний аналізатор (Logic Analyzer);
- логічний перетворювач (Logic Converter);
- вимірювач нелінійних спотворень у діапазоні частот від 20 до 200000 Гц (Distortion Analyzer);
- спектральний аналізатор (Spectrum Analyzer);
- прилад для аналізу електричних кіл в узагальненому вигляді (Network Analyzer).
Вікно редактора схем призначене для створення і редагування принципів схем

пристрою. Зміна налаштувань здійснюється за допомогою команди Options>Preferences.

Алгоритм технології підготовки та емуляція роботи електричних схем.

1. Вибір необхідних компонентів електричної схеми та розміщення їх у вікні редагування.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 63

Компоненти, необхідні для створення схеми, об'єднані в групи. Кожній групі цифрових компонентів відповідає кнопка на панелі інструментів (рис. А1.1).



Рис. А1.1 Позначення груп елементів: цифрові мікросхеми TTL серії; цифрові мікросхеми серії CMOS; цифрові схеми (Misc Digital).

При натисканні на кнопку групи відкривається діалогове вікно Вибір компонента (Select Component, рис. А1.2), у якому необхідно вибрати компонент, натиснути кнопку ОК і вказати мишкою місце елемента на схемі. Після завершення вибору всіх компонентів необхідно натиснути кнопку Close. Розміщення компонентів також здійснюється за допомогою команди Place - Place Component.

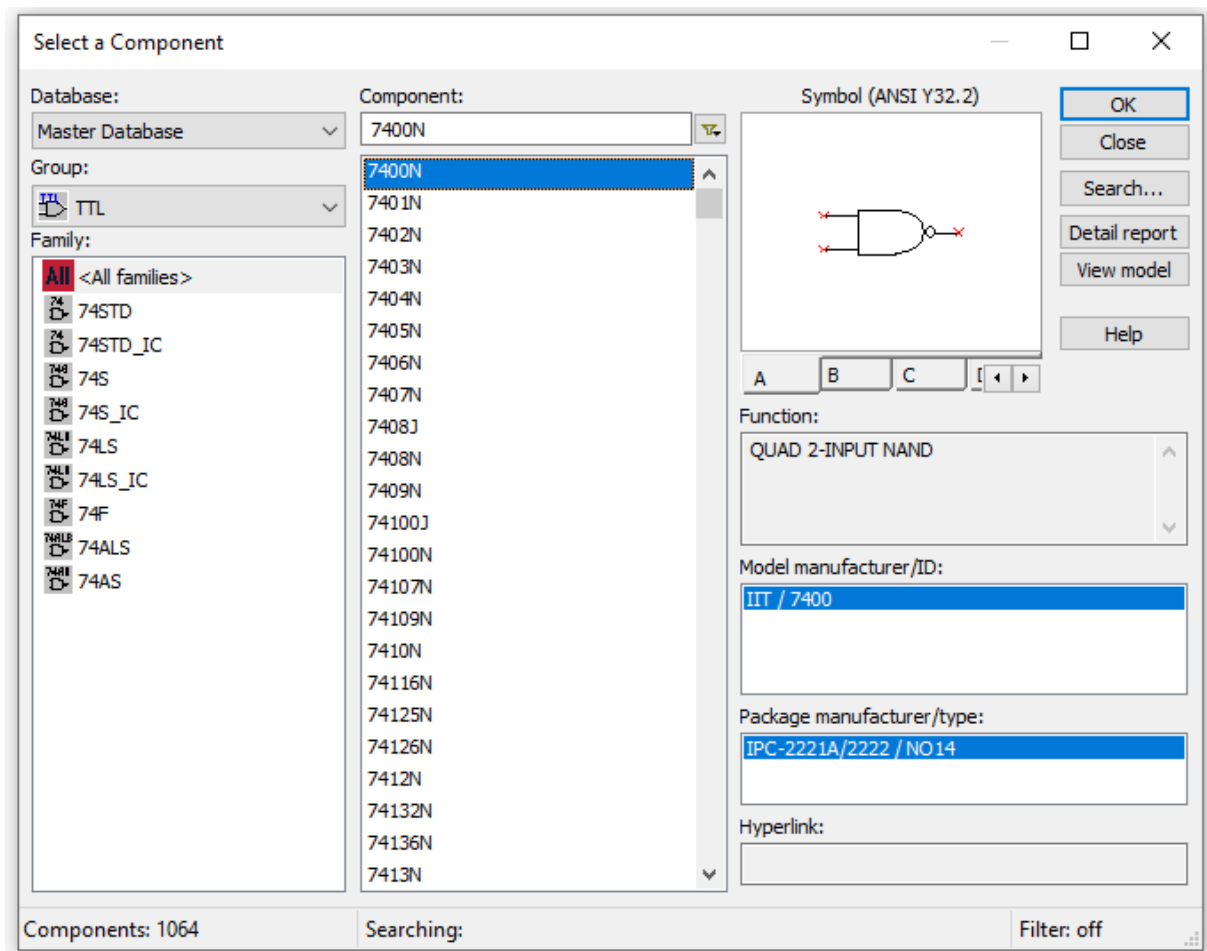


Рис. А1.2. Діалогове вікно Вибір компонента.

У базі даних Multisim містяться реальні і віртуальні схемотехнічні компоненти, які мають відмінності у моделях і у приєднанні до конструктивних параметрів, зокрема до

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 64

корпусів. Моделі віртуальних елементів не враховують часові затримки поширення сигналів, а моделі реальних елементів - враховують, що необхідно при проектуванні з метою наступної апаратно-програмної реалізації схеми. Реальний і віртуальний компоненти мають різне кольорне відображення в робочій області Circuit, реальний компонент відображається синім кольором, віртуальний – чорним.

2. Введення та зміна параметрів вибраних компонентів.

Подвійне клацання мишкою на компоненті у вікні редагування призводить до відображення вікна редагування властивостей компонента.

3. З'єднання компонентів схеми.

Після розміщення компонентів і встановлення параметрів здійснюється з'єднання їх виходів провідниками. Для виконання приєднання вказівник мишки підводиться до входу або виходу компонента і після появи точки вказівника з'єднання провідник проводиться між двома довільними точками мишею із натиснутою лівою кнопкою. Створення з'єднувача завершується клацанням мишки на вході другого елемента або подвійним клацанням за необхідності завершити з'єднувач в довільній точці схеми. За необхідності розірвання з'єднання необхідно виділити з'єднувач і видалити його.

4. Вмикання електричної схеми.

Вмикання електричної схеми здійснюється за допомогою піктограми перемикача 0/1 в правому верхньому куті діалогового вікна: 0 – живлення вимкнено; 1 – живлення увімкнено. Після вмикання живлення здійснюється емуляція роботи схеми, і на контрольно-вимірювальних приладах реєструються характеристики. Елементи переміщуються мишею або клавішами управління курсором. Поворот виділеного елемента на 90° здійснюється за допомогою відповідних команд контекстного меню.

З метою видалення елемента чи провідника слід виділити його, після чого натиснути DEL на клавіатурі. Для редагування використовуються стандартні комбінації Ctrl+C (копіювання в буфер), Ctrl+V (вставлення із буфера), Ctrl+X (переміщення в буфер).

Дослідження і синтез логічних схем проводиться за допомогою логічного перетворювача (Logic Converter).

Приклад 1.1. Дослідити елемент І-НЕ, побудувати таблицю істинності.

Розв'язання. Дослідження логічного елемента здійснюється за допомогою логічного перетворювача. На рис. А1.3 наведено приклад приєднання елемента І-НЕ до входів (А, В) і виходу (Out) логічного перетворювача.

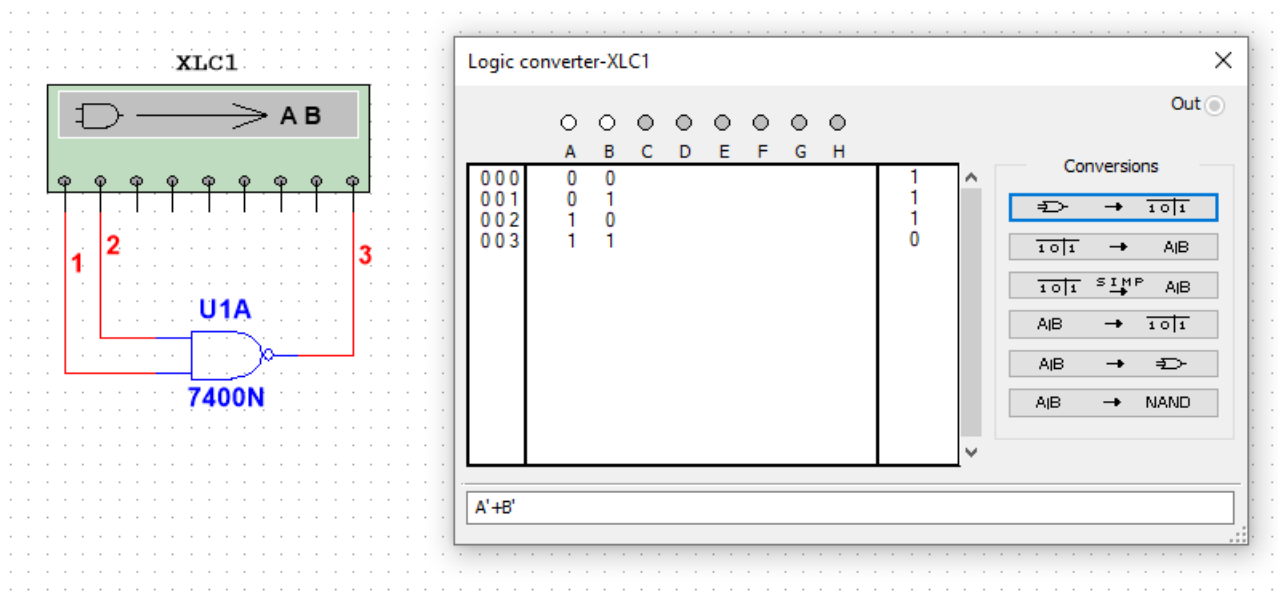
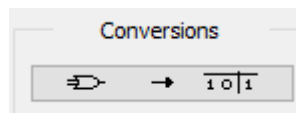


Рис. А1.3. Приєднання логічного елемента І-НЕ до логічного перетворювача.

За наявності двох входів можливі тільки чотири комбінації вхідних сигналів, що відображається у вигляді таблиці істинності, яка генерується після натискання кнопки.



Для отримання булевого виразу функціонування досліджуваного елемента чи схеми необхідно натиснути кнопку перетворення від таблиці істинності до булевого виразу.



Одержаний вираз відображається у додатковому рядку виведення, розташованому в нижній частині вікна перетворювача. У логічному виразі використовуються наступні позначення: A' — інверсія A, B' - інверсія B, знак + відповідає логічній операції АБО.

У загальному випадку для синтезу схеми виконують наступні дії: відкрити логічний перетворювач; активізувати мишкою клеми-кнопки А, В...Н (починаючи з А), кількість яких дорівнює кількості входів пристрою, який синтезується; внести необхідні зміни у стовпець Вихід (OUT); натиснути у вікні перетворювача кнопки перетворень. Результат відображається у вигляді схеми в робочій області, а булевий вираз - у вікні логічного перетворювача.

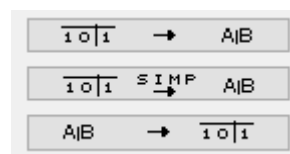
Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 66

Приклад 1.2. Побудувати за допомогою логічного перетворювача схему пристрою, функціонування якого задане таблицею істинності

A	B	Out
0	0	1
0	1	1
1	0	0
1	1	1

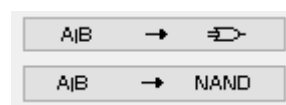
Розв'язання. Відкрити логічний перетворювач і виділити входи A, B. Для внесення необхідних змін у стовпець OUT курсором виділити символ, який треба змінити, і ввести за допомогою клавіатури або змінити його багаторазовим виділенням мишкою.

Після внесення всіх змін послідовно натиснути на кнопки наступної групи:



Перша кнопка дозволяє здійснити формування логічного виразу за таблицею істинності. Наступна кнопка дозволяє за таблицею істинності одержати логічний вираз і здійснити його спрощення. Третя кнопка здійснює побудову таблиці істинності за логічним виразом.

Кнопки



використовуються для побудови схем в інших базисах логічних елементів.

Одержана логічна схема наведена на рис. А1.4, а мінімізований логічний вираз - у полі редагування в нижній частині вікна перетворювача.

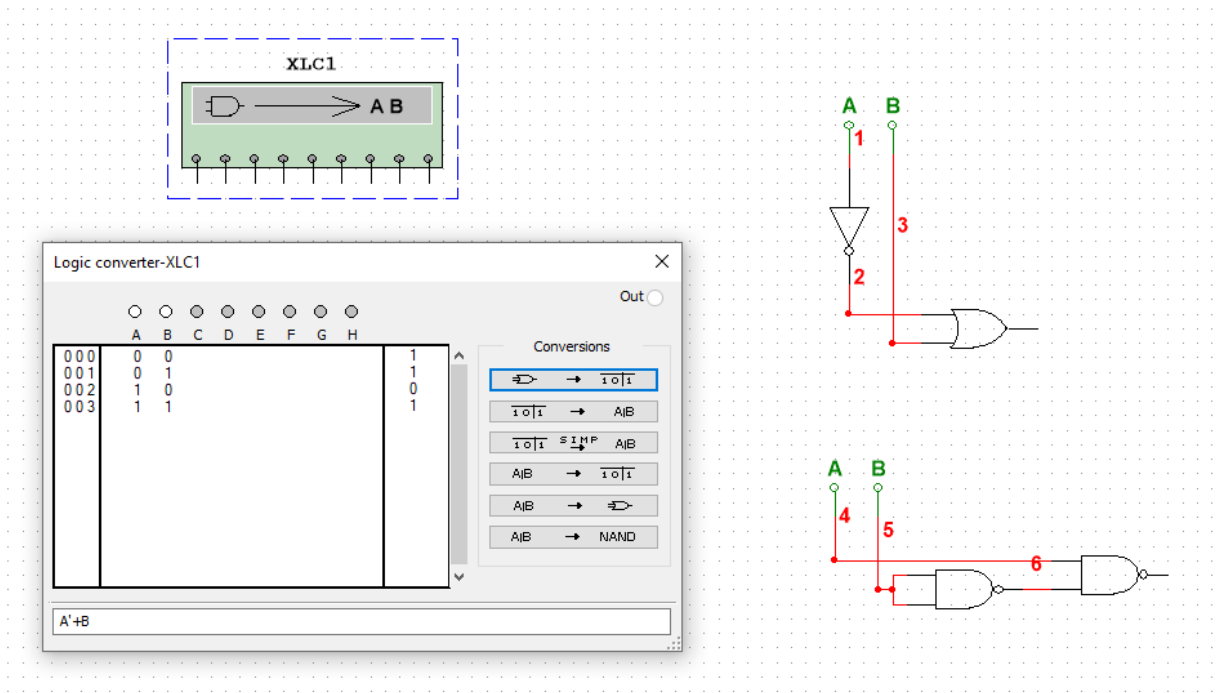


Рис. А1.4. Результат синтезу комбінаційної схеми за допомогою логічного перетворювача.

Подання на вхід схеми логічних рівнів та імпульсних послідовностей здійснюється за допомогою компонента генератор слів (Word Generator) із панелі приладів (рис.А1.5).

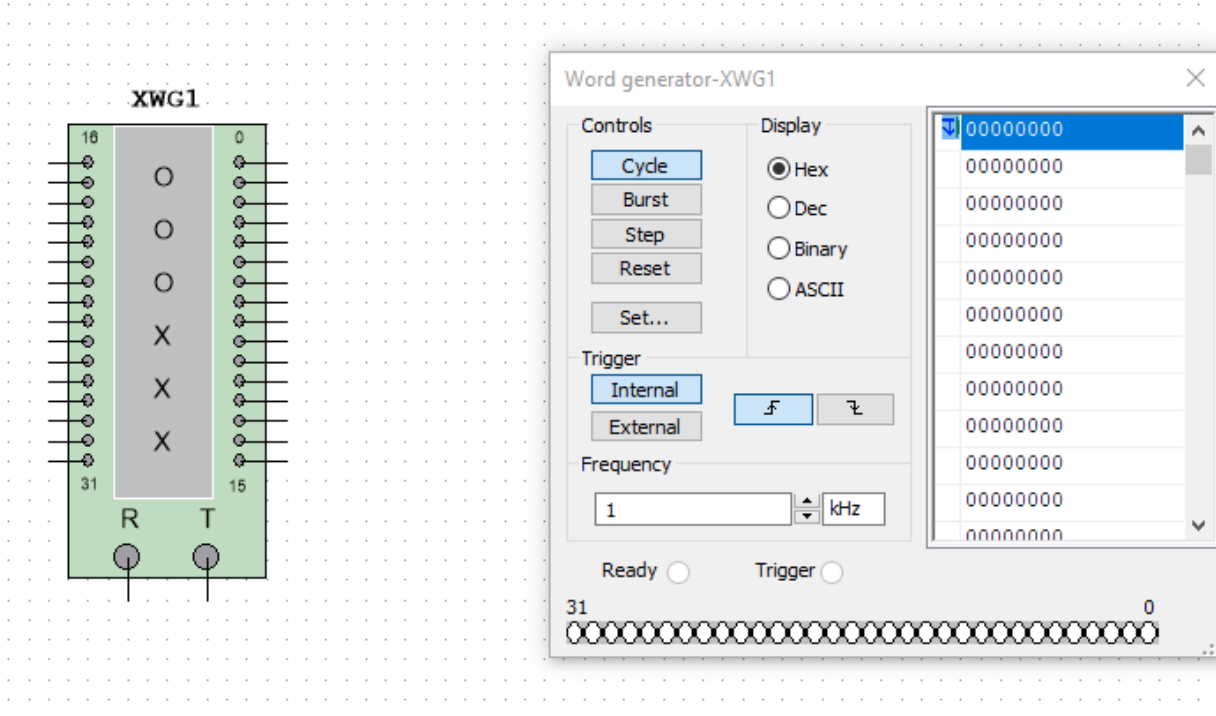


Рис А1.5. Генератор слів.

Програмування Генератора слів здійснюється у вертикальному полі редагування вхідних сигналів у шістнадцятковій системі (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, F) або у двійковій системі у полі редагування Binary. Кожний стовпець вертикального поля редагування відповідає одному розряду у шістнадцятковій системі або чотирьом розрядам двійкового коду.

Приклади програмування генератора слів та індикації вхідних слів за допомогою семисегментного індикатора а також програмування генератора слів, приєднання та дослідження роботи логічного елемента І наведено на рис. 6 – рис. 7 відповідно.

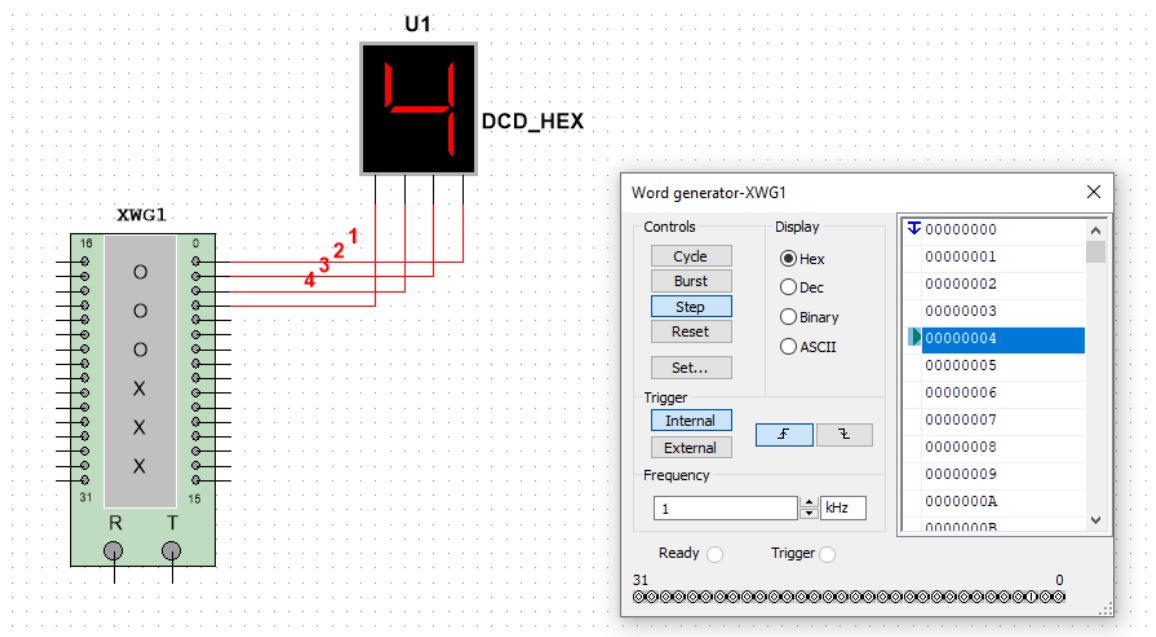


Рис.А1.6. Приклад програмування генератора та індикації слів на виходах

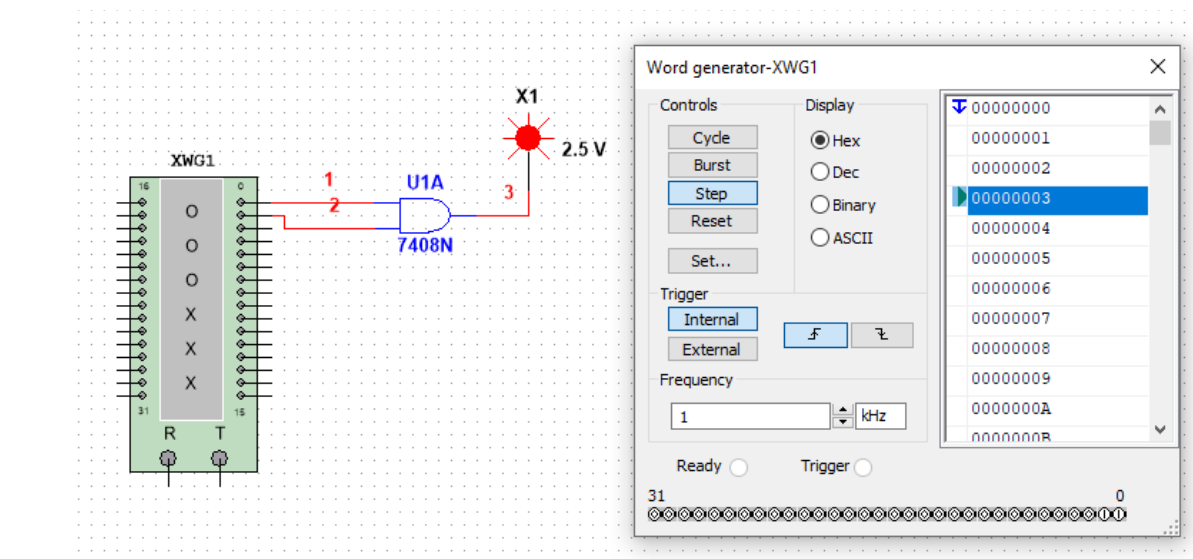


Рис А1.7. Приклад програмування генератора слів та приєднання логічного елемента.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 69

Автоматичне заповнення генерованих слів зростаючою послідовністю здійснюється командою Set...- Up counter, встановлення початкового і кінцевого слова циклу - за допомогою контекстного меню - Set initial position, Set final position.

Для відображення часових діаграм вхідних і вихідних сигналів компонентів і схем необхідно вибрати прилад Логічний аналізатор (Logic Analyser) і подвійним клацанням відкрити область побудови часових діаграм.

Для аналізу комбінаційної схеми та побудови часових діаграм її необхідно приєднати до цифрового генератора слів (Word Generator) і логічного аналізатора.

Приклад 1.3 Аналіз логічного елемента І.

Аналіз логічного елемента І (7408N) здійснюється за допомогою генератора слів і логічного аналізатора. Один із варіантів приєднання елемента до генератора слів, програмування генератора слів і побудова часових діаграм роботи логічного елемента за допомогою логічного аналізатора наведені на рис. А1.8.

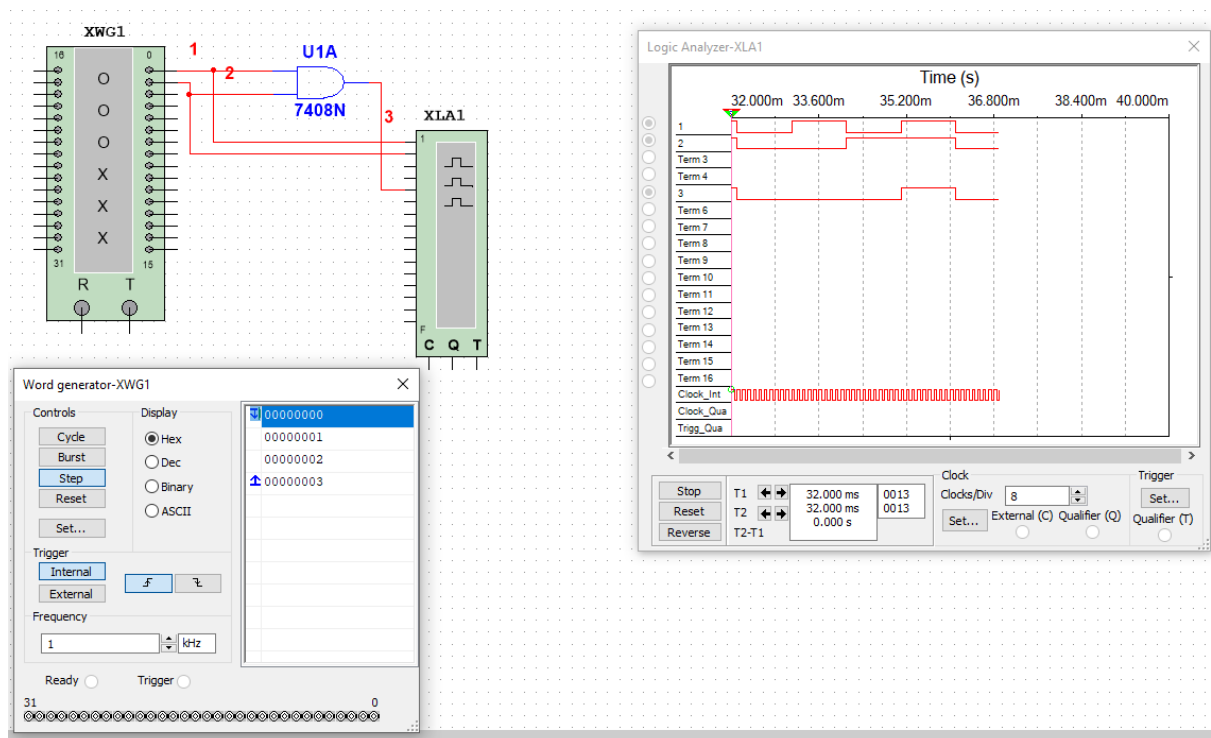


Рис. А1.8. Приклад побудови часових діаграм вхідних і вихідного сигналів логічного елемента І.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 70

Приклад 1.4. Аналіз функціональної схеми.

Варіант присднання та аналізу функціональної схеми пристрою до генератора слів та відображення рівнів сигналів на входах та виході за допомогою логічного аналізатора наведено на рис. А1.9.

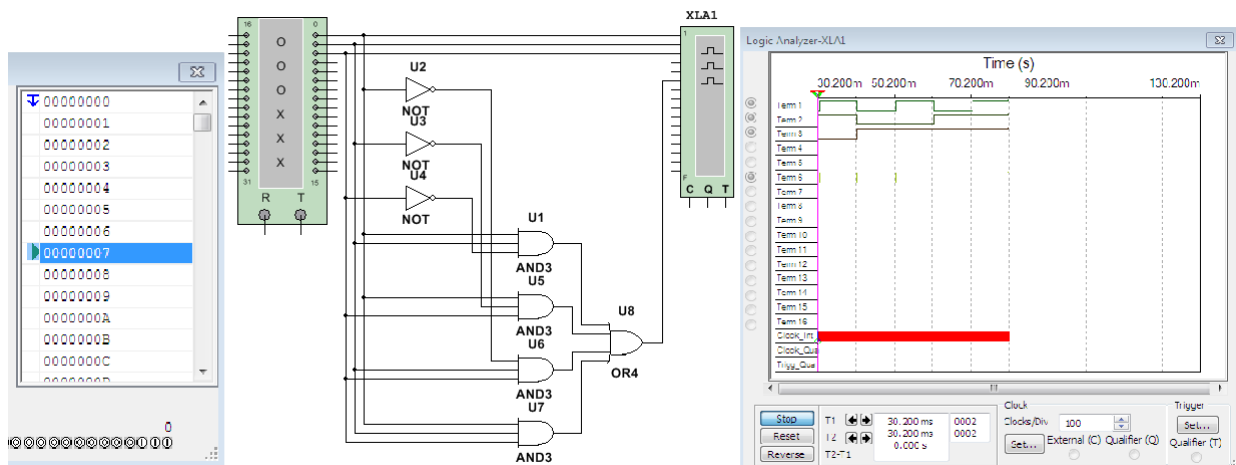


Рис. А1.9. Аналіз функціонування комбінаційної схеми.

Графіки, схеми і компоненти копіюються в буфер обміну як фрагмент області екрану (пункт меню Tools/Capture Screen Area) і можуть бути вставлені в інший додаток.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 71

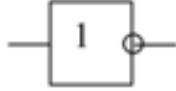



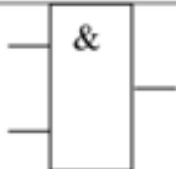



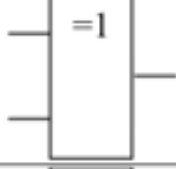





Додаток Б

Табл.Б1.

ПОЗНА- ЧЕННЯ	НАБІР АРГУМЕНТІВ				НАЗВА ЛОГІЧНОЇ ФУНКЦІЇ	ФУНКЦІЯ
	0 0	0 1	1 0	1 1		
f_1	0	0	0	0	Константа нуль	0
f_2	0	0	0	1	Кон'юнкція	$X_1 X_2$
f_3	0	0	1	0	Заборона X_2	$X_1 \bar{X}_2$
f_4	0	0	1	1	Повторення X_1	X_1
f_5	0	1	0	0	Заборона X_1	$\bar{X}_1 X_2$
f_6	0	1	0	1	Повторення X_2	X_2
f_7	0	1	1	0	Виключне АБО	$X_1 \oplus X_2 = X_1 \bar{X}_2 \vee \bar{X}_1 X_2$
f_8	0	1	1	1	Диз'юнкція	$X_1 \vee X_2$
f_9	1	0	0	0	Стрілка Пірса	$\overline{X_1 \vee X_2}$
f_{10}	1	0	0	1	Рівнозначність	$X_1 \sim X_2 = X_1 X_2 \vee \bar{X}_1 \bar{X}_2$
f_{11}	1	0	1	0	Інверсія X_2	\bar{X}_2
f_{12}	1	0	1	1	Імплікація від X_2 до X_1	$X_1 \vee \bar{X}_2$
f_{13}	1	1	0	0	Інверсія X_1	\bar{X}_1
f_{14}	1	1	0	1	Імплікація від X_1 до X_2	$\bar{X}_1 \vee X_2$
f_{15}	1	1	1	0	Штрих Шеффера	$\overline{X_1 X_2}$
f_{16}	1	1	1	1	Константа одиниця	1

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 72

Табл.Б2.

Назва логічного елемента	Позначення		Логічна функція	Назва в розділі Standard Gates
	ГОСТ	ANSI		
НЕ (інвертор)			$X \begin{array}{ c} 1 \\ \hline \end{array} Y$ $Y = \bar{X}$	Inverters
буферний елемент			$X \begin{array}{ c} 1 \\ \hline \end{array} Y$ $Y = X$	Buffers
І			$X \begin{array}{ c} \& \\ \hline \end{array} Z$ $Z = X \wedge Y$	And Gates
АБО			$X \begin{array}{ c} 1 \\ \hline \end{array} Z$ $Z = X \vee Y$	Or Gates
ВИКЛЮЧНЕ АБО			$X \begin{array}{ c} =1 \\ \hline \end{array} Z$ $Z = X \oplus Y$	Xor Gates
І-НЕ			$X \begin{array}{ c} \& \\ \hline \end{array} Z$ $Z = \overline{X \wedge Y}$	Nand Gates
АБО-НЕ			$X \begin{array}{ c} 1 \\ \hline \end{array} Z$ $Z = \overline{X \vee Y}$	Nor Gates

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 73

ДОДАТОК В

ПАРАМЕТРИ І ХАРАКТЕРИСТИКИ ЛОГІЧНИХ ЕЛЕМЕНТІВ СЕРІЙ СИСТЕМИ ТТЛ/ТТЛШ

У додатку приведені технічні дані на мікросхеми елементів, що можуть бути використані при рішенні завдань контрольної роботи. Мікросхеми узяті з найбільш розповсюджених серій **155 (К155, КМ155), К531, 555 (К555, КМ555), КР1531 та КР1533**. Цоколювка мікросхем в усіх серіях однакова.

Інвертори - елементи, що виконують логічну операцію **НІ**. В усіх зазначених серіях **ІМС** є мікросхема **ЛН1**, в якій мається набір з 6 інверторів. Її умовне зображення наведено на рисунку В1.1, типові параметри - в таблиці В1.1. Аналогічні параметри мають і більшість інших мікросхем, що наведені в подальшому.

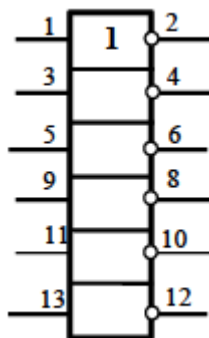


Рис. В1.1

Таблиця В1.1

Параметр	155	Серія	
		я	555
Час затримки поширення сигналу $t_{\text{зпр}}$, нс	22	5	15
Вихідний струм $I_{\text{вих}}$, мА	16	20	8
Максимальний струм споживання $I_{\text{сп}}^*$, мА	11	2,2	18

Примітка. * - струм від джерела живлення, що споживається одним інвертором у стані напруги «0» на виході. При $U_{\text{вих}} = «1»$ струм споживання зменшується приблизно в 2,2 рази.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідас ДСТУ ISO 9001:2015	Ф-20.09- 05.02/2/152.00.1Б/ОК14- 2020
	Екземпляр № 1	Арк 74 / 74

Елемент Шеффера - елемент, що виконує логічну операцію **I-НІ**. Він є базовим для всіх серій системи **ТТЛ/ТТЛШ**. В межах серії вони відрізняються по числу входів. Їх цоколювка показана на рисунку В1.2.

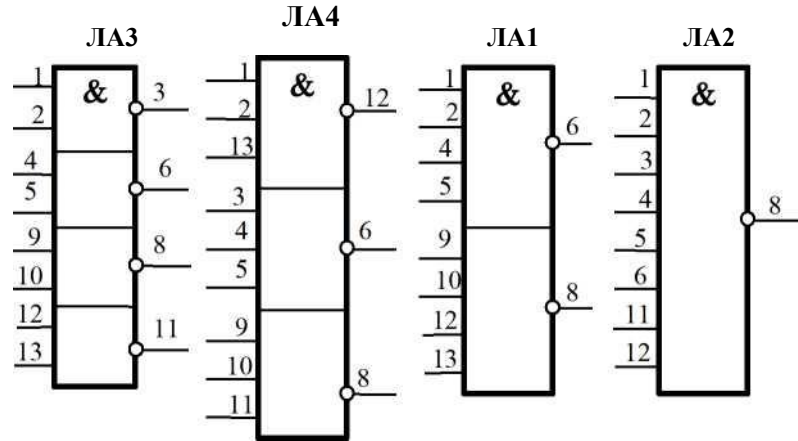


Рис. В1.2

Цоколювка **ІМС**, що виконують логічну операцію **I-АБО- НІ**, представлена на рисунку В1.3. В мікросхемах **ЛР1**, **ЛР3** і **ЛР4** елемент **АБО** має виходи колектора і емітера. Їх використовують для нарощування (розширення) числа входів. Для цього з'єднують ідентичні виводи декількох мікросхем.

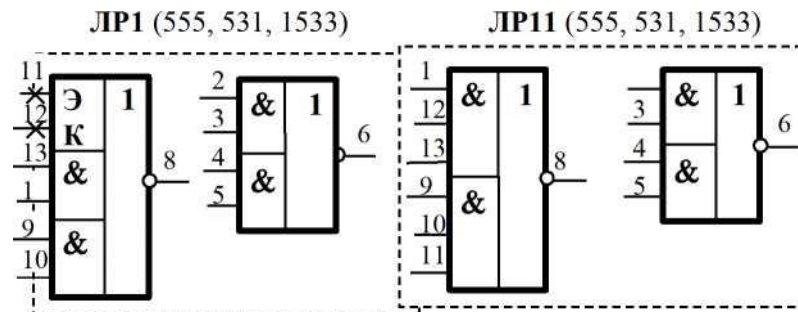
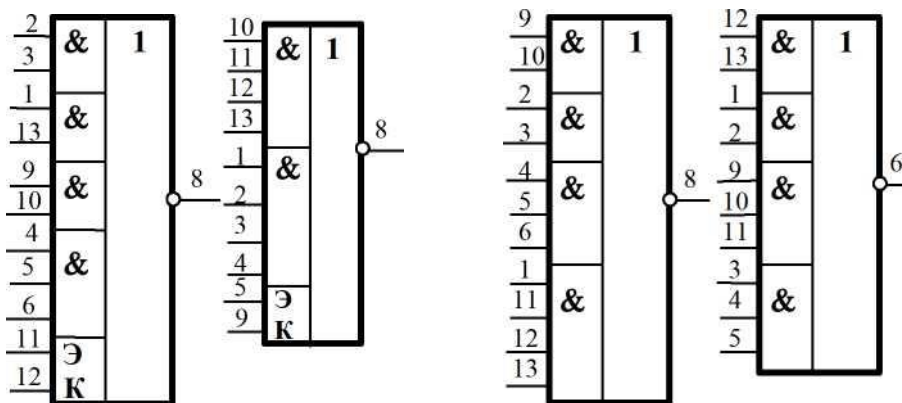


Рис. В1.3,а



ЛР3 (155, 555) ЛР4 (155, 555) ЛР9(10) (531) ЛР13 (555, 1533)

Рис. В1.3,б