

## Лекція 8

### ОРГАНІЗАЦІЯ ЦИФРОВИХ СИГНАЛЬНИХ ПРОЦЕСОРІВ

Приклад (порядок) обчислення ШПФ у РРЧ.

1. Припустимо, що час виконання 1024-точкового алгоритму ШПФ за основою 2 дорівнює 69 мкс (процесор типу TigerSHARC, 32-розрядний режим).
2. Визначаємо максимальну частоту дискретизації:

$$f_s (\text{maxitum}) < 1024 \text{ відліків} / 69 \text{ мкс} = 14,8 \text{ MSPS.}$$

3. Визначаємо ширину смуги вхідного сигналу, для даного прикладу менша 7,4 МГц.
4. При розрахунку не приймалися до уваги додаткові операції, пов'язані з реалізацією ШПФ і передачею вхідних/вихідних даних

Порядок реалізації ШПФ у РМЧ такий. Визначаються такі показники:

- ширина смуги сигналу;
- частота дискретизації,  $f_s$
- кількість точок ШПФ,  $N$ ;
- роздільна здатність за частотою,  $(f_s/N)$ ;
- максимальний час обчислення  $N$ -точкового ШПФ,  $(N/f_s)$ ;
- тип процесора (фіксована чи рухома крапка);
- час виконання алгоритму ШПФ за основою 2 у порівнянні з ШПФ за основою 4;
- виграш ШПФ у відношенні сигнал/шум,  $[ 10 \log_{10} (N/2) ]$ ;
- вимоги зважування з використанням віконної функції.

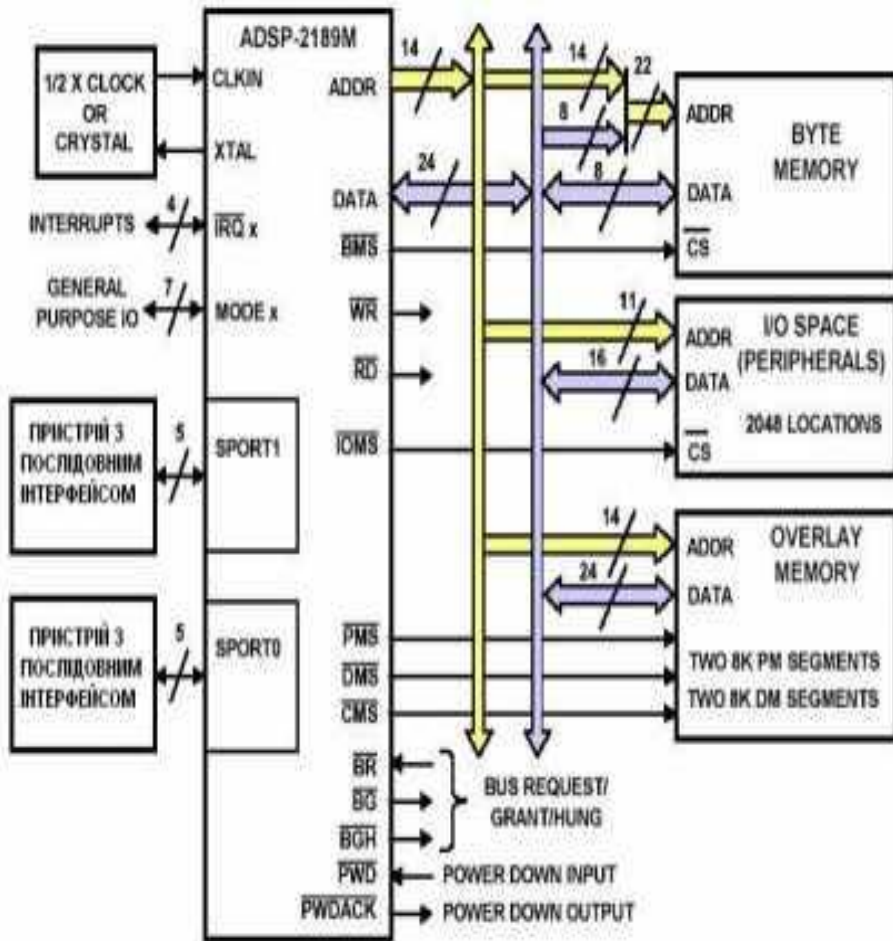


Рис. 8.1 Типова схема взаємодії процесора ADSP-2189M з зовнішніми вузлами.

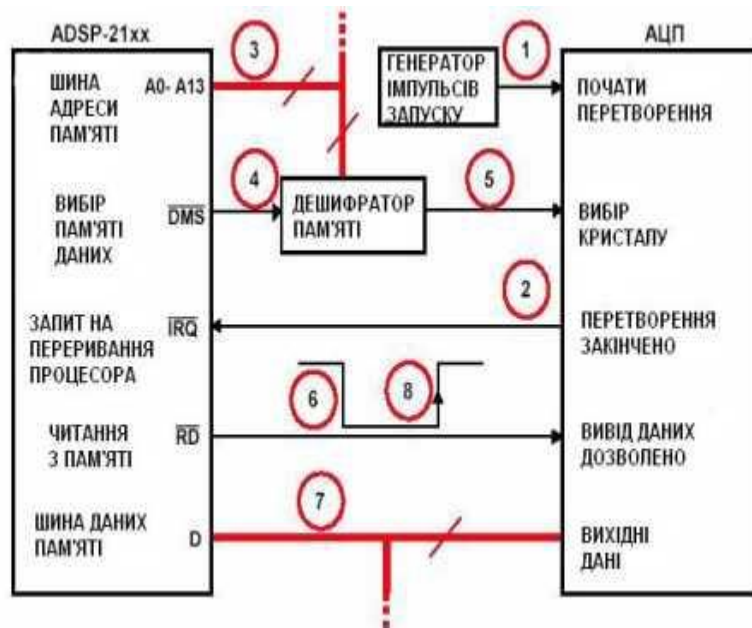
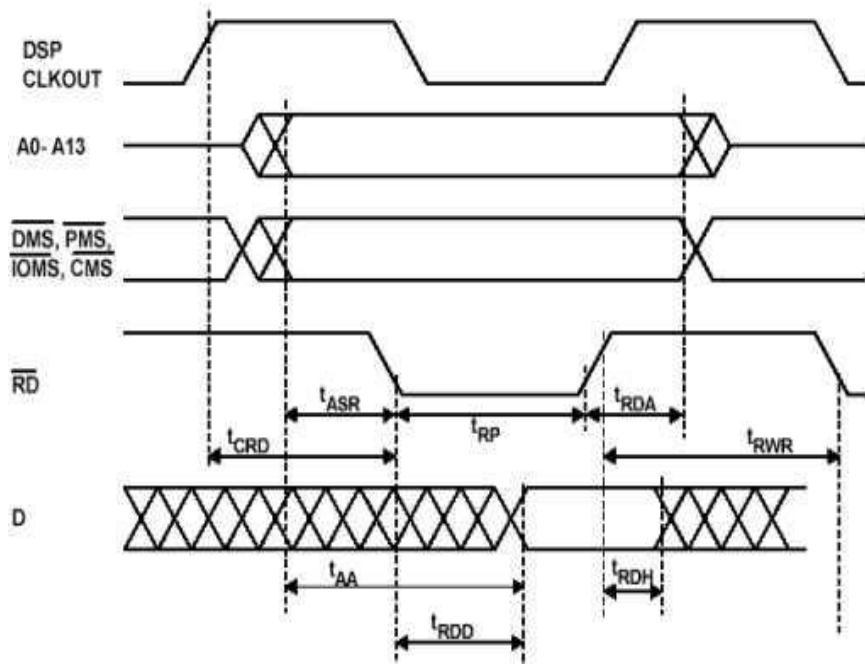


Рис.8.2. Блок-схема типового паралельного інтерфейсу ЦСП.



$t_{CK}$  - період тактового сигналу процесора;  $t_{ASR}$  - час установки процесором адреси і сигналу вибору пам'яті до спадаючого (переднього) фронту сигналу читання =  $0.25t_{CK}$ ;  $t_{RDD}$  - час від спадаючого (переднього) фронту сигналу читання до моменту достовірної установки даних -  $0.5 \cdot t_{CK} + (\text{число циклів очікування}) \times t_{CK}$  (максимум);  $t_{RDH}$  - час утримання даних після висхідного (заднього) фронту сигналу читання;  $t_{RP}$  - тривалість імпульсу сигналу читання =  $0.5 \cdot t_{CK} + (\text{число циклів очікування}) \times t_{CK}$  (мінімум).

Рис. 8.3. Часова діаграма циклу читання для процесорів сімейства ADSP-21xx

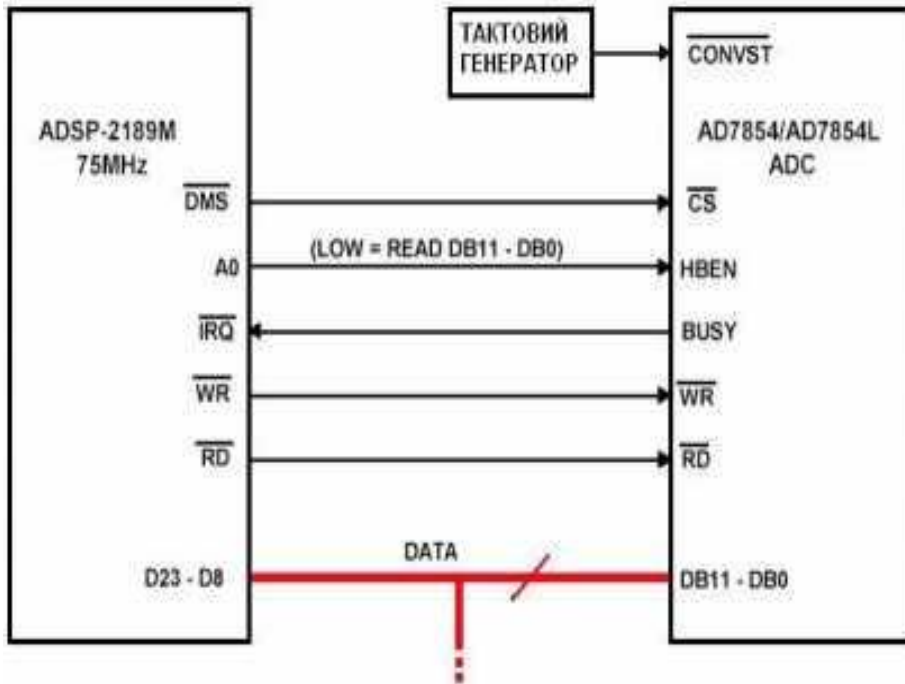


Рис. 8.4. Схема інтерфейсу між АЦП (типу AD7854/AD7854L) і ЦСП

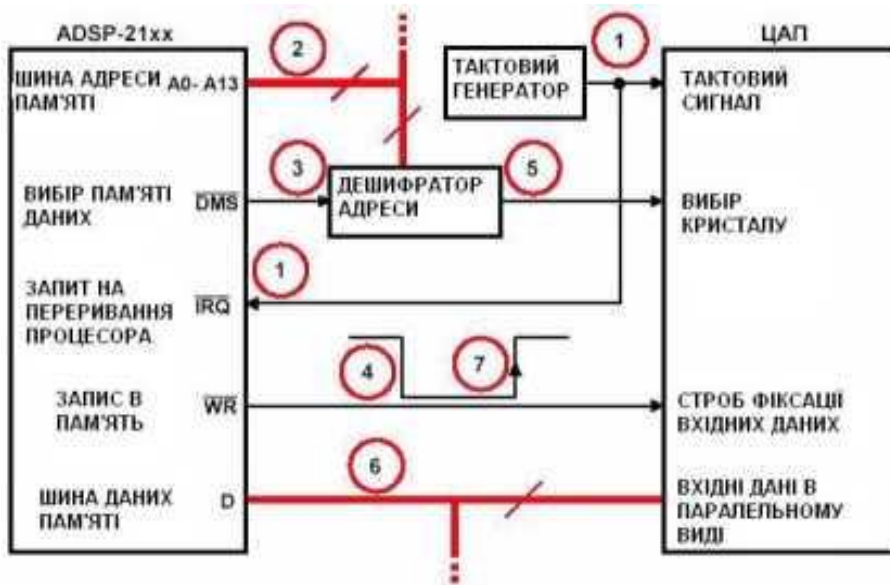
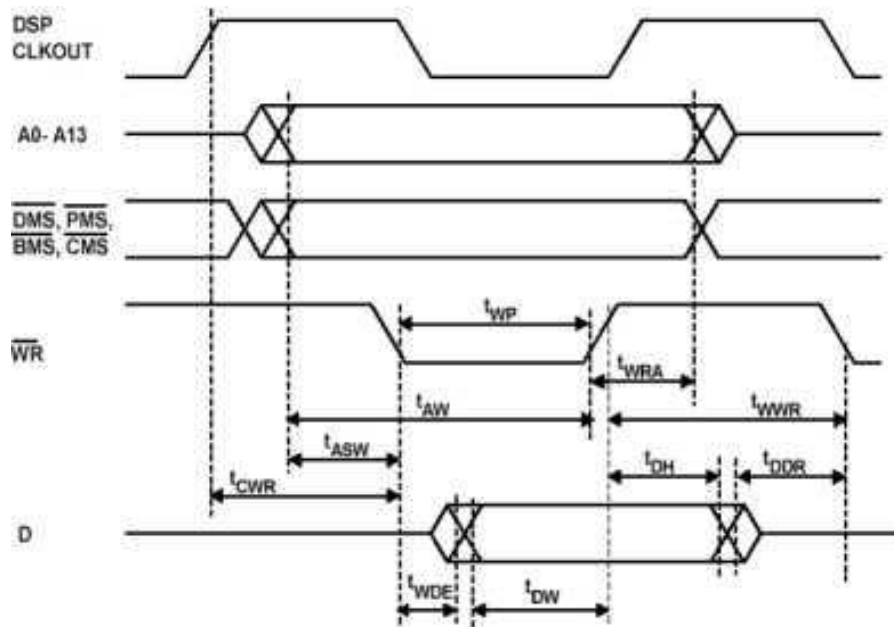


Рис. 8.5. Схема інтерфейсу між ЦСП і ЦАП



$t_{CK}$  - період тактового сигналу процесора;  $t_{ASW}$  - час установки процесором адреси і сигналу вибору пам'яті до спадаючого фронту сигналу запису -  $0.25 \cdot t_{CK}$ ;  $t_{DW}$  - час від моменту установки даних до висхідного фронту сигналу запису -  $0.5 \cdot t_{CK} +$  (число циклів очікування)  $\times t_{CK}$ ;  $t_{DH}$  - час затримки даних після висхідного фронту сигналу запису -  $0.25 \cdot t_{CK}$ ;  $t_{WP}$  - тривалість імпульсу сигналу запису  $WR$  -  $0.5 \cdot t_{CK} +$  (число циклів очікування)  $\times t_{CK}$  (мінімум).

Рис. 8.6. Часова діаграма циклу запису в пам'ять

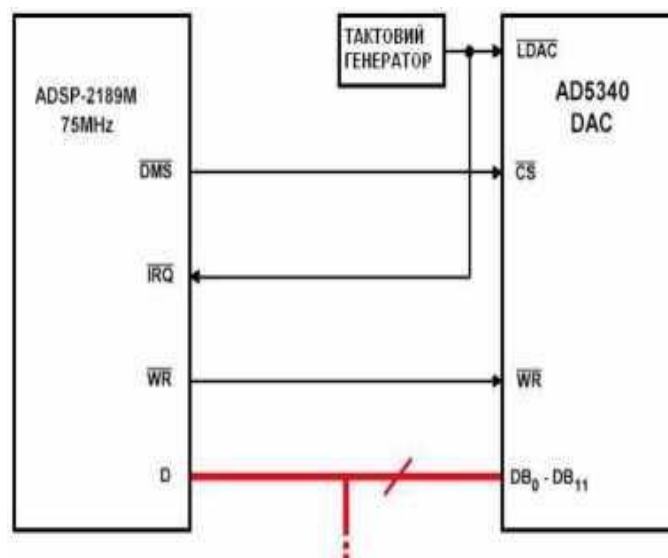


Рис. 8.7. Схема інтерфейсу між АБ8Р-2189М і ЦАП АБ5340



Рис. 8.8. Структурна схема послідовного порту процесора сімейства ADSP-21xx

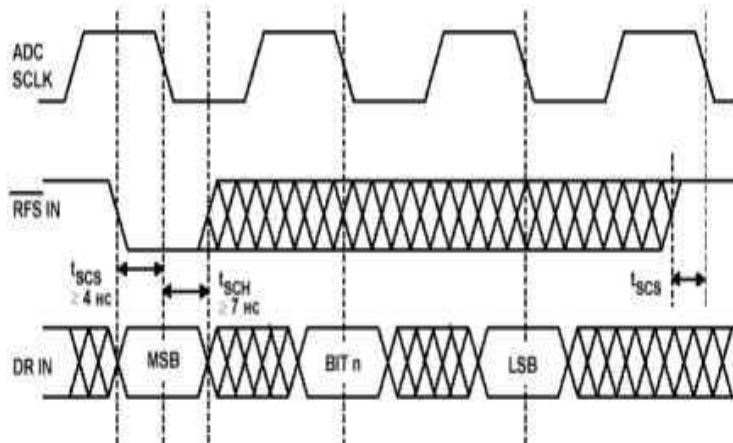


Рис. 8.9. Часові діаграми роботи послідовного порту процесора ADSP-2189M

Часова діаграма запису в пам'ять процесора наведена на рис. 8.10.

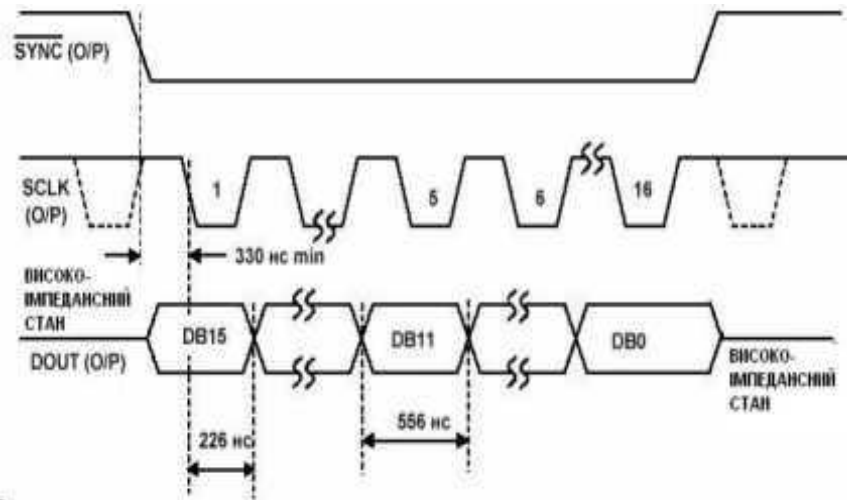


Рис. 8.10. Часова діаграма запису в пам'ять процесора ADSP-2189M

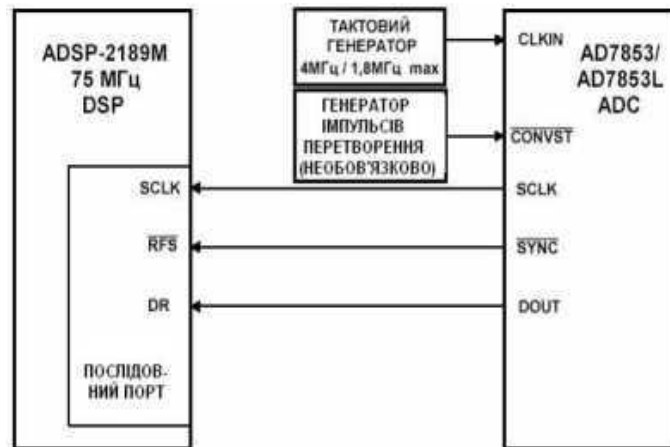


Рис. 8.11. Схема послідовного інтерфейсу між АЦП AD7853/AD7853E і ADSP-2189M

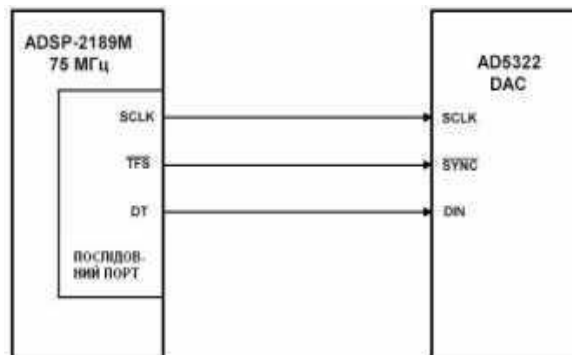


Рис. 8.12 Схема інтерфейсу між процесором ADSP-2189M і ЦАП AD5322

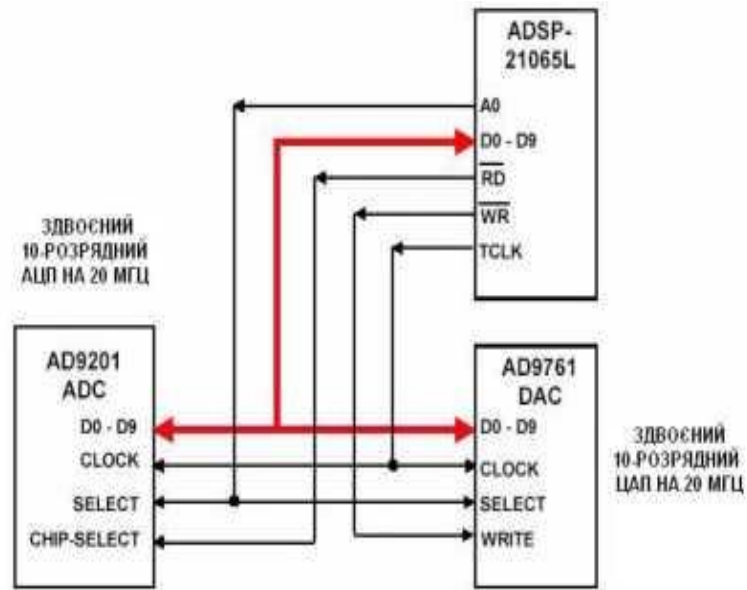


Рис. 8.13. Схема інтерфейсу між АЦП AD9201, ЦАП AD9761 і процесором ADSP-21065L.

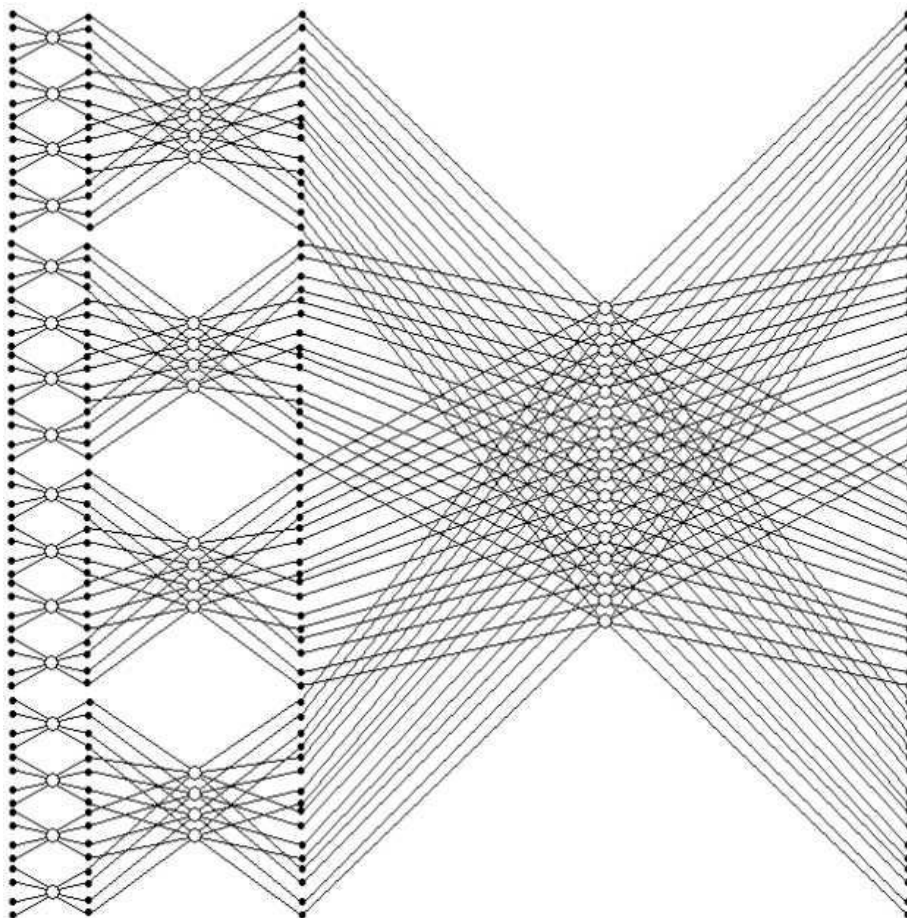


Рис. 8.14. Граф 64-точкового ШПФ за основою 4 з прорідженням за часом



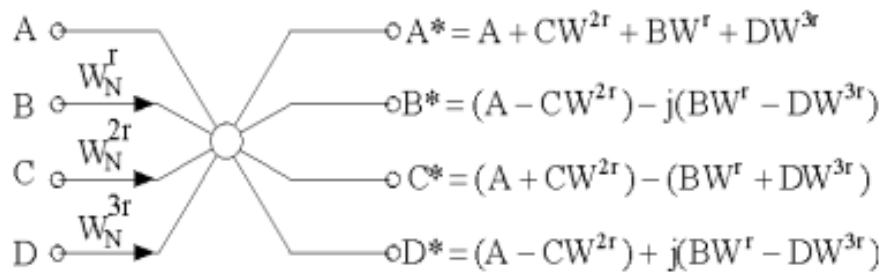


Рис. 8.15. Граф базової операції (метелик) алгоритму ШПФ з прорідженням за часом.



Рис. 8.16. Граф базової операції (метелик) алгоритму ШПФ з прорідженням за частотою

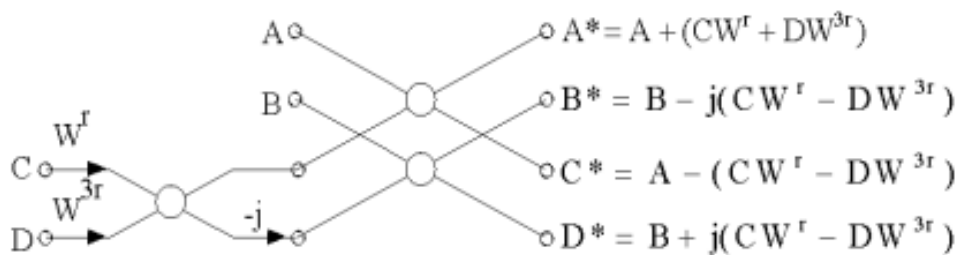


Рис. 8.17. Граф базової операції (метелик) алгоритму ШПФ за основою 2-4 з прорідженням за часом.

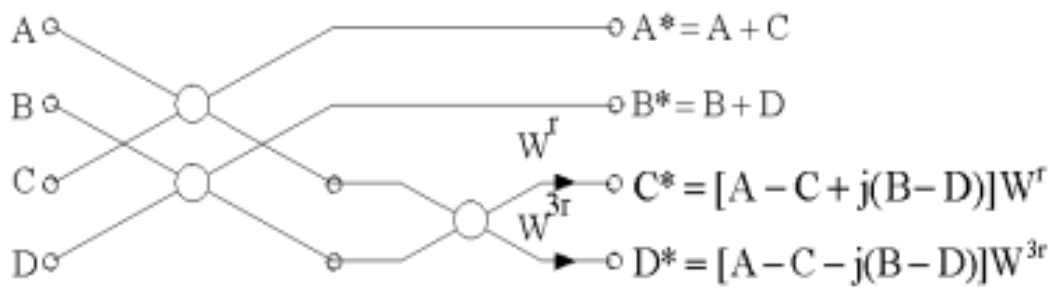


Рис. 8.18. Граф базової операції (метелик) алгоритму ШПФ за основою 2-4 з прорідженням за частотою.

$$0 \rightarrow 0,1 \rightarrow 4,2 \rightarrow 2,3 \rightarrow 6,4 \rightarrow 1,5 \rightarrow 5,6 \rightarrow 3,7 \rightarrow 7$$

Тип процесора ADSP-21060

Кількість точок 256

Основа ШПФ 4

Прорідження часове

Розрядність вхідних даних 32

Такт поступлення вхідних даних 20 нс

Час опрацювання 0,5 мс

Алгоритм базової операції ШПФ за основою 4 і проріджуванням за часом (див. рис. 9.2) можна представити так:

$$A'_1 = A_1 + A_2W_1 + A_3W_2 + A_4W_3 = (A_1 + A_3W_2) + (A_2W_1 + A_4W_3),$$

$$A'_2 = A_1 \pm jA_2W_1 - A_3W_2 \pm A_4W_3 = (A_1 - A_3W_2) \pm j(A_2W_1 - A_4W_3),$$

$$A'_3 = A_1 - A_2W_1 + A_3W_2 - A_4W_3 = (A_1 + A_3W_2) - (A_2W_1 + A_4W_3),$$

$$A'_4 = A_1 \pm jA_2W_1 - A_3W_2 \pm A_4W_3 = (A_1 - A_3W_2) \pm j(A_2W_1 - A_4W_3),$$

де  $A'_1, A'_2, A'_3, A'_4$  - результати базової операції;  $A_1, A_2, A_3, A_4$  - вхідні відліки;  $W_1, W_2, W_3$  - комплексні коефіцієнти;  $j$  - уявна одиниця, верхній знак перед  $j$  відповідає прямому, нижній - оберненому ШПФ.

$$ReA'_1 = [ReA_1 + (ReA_2 * ReW_2 - ImA_3 * ImW_2)] + [(ReA_2 * ReW_1 - ImA_2 * ImW_1) + (ReA_4 * ReW_3 - ImA_4 * ImW_3)],$$

$$ImA'_1 = [ImA_1 + (ReA_3 * ImW_2 + ImA_3 * ReW_2)] + [(ReA_2 * ImW_1 + ImA_2 * ReW_1) + (ReA_4 * ImW_3 + ImA_4 * ReW_3)],$$

$$ReA'_2 = [ReA_1 - (ReA_3 * ReW_2 - ImA_3 * ImW_2)] \pm [(ReA_2 * ImW_1 + ImA_2 * ReW_1) - (ReA_4 * ImW_3 + ImA_4 * ReW_3)],$$

$$ImA'_2 = [ImA_1 - (ReA_3 * ImW_2 + ImA_3 * ReW_2)] \mp [(ReA_2 * ReW_1 - ImA_2 * ImW_1) - (ReA_4 * ReW_3 - ImA_4 * ImW_3)],$$

$$ReA'_3 = [ReA_1 + (ReA_3 * ReW_2 - ImA_3 * ImW_2)] - [(ReA_2 * ReW_1 - ImA_2 * ImW_1) + (ReA_4 * ReW_3 - ImA_4 * ImW_3)],$$

$$ImA'_3 = [ImA_1 + (ReA_3 * ImW_2 + ImA_3 * ReW_2)] - [(ReA_2 * ImW_1 + ImA_2 * ReW_1) + (ReA_4 * ImW_3 + ImA_4 * ReW_3)],$$

---

$$ReA'_4 = [ReA_1 - (ReA_3 * ReW_2 - ImA_3 * ImW_2)] \mp [(ReA_2 * ImW_1 + ImA_2 * ReW_1) - (ReA_4 * ReW_3 - ImA_4 * ReW_3)],$$

$$ImA'_4 = [ImA_1 - (ReA_3 * ImW_2 + ImA_3 * ReW_2)] \pm [(ReA_2 * ReW_1 - ImA_2 * ImW_1) - (ReA_4 * ReW_3 - ImA_4 * ImW_3)].$$

Табл. 8.1. Порядок проходження відліків в ярусах

I	II	III	IV
0	0	0	0
64	16	4	1
128	32	8	2
192	48	12	3
1	1	1	4
65	17	5	5
129	33	9	6
193	49	13	7
...			
62	206	242	248
126	222	246	249
190	238	250	250
254	254	254	251
63	207	243	252
127	223	247	253
191	239	251	254
255	255	255	255

Розрахунок основних параметрів.

Частота роботи процесора:  $f = 40 \text{ МГц}$ , звідси цикл виконання команди:

$$T_{\text{вк}} = \frac{1}{f} = \frac{1}{40} \cdot 10^{-6} = 0,025 \cdot 10^{-6} = 25 \cdot 10^{-6} = 25(\text{нс})$$

Визначимо кількість “метеликів”, де

- $base$  – основа базової операції “метелик”,  $base=4$ ;
- $N$  – кількість точок вхідного перетворення,  $N=256$ ;
- $N_{\text{ет}} = \log_{base} N$  – кількість етапів перетворення;
- $N_{\text{на1ет}} = N / base$  – кількість базових операцій “метелик” на одному етапі;
- $N_{\text{заг}} = \frac{N}{base} \cdot \log_{base} N$  – кількість базових операцій у всьому перетворенні.

$$N_{em} = \log_{base} N = \log_4 256 = 4,$$

$$N_{на\ 1\ em} = N / base = 256 / 4 = 64,$$

$$N_{заг} = \frac{N}{base} \cdot \log_{base} N = \frac{256}{4} \cdot \log_4 256 = 64 \cdot 4 = 256$$

Для виконання базової операції “метелик” необхідно:

- 12 операцій множення;
- 22 операцій додавання;
- 14 операцій читання з пам'яті:
  - 4\*2=8 (операцій для читання дійсної та уявної частини вхідних відліків);
  - 3\*2=6 (операцій для читання дійсної та уявної частини комплексних коефіцієнтів);
- 8 операцій запису:
  - 4\*2=8 (операцій для запису дійсної та уявної частини вхідних відліків).

В результаті на одну базову операцію алгоритму, який розглядаємо, припадає 56 операцій:  $N_{на\ 1\ мет} = 56$  (оп).

Тривалість виконання обчислення ШПФ:

$$\begin{aligned} T_{заг\ ШПФ} &= N_{заг} \cdot N_{на\ 1\ мет} \cdot T_{вк} = 256 \cdot 56 \cdot 25 \cdot 10^{-9} = \\ &= 358400 \cdot 10^{-9} = 0,3584 \cdot 10^{-3} = 0,3584 \text{ мс} \end{aligned}$$

Тривалість надходження даних у процесор для обробки:

$T_{на\ 1\ мет} = 20$ нс - такт надходження даних.

Тривалість надходження даних у процесор та тривалість обчислення ШПФ описуються таким виразом:

$$T = T_{заг.\ на\ вх} + T_{заг\ ШПФ} = 0,3584 + 0,00512 = 0,36352 \text{ мс}$$

Ця величина менша за заданий час обробки:  $T < 0,5$  мс, тобто для виконання обчислення достатньо одного процесора. Часові параметри роботи процесора наведені на рис.8.19.



Рис. 8.19. Часові параметри роботи процесора