

ПОРТИ ВВЕДЕННЯ/ВИВЕДЕННЯ

1 Призначення та місце пристроїв введення/виведення даних у мікропроцесорних системах

При розгляді зв'язків між окремими частинами мікропроцесорної системи (МПС) використовують поняття інтерфейс, що є границею між кількома пристроями, наприклад, між мікропроцесором/мікроконтролером (МП/МК) та зовнішнім пристроєм (ЗВПР) .

Під інтерфейсом розуміють сукупність уніфікованих технічних і програмних засобів, необхідних для підключення пристроїв до системи чи однієї системи до іншої. Серед інших властивостей інтерфейсу можна відзначити розв'язування задач синхронізації, вибору напрямку передачі даних, а інколи приведення у відповідність рівнів чи форм сигналів.

У даному розділі розглядаються інтерфейси AVR-мікроконтролерів.

Як видно з приведеного вище визначення інтерфейсу, його основною частиною є технічні (апаратні) засоби, що забезпечують зв'язок МК-ра та ЗВПР. Ці засоби у мікропроцесорній техніці часто називають «модулем введення/виведення». Основу цього модуля складають порти введення/виведення інформації, виконані на основі регістрів. Крім наявності необхідних апаратних засобів модуль введення/виведення повинен бути програмовуваним, тобто мати відповідні регістри для запису керуючих слів і регістри, які відображають стан інтерфейсу.

Сучасні МП-ри та МК-ри мають команди обміну даними з необхідною периферією. Введення (читання, прийом) відповідає потоку даних від ЗВПР в МП-р (МК-р), а виведення (запис, передача) – потоку даних із МП-ра (МК-ра) до ЗВПР.

2 Паралельне та послідовне введення/виведення

Існує два способи обміну даними між ЗВПР і МПС:

- паралельний, коли одночасно передаються всі біти або декілька біт слова даних;
- послідовний, коли біти слова даних пересилаються по черзі, починаючи, наприклад, з його молодшого розряду.

ЗВПР зв'язується з МПС лініями зв'язку, довжина яких при паралельному обміні обмежена і складає кілька метрів.

При послідовному обміні даними обмежень на довжину ліній зв'язку не накладається. Ця обставина, а також бажання використовувати для дистанційного обміну інформацією між ЗВПР і МПС існуючі канали зв'язку (КЗ), обумовили широке поширення послідовного обміну даними між ЗВПР і МПС чи між декількома МПС.

Обмін інформацією в МП-рі або МК-рі здійснюється в паралельній формі. Тому при послідовному обміні даними необхідно: при передачі даних від МПС до ЗВПР - перетворити дані з паралельної форми в послідовну, а при прийомі інформації від ЗВПР та введенні її у МПС – перетворити з послідовної форми в паралельну.

Для перетворення даних з паралельної форми в послідовну, інформація завантажується у регістр зсуву. Вміст регістра зсуву послідовно зсувається на один розряд при надходженні кожного тактового імпульсу від генератора тактових імпульсів (ГТІ).

Дані на виході такого регістра будуть мати послідовну форму. Часто при послідовній передачі в канал зв'язку (КЗ) першим передається молодший біт слова даних (МЗР), останнім – старший біт (СЗР). Процес перетворення даних з паралельної форми в послідовну показаний на рисунку 1.

8-й паралельний двійковий код

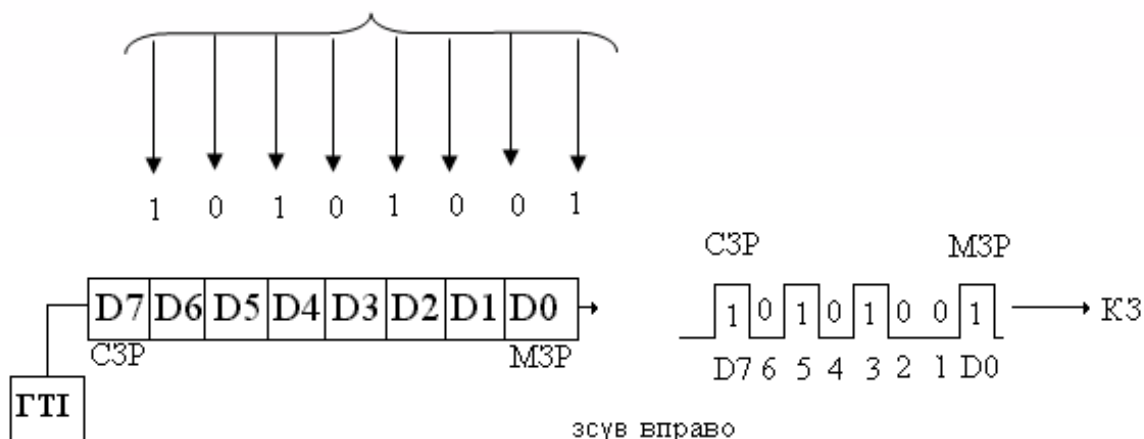


Рисунок 1 - Перетворення даних з паралельної форми в послідовну

Для зворотного перетворення даних з послідовної форми в паралельну необхідно виконати дії, зворотні відносно описаного. Дані, що надходять з каналу зв'язку в послідовній формі, вводяться біт за бітом у регістр зсуву. Після заповнення регістра зсуву інформація з нього в паралельній формі передається у МП-р.

Подібні перетворення виконуються в МК-рі при обміні даними через його послідовний порт (рисунок 1.2).

3 Порти введення/виведення AVR-мікроконтролерів

3.1 Загальні відомості

Як і будь-які інші мікроконтролери, мікроконтролери сімейства AVR мають порти введення/виведення. Кожен порт складається з певного числа виводів, через які мікроконтролер може приймати або передавати цифрові сигнали [1, 2].

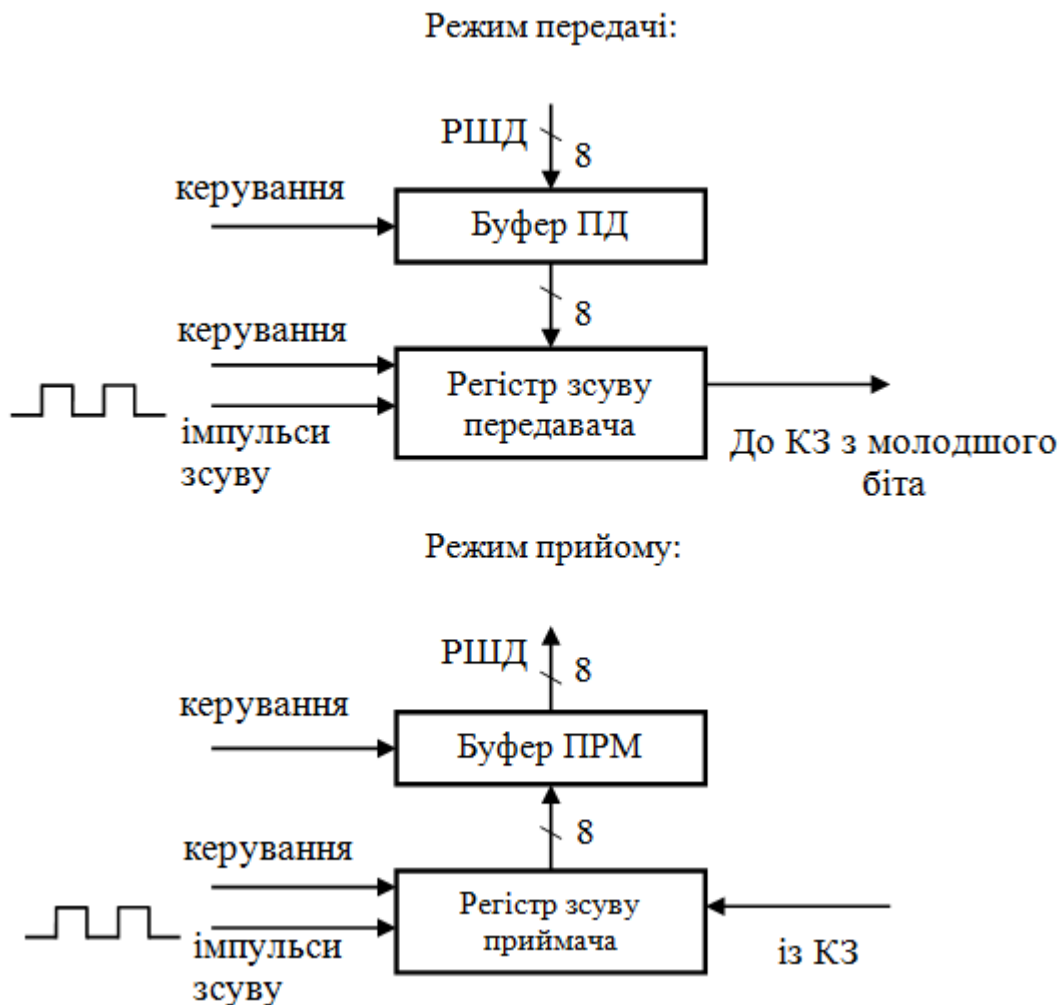


Рисунок 2 - Спрощена структура послідовного порту мікроконтролера

Задання напряму передачі даних через будь-який контакт введення/виведення може бути виконано програмно в будь-який момент часу. При цьому деякі моделі сімейства *Tiny* мають виводи, здатні працювати або тільки як входи, або тільки як виходи. Вхідні буфери портів побудовані за схемою тригера Шмітта. Для більшості ліній, що сконфігуровані як вхідні, також є можливість підключення внутрішнього підтягуючого резистора з опором 35...120 кОм між входом і шиною живлення V_{CC} . Крім того, якщо між входом із задіяним внутрішнім підтягуючим резистором і спільною шиною підключити навантаження, цей вхід може служити джерелом струму.

У портах введення/виведення МК-в сімейства реалізована

функціональність виду «читання/модифікація/запис». Завдяки цьому, використовуючи команди SBI та CBI, можна виконувати операції над будь-яким виводом, не впливаючи на інші виводи порту. Це стосується зміни режиму роботи контакту введення/виведення, зміни вихідного значення і зміни стану внутрішнього підтягуючого резистора (для входів).

Відмінною рисою моделей сімейства Tiny, які випускаються у 8-вивідному корпусі, є сполучення функцій введення/виведення з функціями керування (виводи для підключення зовнішнього резонатора та вивід скидання). Відповідно, в розпорядженні користувача є до 6 ліній введення/виведення, тому що ці моделі можуть бути сконфігуровані для роботи без зовнішнього резонатора і без виводу апаратного скидання.

Мікроконтролери з кожної групи моделей сімейства мають різну кількість портів і, відповідно, контактів введення/виведення (таблиця 1).

В усіх МК-х сімейства переважна більшість контактів введення/виведення мають додаткові функції та використовуються периферійними пристроями МК-ів.

3.2 Звернення до портів введення/виведення

Звернення до портів виконується через регістри введення/виведення. Під кожен порт (за деякими винятками, наприклад, порт В у моделі ATtiny28x) в адресному просторі введення/виведення зарезервовано по 3 адреси. За цими адресами розміщуються три регістри: регістр даних порту PORTx, регістр напряму даних DDRx (для порту А в моделях ATtiny28x – регістр керування) і регістр виводів порту PINx [1, 2].

Таблиця 1 - Порти введення/виведення мікроконтролерів сімейства Mega

Порт введення/виведення	ATmega8515x	ATmega8535x	ATmega8x	ATmega16x/32x	ATmega64x/128x	ATmega48x/88x/168x	ATmega162x	ATmega164x/324x/644x	ATmega165x	ATmega325x/645x	ATmega3250x/6450x	ATmega1281x/2561x	ATmega640x, ATmega1280x/2560x
PORTA	•	•	-	•	•	-	•	•	•	•	•	•	•
PORTB	•	•	•	•	•	•	•	•	•	•	•	•	•
PORTC	•	•	7	•	•	7	•	•	•	•	•	•	•
PORTD	•	•	•	•	•	•	•	•	•	•	•	•	•
PORTE	3	-	-	-	•	-	3	-	•	•	•	•	•
PORTF	-	-	-	-	•	-	-	-	•	•	•	•	•
PORTG	-	-	-	-	5	-	-	-	5	6 ¹⁾	6 ¹⁾	6	6
PORTH	-	-	-	-	-	-	-	-	-	-	•	-	•
PORTJ	-	-	-	-	-	-	-	-	-	-	7	-	•
PORTK	-	-	-	-	-	-	-	-	-	-	-	-	•
PORTL	-	-	-	-	-	-	-	-	-	-	-	-	•
Число контактів введення/ виведення	35	32	23	32	53	23	35	32	53	54	69	54	86
¹⁾ - Вивід PG5 - тільки вхід з постійно включеною підтяжкою (сумщений з входом RESET).													

Примітка. Цифра позначає розрядність порту (відмінну від 8).

Оскільки всі виводи порту В моделей ATtiny28x можуть

працювати тільки як входи, цьому порту відповідає тільки один регістр - регістр виводів порту. Адреси всіх регістрів, що відносяться до портів введення/виведення, наведені в таблиці 2.

Таблиця 2 - Регістри портів введення/виведення

Порт	Регістр	АТмега8515х	АТмега8535х	АТмега8х	АТмега16х	АТмега162х	АТмега64х, АТмега128х	АТмега48х/88х/168х	АТмега164х/324х/644х	АТмега165х, АТмега325х/645х	АТмега3250х/6450х	АТмега1281х/2561х	АТмега640х, АТмега1280х/2560х
A	PORTA	\$1B (\$3B)	-	\$1B (\$3B)		-	\$02 (\$22)						
	DDRA	\$1A (\$3A)	-	\$1A (\$3A)		-	\$01 (\$21)						
	PINA	\$19 (\$39)	-	\$19 (\$39)		-	\$00 (\$20)						
B	PORTB	\$18 (\$38)			\$05 (\$25)								
	DDRB	\$17 (\$37)			\$04 (\$24)								
	PINB	\$16 (\$36)			\$03 (\$23)								
C	PORTC	\$15 (\$35)			\$08 (\$28)								
	DDRC	\$14 (\$34)			\$07 (\$27)								
	PINC	\$13 (\$33)			\$06 (\$26)								
D	PORTD	\$12 (\$32)			\$0B (\$2B)								
	DDRD	\$11 (\$31)			\$0A (\$2A)								
	PIND	\$10 (\$30)			\$09 (\$29)								
E	PORTE	\$07 (\$27)	-	-	\$07 (\$27)	\$03 (\$23)	-	-	\$0E (\$2E)				
	DDRE	\$06 (\$26)	-	-	\$06 (\$26)	\$02 (\$22)	-	-	\$0D (\$2D)				
	PINE	\$05 (\$25)	-	-	\$05 (\$25)	\$01 (\$21)	-	-	\$0C (\$2C)				

Дійсні назви регістрів отримуються підстановкою назви порту замість символу x . Відповідно, регістри порту A називаються $PORTA$, $DDRA$, $PINA$, порту B - $PORTB$, $DDRB$, $PINB$ і т. ін.

Загалом кажучи, «регістри» $PINx$, де $x = A/B/D$ (і т. ін.), не є регістрами. За цими адресами здійснюється доступ до фізичних значень сигналів на виводах порту. Відповідно, вони доступні тільки для читання, тоді як інші регістри доступні і для читання, і для запису.

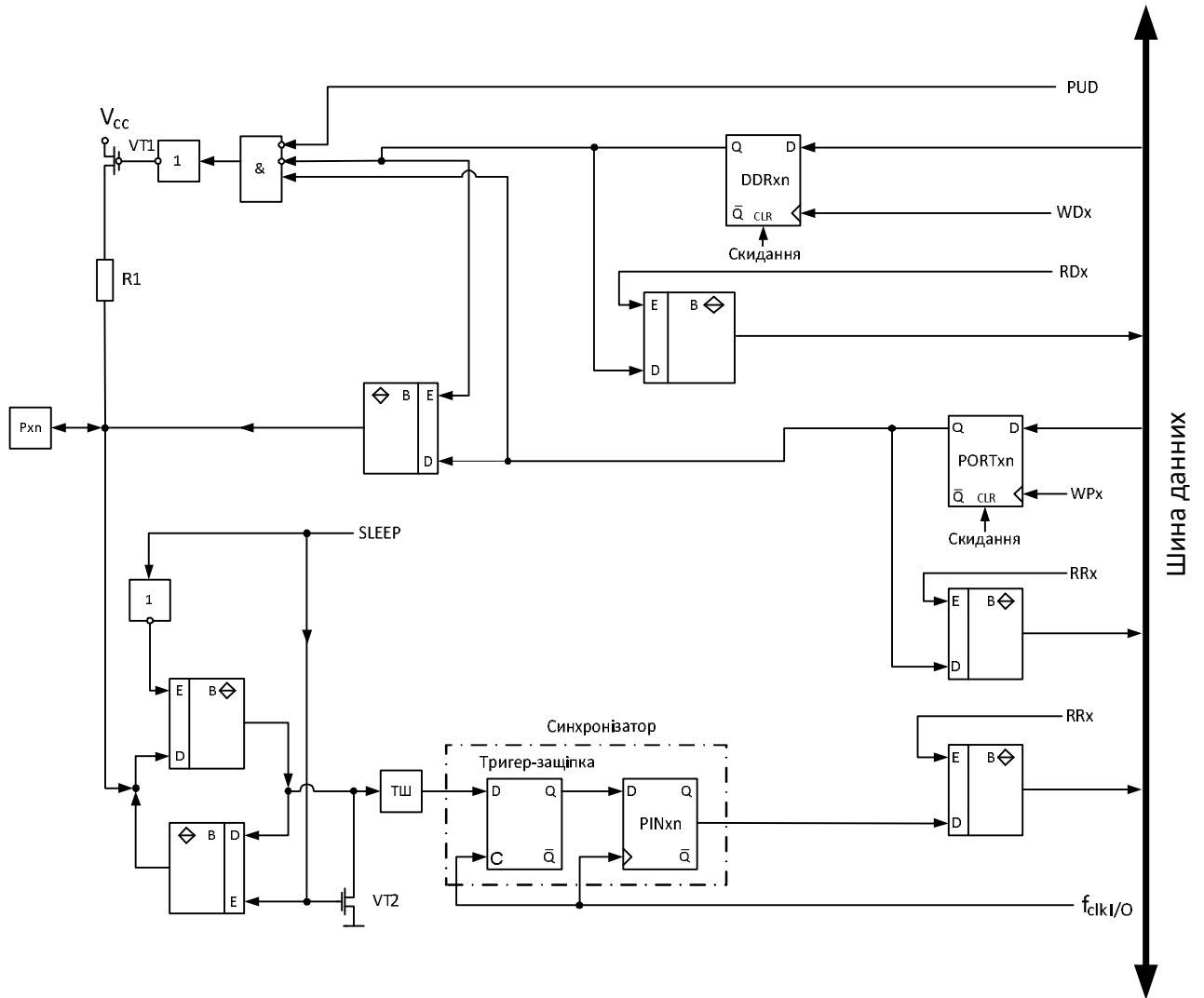
Тим не менш, в нових моделях мікроконтролерів (всі моделі, крім $ATmega8515x/8535x$, $ATmega8x/16x/32x/64x/128x$ і $ATmega162x$) запис 1 в біт регістра $PINx$ призводить до переключення стану відповідного біта регістра даних $PORTx$.

Запис у порт означає запис необхідного стану для кожного виводу порту у відповідний регістр даних порту $PORTx$. А читання стану порту виконується читанням або регістра даних порту $PORTx$, або регістра виводів порту $PINx$. При читанні регістра виводів порту $PINx$ відбувається зчитування сигналів, які присутні на виводах порту. А при читанні регістра даних порту $PORTx$ відбувається зчитування даних, які перебувають у регістрі-защипці порту (як для вхідних, так і для вихідних контактів). При знаходженні мікроконтролера в стані скидання виводи всіх портів перебувають у третьому стані (стан високого імпедансу $Hi-Z$).

3.3 Конфігурування портів введення/виведення

Порти введення/виведення (і навіть окремі розряди однойменних портів) різних моделей сімейства мають різні можливості конфігурування.

Спрощена структурна схема одного з каналів порту введення/виведення Pxn при роботі його у якості цифрового входу/виходу загального призначення наведена на рисунку 3 [2].



PUD – відключення резистора, який підтягує; SLEEP – керування сплячим режимом; $f_{clk\ I/O}$ – тактовий сигнал підсистеми введення/виведення; WDx – запис регістра $DDRx$; RDx – читання регістра $DDRx$; WPx – запис регістра $PORTx$; RRx – читання регістра $PORTx$; RPx – читання виводів порту Px ; $AIOxn$ – аналоговий вхід/вихід виводу порту Px .

Примітка: сигнали WPx , WDx , RRx , RPx , RDx – спільні для всіх виводів одного порту; сигнали $f_{clk\ I/O}$, $SLEEP$ та PUD – спільні для всіх портів мікроконтролера.

Рисунок 3 – Структурна схема контакту введення/виведення

Кожному виводу порту відповідають три розряди регістрів введення/виведення: PORTx_n (регістр PORTx), DDRx_n (регістр DDRx) і PINx_n (регістр PINx). Дійсні назви розрядів регістрів отримуються підстановкою назви порту замість символу «x» і номера розряду замість символу «n». Порядковий номер виводу порту відповідає порядковому номеру розряду регістрів цього порту. Тому, якщо розрядність порту менше восьми, у регістрах порту використовується відповідне число молодших розрядів. Незадіяні старші розряди регістрів доступні тільки для читання і завжди містять «0».

Розряд DDRx_n регістра DDRx визначає напрям передачі даних через контакт введення/виведення. Якщо цей розряд встановлений в «1», то n-й вивід порту є виходом, якщо ж скинутий в «0» - входом.

Розряд PORTx_n регістра PORTx виконує подвійну функцію. Якщо вивід функціонує як вихід (DDRx_n = «1»), цей розряд визначає стан виводу порту. Якщо розряд встановлений в «1», на виводі встановлюється напруга ВИСОКОГО рівня. Якщо розряд скинутий в «0», на виводі встановлюється напруга НИЗЬКОГО рівня.

Якщо ж вивід функціонує як вхід (DDRx_n = «0»), розряд PORTx_n визначає стан внутрішнього підтягуючого резистора для даного виводу. При встановленні розряду PORTx_n в «1» підтягуючий резистор підключається між виводом мікроконтролера і живленням, за умови, що біт PUD = 0 (див. нижче).

Загалом кажучи, керування підтягуючими резисторами майже у всіх мікроконтролерах сімейства, за винятком моделей ATmega161x, здійснюється на двох рівнях. Загальне керування (для всіх виводів портів) здійснюється розрядом PUD регістра спеціальних функцій SFIOR або регістра керування мікроконтролера MCUCR [1, 2]. У моделях ATmega64x та ATmega128x цей регістр розташовується за адресою \$20 (\$40), а в інших моделях - за адресою \$30 (\$50). Регістр MCUCR розташований за адресою

\$35 (\$55). Формати цих регістрів наведені на рисунку 4.

	7	6	5	4	3	2	1	0	
	X	X	X	X	X	PUD	X	X	ATmega8515x/8535x ATmega8x/16x/32x ATmega64x/128x ATmega162x
Читання (R)/Запис (W)	X	X	X	X	X	R/W	X	X	
Початкове значення	0	0	0	0	0	0	0	0	
а)									
	7	6	5	4	3	2	1	0	
	—	—	—	PUD	—	—	IVSEL	IVCE	ATmega48x/88x/168x
Читання (R)/Запис (W)	R	R	R	R/W	R	R	R/W	R/W	
Початкове значення	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
	JTD	—	—	PUD	—	—	IVSEL	IVCE	ATmega164x/324x/644x ATmega165x ATmega325x/3250x ATmega645x/6450x ATmega640x ATmega1280x/1281x ATmega2560x/2561x
Читання (R)/Запис (W)	R/W	R	R	R/W	R	R	R/W	R/W	
Початкове значення	0	0	0	0	0	0	0	0	
б)									

Рисунок 4 – Регістри керування підтяжкою SFIOR (а) та MCUCR (б)

Якщо розряд PUD скинутий в «0» (початковий стан), стан підтягуючих резисторів буде визначатися станом розрядів PORTxn для кожного входу порту, при умові, що відповідний розряд DDRxn скинутий в «0». Якщо ж розряд PUD встановлений в «1», підтягуючі резистори відключаються від усіх виводів мікроконтролера.

Зверніть увагу, що при переключенні виводу між третім станом (DDRxn = «0», PORTxn = «0») і станом ВИСОКОГО рівня (DDRxn = «1», PORTxn = «1») відбувається перехід через один із проміжних станів: або включається підтягуючий резистор (DDRxn = «0», PORTxn = «1»), або вихід переключається у стан НИЗЬКОГО рівня (DDRxn = «1», PORTxn = «0»). Найбільше використання має, як правило, перший варіант, оскільки для виводів з високоімпедансним станом байдуже, яким чином сформується ВИСОКИЙ рівень. Якщо в якому-небудь випадку це не підходить, користувач може відключити підтягуючі резистори від усіх

портів встановленням в «1» розряду PUD регістра SFIOR.

Аналогічна ситуація виникає і при переключенні між станом із включеним підтягуючим резистором ($DDR_{xn} = \langle 0 \rangle$, $PORT_{xn} = \langle 1 \rangle$) і станом НИЗЬКОГО рівня ($DDR_{xn} = \langle 1 \rangle$, $PORT_{xn} = \langle 0 \rangle$). У цьому випадку проміжним станом є або високоімпедансний стан ($DDR_{xn} = \langle 0 \rangle$, $PORT_{xn} = \langle 0 \rangle$), або стан ВИСОКОГО рівня ($DDR_{xn} = \langle 1 \rangle$, $PORT_{xn} = \langle 1 \rangle$).

Всі можливі сполучення станів керуючих розрядів i , відповідно, конфігурації виводів портів зведені у таблиці 3.

Стан виводу мікроконтролера (незалежно від розряду DDR_{xn}) може бути отриманий шляхом читання розряду PIN_{xn} регістра PIN_x . При цьому варто пам'ятати, що між дійсною зміною сигналу на виводі та зміною розряду PIN_{xn} існує затримка. Ця затримка вноситься вузлом синхронізації, що складається, як показано на рисунку 1.3, з розряду тригера PIN_{xn} і додаткового тригера-защипки. Значення сигналу на виводі мікроконтролера фіксується тригером-защипкою за високим рівнем тактового сигналу і переписується потім у розряд PIN_{xn} за наростаючим фронтом тактового сигналу ($f_{CLK\ I/O}$). Відповідно, величина затримки може становити від 0.5 до 1.5 періоду системного тактового сигналу, як показано на рисунку 5, а.

З цієї ж причини між операціями зміни, виведення і повторного зчитування станів виводу необхідно вставляти команду NOP. Оскільки команда OUT записує інформацію в тригер $PORT_{xn}$ за додатним фронтом тактового сигналу, затримка в цьому випадку дорівнює одному періоду тактового сигналу (рисунок 5, б)

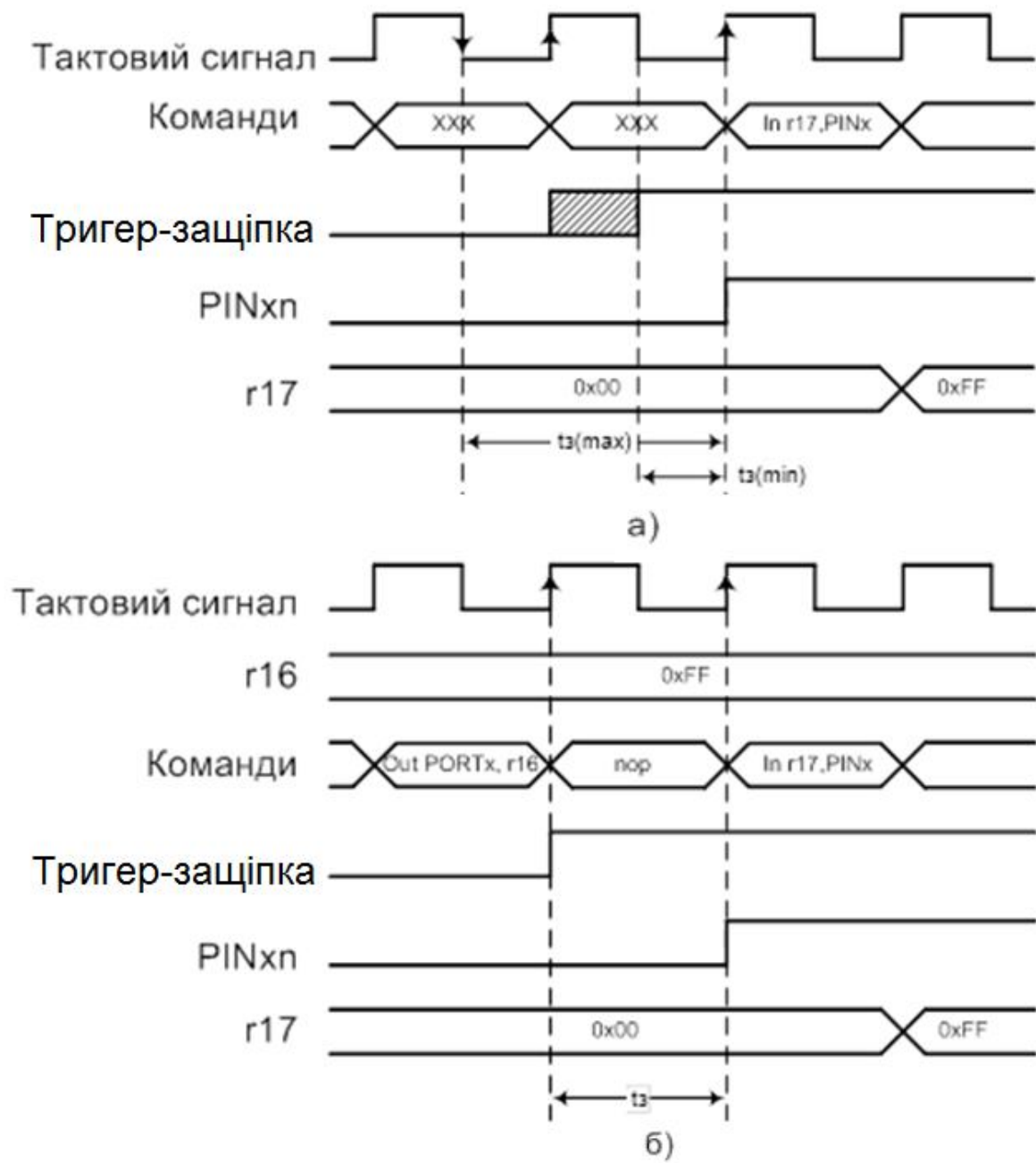


Рисунок 5 – Синхронізація при читанні стану виводу:

а) - при зчитуванні стану розряду PINx_n; б) - при повторному зчитуванні

Таблиця 3 – Конфігурації виводів портів

DDRxn	PORTxn	PUD*	Функція виводу	Резистор	Примітки
0	0	X	Вхід	Відключений	Третій стан (Hi-Z)**
0	1	0	Вхід	Підключений	При підключенні навантаження між виводом і спільним проводом вивід є джерелом струму
0	1	1	Вхід	Відключений	Третій стан (Hi-Z) для виходу
1	0	X	Вихід	Відключений	Вихід скинутий в «0»
1	1	X	Вихід	Відключений	Вихід встановлений в «1»
<p>* Відсутній у моделях ATmega161x. ** Стан виводів порту при скиданні.</p>					

Далі наведений приклад конфігурування одного з портів мікроконтролера. У прикладі виводи 0 і 1 порту В встановлюються в «1», виводи 2 і 3 - в «0». Виводи 4...7 порту конфігуруються як входи, при цьому до виводів 6 і 7 підключаються підтягуючі резистори.

Приклад на асемблері

```

...
ldi r16, (1<<PB7) | (1<<PB6) | (1<<PB1) | (1<<PB0)
ldi r17, (1<<DDRB3) | (1<<DDRB2) | (1<<DDRB1) | (1<<DDRB0)
out PORTB,r16                                ; Задати стан виходів і
                                              ; підтягуючих резисторів
out DDRB,r17;                                ; Задати режими роботи виводів
nop                                           ; Синхронізація
in r16,PINB                                  ; Прочитати стан виводів порту

```

Приклад на C

```

unsigned char i;
...

```

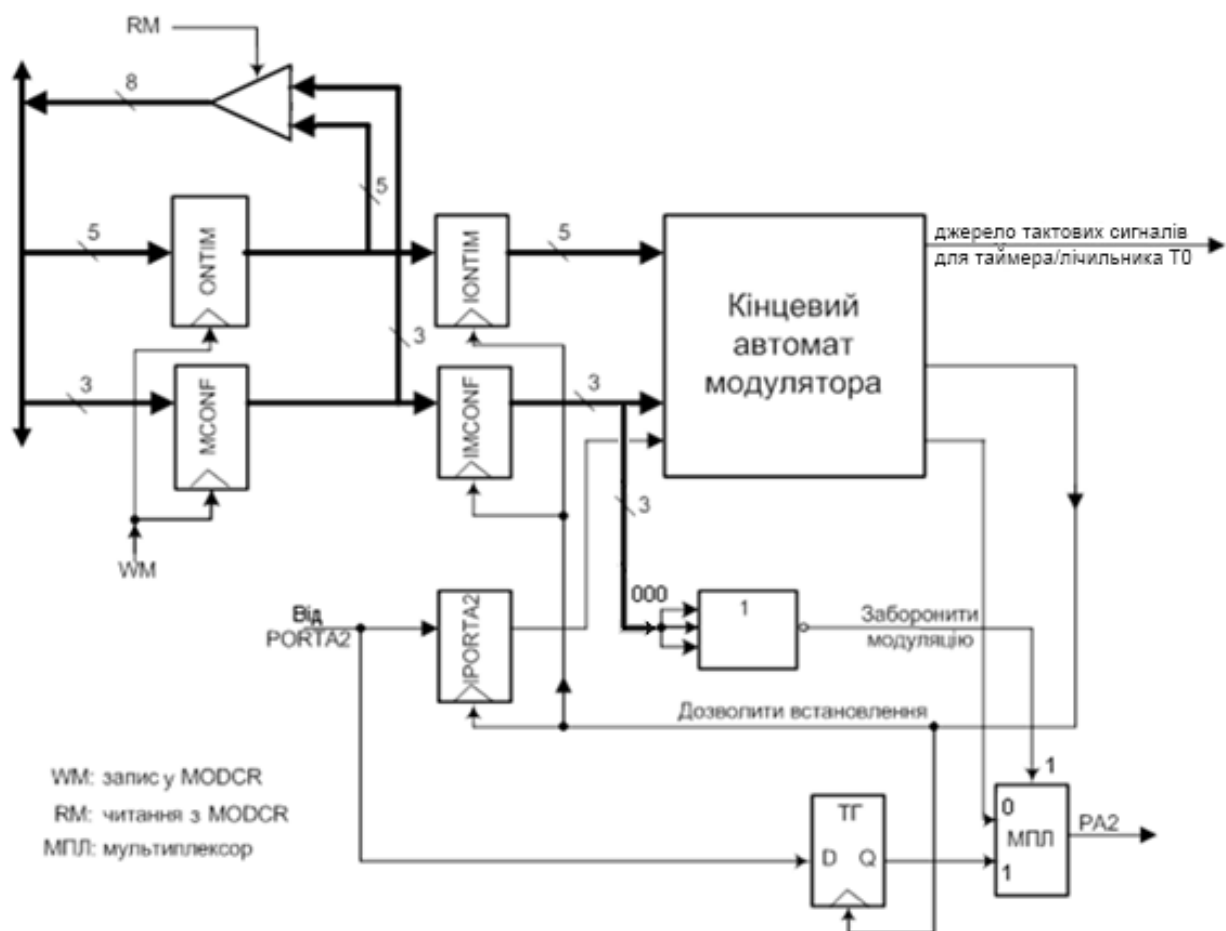
```
/* Задати стан виходів і підтягуючих резисторів */  
/* Задати режими роботи виводів */  
PORTB = (1<<PB7) | (1<<PB6) | (1<<PB1) | (1<<PB0);  
DDRB=(1<<DDRB3) | (1<<DDRB2) | (1<<DDRB1) | (1<<DDRB0);  
_NOP();                /* Синхронізація */  
i=PINB;                /* Прочитати стан виводів порту */  
...
```

Відзначимо, що переважна більшість контактів введення/виведення всіх мікроконтролерів сімейства мають додаткові функції і можуть використовуватися різними периферійними пристроями мікроконтролерів. При цьому можливі дві ситуації. В одних випадках користувач повинен самостійно задавати конфігурацію виводу, а в інших - вивід конфігурується автоматично при включенні відповідного периферійного пристрою [1, 2].

4 Апаратний модулятор

Апаратний модулятор (Hardware Modulator) призначений для керування виводом RA2 деяких мікроконтролерів, наприклад ATtiny28x. Єдиним завданням модулятора є генерування послідовності імпульсів із заданими параметрами [1, 2].

Структурна схема блоку апаратного модулятора наведена на рисунку 6.



Рисунк 6 – Структурна схема апаратного модулятора

Для керування параметрами сигналу, що генерується, призначений регістр MODCR (MODulation Control Register), розташований за адресою \$02. Формат цього регістра наведено на рисунку 7.

	7	6	5	4	3	2	1	0
\$02	ONTIM4	ONTIM3	ONTIM2	ONTIM1	ONTIM0	MCONF2	MCONF1	MCONF0
Читання(R)/ запис(W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Початкове значення	0	0	0	0	0	0	0	0

Рисунок 7 – Формат регістра MODCR

Старші 5 розрядів регістра (ONTIM4...ONTIM0) визначають час знаходження виходу PA2 в активному стані (НИЗЬКИЙ рівень). Число машинних циклів мікроконтролера, протягом яких вивід PA2 буде перебувати в активному стані (формування нульового вихідного імпульсу), на одиницю більше значення, записаного в розрядах ONTIM4...ONTIM0.

Молодші три розряди регістра (MCONF2...MCONF0) визначають співвідношення між довжиною активного і неактивного станів виводу PA2 і відповідно коефіцієнт заповнення сигналу ($\gamma = t_{im}/T$, де T – період, t_{im} - довжина імпульсу), що генерується. Значення коефіцієнта заповнення сигналу для різного вмісту цих розрядів, а також можливі значення періоду сигналу, що генерується, наведені в таблиці 4.

Несуча частота (частота сигналу, що генерується) визначається співвідношенням $f_c = f_{CLK}/(T_{ON}+T_{OFF})$, де f_{CLK} - тактова частота мікроконтролера, T_{ON} - час знаходження виводу PA2 в активному стані (лог. 0), T_{OFF} - знаходження виводу PA2 в неактивному стані (лог. 1). При значенні $MCONF = 111$ частота вихідного сигналу дорівнює частоті тактового сигналу мікроконтролера (f_{CLK}).

Таблиця 4 - Залежність коефіцієнта заповнення і періоду модуляції від вмісту розрядів MCONF2...MCONF0

MCONF 2...0	Тривалість сигналу		Коефіцієнт заповнення	Період модуляції*		Пояснення
	«0»	«1»		min	max	
000	X	X	1	X	X	Немає модуляції
001	ONTIM +1	ONTIM + 1	0.5	2T _{CLK}	64T _{CLK} ***	
010	ONTIM +1	2(ONTIM+1)	0.33	3T _{CLK}	96T _{CLK}	
011	ONTIM +1	3(ONTIM +1)	0.25	4T _{CLK}	128T _{CLK}	
100	2(ONTIM +1)	ONTIM +1	0.67	3T _{CLK}	96T _{CLK}	
101	3(ONTIM + 1)	ONTIM +1	0.75	4T _{CLK}	128T _{CLK}	
110	Зарезервовано					
111	X	X	**	1T _{CLK}	1T _{CLK}	Сигнал високої частоти

* Мінімальний період модуляції відповідає ONTIM=0, а максимальний - ONTIM=31.
 ** Залежить від параметрів тактового сигналу мікроконтролера, тому що сигнал на виході PA2 ідентичний йому.
 *** T_{CLK} - період тактового сигналу мікроконтролера.

Для прикладу в таблиці 5 та на рисунку 1.8 приводяться значення розглянутих параметрів для деяких значень частот тактового сигналу і сигналу, що генерується.

Таблиця 5 – Типові конфігурації модулятора

Частота резонатора [МГц]	Несуча частота [КГц]	Похибка встановлення частоти [%]	Коефіцієнт заповнення	Значення параметрів	
				ONTIM	MCONF
0.455	38	0.2	0.25	2	011
0.455	38	0.2	0.33	3	010

Продовження таблиці 5

Частота резонатора [МГц]	Несуча частота [КГц]	Похибка встановлення частоти [%]	Коефіцієнт заповнення	Значення параметрів	
				ONTIM	MCONF
0.455	38	0.2	0.50	5	001
0.455	38	0.2	0.67	3	100
0.455	38	0.2	0.75	2	101
1	38	1.2	0.50	12	001
1.8432	38	1.1	0.25	11	011
1.8432	38	1.1	0.33	15	010
1.8432	38	1.1	0.50	23	001
2	38	1.2	0.25	12	011
2	38	1.2	0.50	25	001
2.4576	38	1.1	0.50	31	001
3.2768	38	2.0	0.25	21	011
4	38	1.2	0.25	25	011
0.455	455	0.0	≈0.50	X	111
1	455	9.9	0.50	0	001
1.82	455	0.0	0.25	0	011
1.82	455	0.0	0.50	1	001
1.8432	455	1.3	0.25	0	011
1.8432	455	1.3	0.50	1	001
2	455	9.9	0.25	0	011
2	455	9.9	0.50	1	001
2.4576	455	10.0	0.33	1	010
2.4576	455	10.0	0.50	2	001
3.2768	455	10.0	0.25	1	011
3.2768	455	10.0	0.50	3	001
3.64	455	0.0	0.25	1	011
3.64	455	0.0	0.50	3	001
4	455	9.9	0.25	1	011
4	455	9.9	0.50	3	001



Рисунок 8 - Приклади сигналів, що формуються апаратним модулятором

Зрозуміло, що стан виходу PA2 може визначатися не тільки апаратним модулятором. Всі можливі умови функціонування виходу PA2 наведені в таблиці 6.

Таблиця 1.6 - Функціонування виходу PA2

PORTA2	MCONF2...MCONF0	Стан виходу PA2
0	000	0
0	001...111	Визначається модулятором
1	X	1

Апаратний модулятор має ще одну корисну функцію. Крім керування станом виводу PA2 мікроконтролера, вихідний сигнал апаратного модулятора може використовуватися в якості вхідного для таймера/лічильника T0. У цьому випадку таймер/лічильник може використовуватися як для обмеження тривалості послідовності, так і для задання інтервалу між послідовностями. Останнє можливо завдяки тому, що сигнал з виходу модулятора може подаватися на вхід таймера/лічильника T0, навіть якщо розряд PORTA2 встановлений в «1» і генерація відсутня.

Для використання таймера/лічильника T0 в описаному режимі він повинен бути сконфігурований таким чином, щоб за його переповненням змінювався стан виходу PA2 [1, 2].

Перед запуском модулятора варто занести необхідні значення в регістр MODCR. Далі запуск може бути здійснений двома способами: скиданням розряду PORTA2 регістра PORTA або заданням конфігурації таймера/лічильника T0 таким чином, щоб він скинув вихід PA2 при переповненні.

Зупинити генерацію можна також двома способами: програмно встановивши відповідні біти або за допомогою таймера (встановлення виходу PA2 при переповненні).