

ЛАБОРАТОРНА РОБОТА № 6

ЛОГІЧНІ І ЗАПАМ'ЯТОВУЮЧІ ЕЛЕМЕНТИ

Мета роботи: Вивчення будови і принципу роботи логічних елементів інтегрального виконання і тригерів на їх базі.

ЗАГАЛЬНІ ВІДОМОСТІ

Основні операції алгебри логіки. В сучасних телекомунікаційних пристроях дискретна цифрова інформація передається у вигляді кодових посилок, в яких електричні сигнали (струм, напруга) можуть приймати тільки два рівня своїх значень - верхній (В) і нижній (Н) (рис. 6.1).

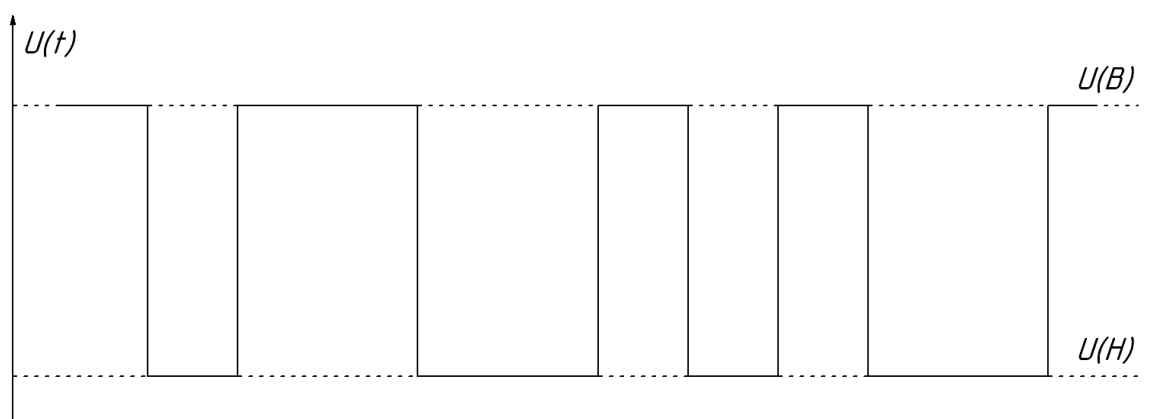


Рис.6.1 – Представлення декретної цифрової інформації

Перевагою таких дворівневих систем є простота і завадостійкість. Останнє визначається тим, що для прояву завади її величина повинна бути більше різниці між рівнями $U(B) - U(H)$. Тому з метою збільшення завадостійкості різниця між цими рівнями повинна бути достатньо великою.

Цим рівням сигналу присвоюються символи математичної логіки: логічна одиниця (лог. «1») або логічний нуль (лог. «0»). Якщо верхньому рівню $U(B)$ відповідає логічна одиниця, а нижньому логічний нуль, то така логіка називається позитивною. При зворотному співвідношенні ($U(B)$ – лог. «0», $U(H)$ – лог. «1») логіка носить назву негативною.

Обробку інформації, що містяться в таких сигналах, можна звести до логічних операцій, якщо використовувати двійкове подання. Дійсно, оскільки змінна $U(t)$ може приймати тільки одне з двох можливих значень, то правила оперування з нею можуть бути представлені математичним апаратом алгебри логіки або системою булевих функцій, де змінна також може приймати тільки два можливих значення. Основними функціями алгебри логіки є операція І (кон'юнкція, або логічне множення), АБО (диз'юнкція, або логічне додавання), НЕ (інверсія, або логічне заперечення).

Подання чисел 0 і 1 в логічних елементах. Реалізація логічних функцій здійснюється у відносно простих технічних пристроях, які називаються *логічними елементами*. За способом представлення значень «0» і «1» елементи діляться на три групи:

потенційні, в яких значення «0» і «1» представляються двома рівнями напруги; значенню «0» відповідає низький рівень напруги ($U_0 < 0,4$ В), значенн. «1» – високий рівень ($U_1 > 2,4$ В);

імпульсні, в яких одиниці відповідає наявність імпульсу, нулю – його відсутність або наявність імпульсу протилежної полярності;

імпульсно-потенційні, в яких застосовуються обидва способи представлення значень «0» і «1».

В електронно-обчислювальних машинах застосовуються потенційні елементи.

Логічні елементи І, АБО, НЕ, І-НЕ, АБО-НЕ. У логічному елементі І (рис. 6.2,а) високий рівень напруги (логічна одиниця) на виході елемента встановлюється лише в тому випадку, коли сигнали високого рівня одночасно подаються на всі входи.

На виході елемента АБО (рис. 6.2,б) високий рівень напруги з'являється, коли хоча б на одному з входів є сигнал високого рівня.

Високий рівень вихідного сигналу елемента НЕ (рис. 6.2,в) відповідає низькому рівню сигналу на вході, і навпаки, при наявності вхідного сигналу високого рівня вихідний сигнал має низький рівень.

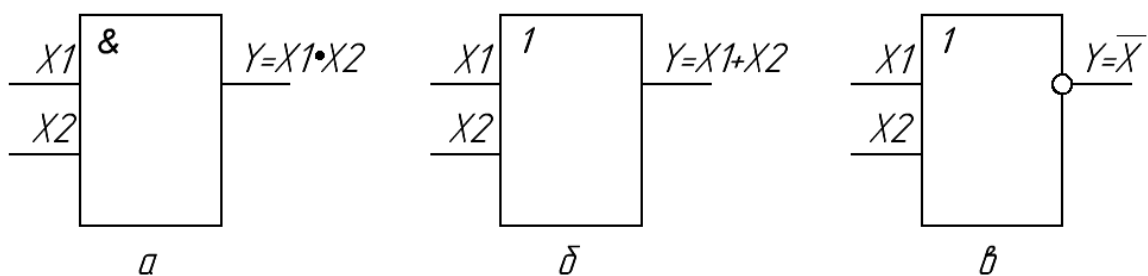


Рис.6.2 – Умовні позначення елементів: а – І; б – АБО; в – НЕ.

Логічні елементи можуть бути виконані з дискретних елементів (резисторів, діодів, транзисторів) або у вигляді інтегральних мікросхем. Реалізація елементів інтегрального виконання здійснюється різними схемотехнічними способами.

Залежно від виду напівпровідникових елементів, що застосовуються для виготовлення логічних елементів, розрізняють:

- ДТЛ – діодно-транзисторну логіку;
- ТТЛ – транзисторно-транзисторну логіку;
- ТТЛШ – ТТЛ з діодами Шоттки;
- ЕЗЛ – емітерно-зв'язану логіку;
- І2Л – інтегрально-інжекційну логіку;
- КМОН – логіку на комплементарних парах польових транзисторів;
- ВЗЛ (GaAs) – витоко-зв'язану логіку на польових транзисторах з керуючим затвором Шоттки.

В даний час найбільш широке застосування отримали логічні елементи ТТЛ, ТТЛШ, ЕЗЛ і КМОН.

Розглянемо приклади схемотехніки логічних елементів інтегрального виконання. У деяких мікросхемах елемент НЕ транзисторно-транзисторної логіки (рис. 6.3) виконується у вигляді сполучення електронного ключа на транзисторі VT1 і каскадно включених транзисторів VT2 і VT3. До подачі вхідного сигналу високого рівня транзистор VT1 знаходиться в закритому стані, тому потенціал бази транзистора VT2 високий, потенціал бази транзистора VT3 низький. Транзистор VT2 відкритий, транзистор VT3 закритий. Потенціал виходу високий.

Вхідний сигнал високого рівня викликає відкриття транзистора VT1. Відбувається зниження потенціалу бази транзистора VT2 і підвищення потенціалу бази транзистора VT3. Транзистор VT2 закривається, транзистор VT3 відкривається. Потенціал виходу стає низьким.

Резистор R3 обмежує струм при одночасному відкриванні транзисторів VT2 і VT3. Діод VD1 має допоміжне призначення. Як видно зі схеми, невелика напруга колектор – емітер транзистора VT1, який перейшов в режим насичення, через відкритий перехід база – емітер транзистора VT3 виявляється прикладеною до переходу база – емітер транзистора VT2 і р-п переходу діода VD1. Під дією напруги насичення відмикання двох послідовно включених р-п переходів неможливо. Перехід транзистора VT1 в режим насичення неодмінно приведе до зачинення транзистора VT2.

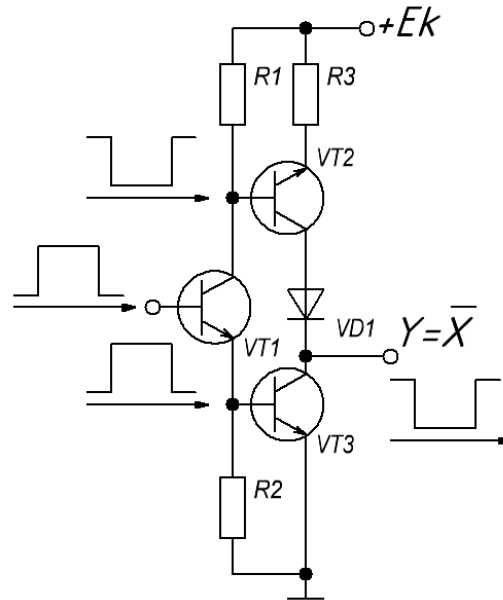


Рис.6.3 – Елемент НЕ транзисторно-транзисторної логіки.

Логічні елементи інтегрального виконання реалізують, як правило, таким чином, щоб одна мікросхема об'єднувала функції І-НЕ, АБО-НЕ. Елемент І в таких мікросхемах реалізується у вигляді діодних і резисторних збірок, а також у вигляді багатоемітерних транзисторів.

Прикладом застосування багатоемітерного транзистора для реалізації елемента І є варіант виконання елемента І-НЕ в одній з мікросхем транзисторно-транзисторної логіки (рис. 6.4).

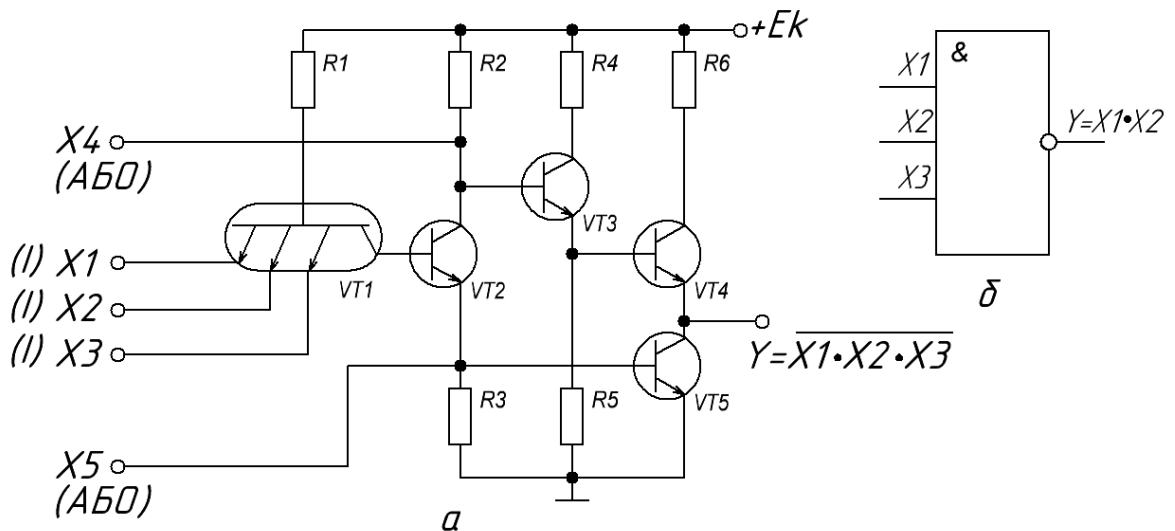


Рис.6.4 – Елемент І-НЕ:

а – схема елемента транзисторно-транзисторної логіки; б – умовне позначення.

Коли рівень напруги хоча б одного з входів низький, через резистор R1, відкритий перехід база-емітер транзистора VT1 проходить струм. У колі бази транзистора VT2 струму в цей час практично немає, транзистор VT2 знаходиться в закритому стані. Тому потенціали колектора транзистора VT2 і бази транзистора VT3 високі. Транзистори VT3 і VT4 знаходяться у відкритому стані, транзистор VT5 закритий. Рівень вихідної напруги високий.

Коли на всі входи подається напруга високого рівня, в колах емітерів транзистора VT1 струму немає. Потенціал бази цього транзистора буде вище потенціалу колектора. Через резистор R1, відкритий перехід база-колектор транзистора VT1 протікає струм, який є струмом бази транзистора VT2, який відкривається. Потенціал бази транзистора VT3 знижується, потенціал бази транзистора VT5 зростає. Рівень вихідної напруги низький. Включення транзисторів VT4 і VT5 на виході логічного елемента І-НЕ дозволяє приєднати до нього в якості навантаження велику кількість інших логічних елементів. Додавання входів X4 і X5 дає можливість отримати також елемент АБО-НЕ (здійснити розширення по входу АБО).

Один з поширених видів елемента АБО-НЕ з безпосередніми зв'язками (рис. 6.5), являє собою три паралельно включених по схемі із спільним емітером транзистора, у яких навантаження в колах колектора – спільне.

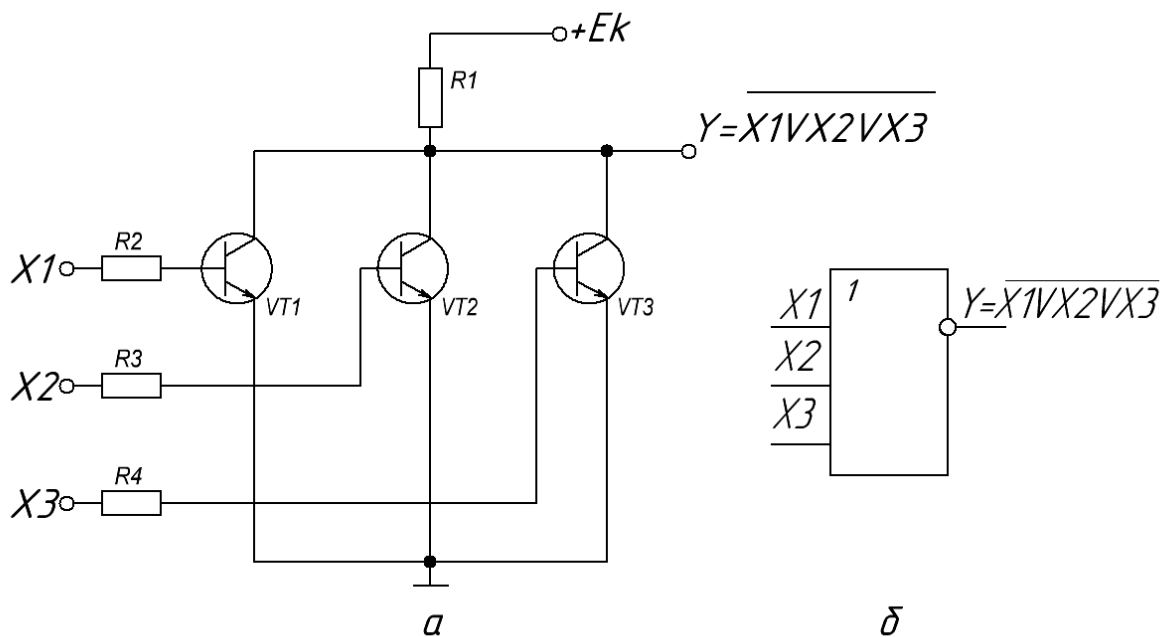


Рис.6.5 – Елемент АБО-НЕ:

а – структура елемента з безпосередніми зв'язками; б – умовне позначення.

При нульових або близьких до нуля вхідних напругах транзистори знаходяться в закритому стані, вихідна напруга близько до значення E_k . Якщо на одному із входів з'явиться достатньо висока напруга, транзистори VT1, VT2, VT3 відкриваються і досягають насичення, вихідна напруга стає низькою.

Резистори в колах баз встановлюють для вирівнювання вхідних характеристик транзисторів. З метою збільшення швидкодії в деяких видах мікросхем паралельно цім резисторам встановлюють конденсатори.

Тригерні пристрої на логічних елементах інтегрального виконання. Тригерні пристрої на базі інтегральних мікросхем будуються на основі логічних елементів введенням кола позитивного зворотного зв'язку для створення стійких станів систем.

Найбільш простим тригером інтегрального виконання є асинхронний RS -тригер, який містить два інформаційних входи S і R (перші літери англійських слів *set* – встановити, *reset* – перевстановити і два виходи Q (прямий) і \bar{Q} (інверсний)). RS -тригери будуються на двох логічних елементах АБО-НЕ, І-НЕ, І-АБО-НЕ (рис.6.6) шляхом з'єднання виходу одного логічного елемента з входом другого і виходу другого з входом першого.

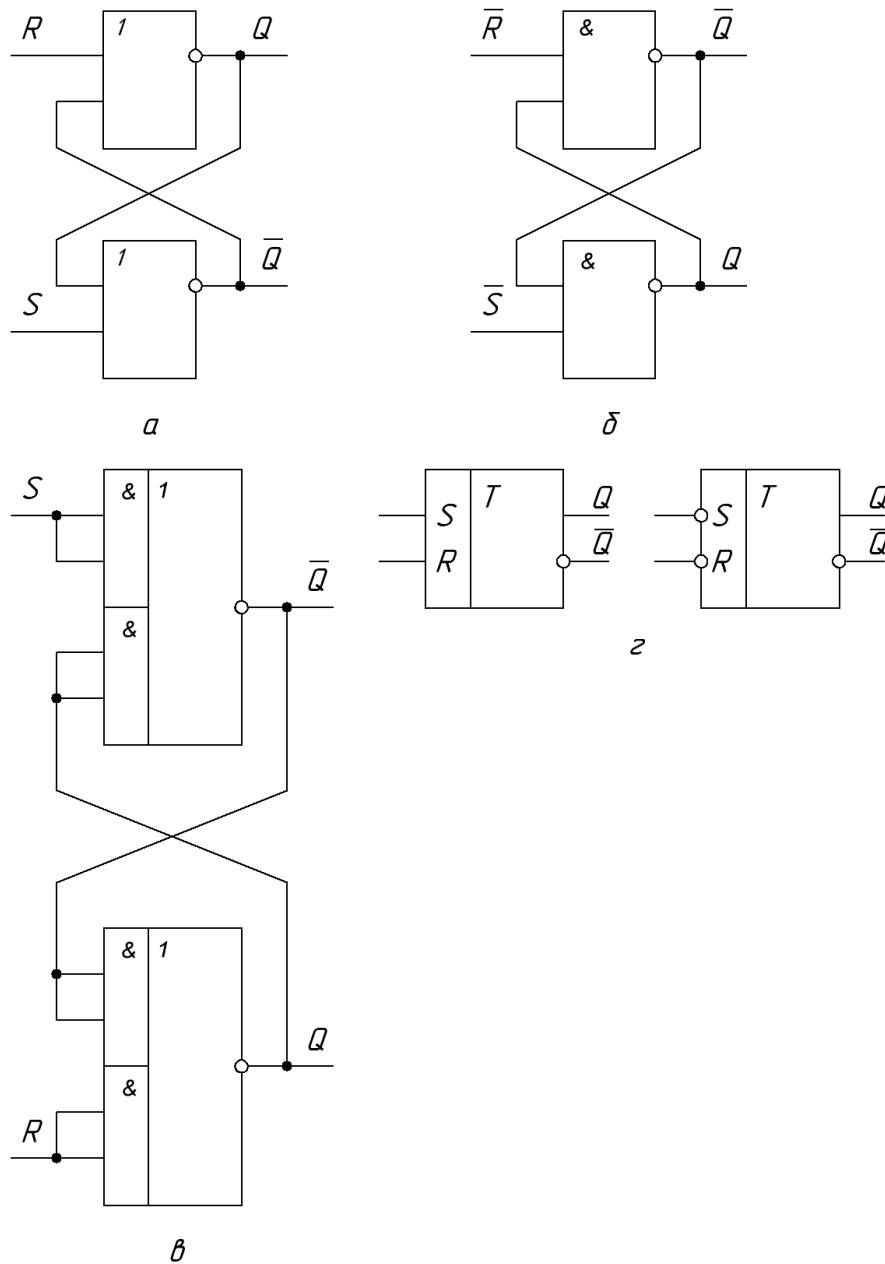


Рис.6.6 – Асинхронний RS -тригер:

а – на елементах АБО-НЕ; б – на елементах І-НЕ; в – на елементах І-АБО-НЕ; г – умовне позначення.

Стан тригера або значення сталих напруг на виходах залежить від попереднього стану тригера і рівнів напруг на його входах. Ці стани визначаються на основі аналізу функцій логічних елементів тригера і представляють зазвичай у вигляді скорочених таблиць переходів. У таблицях зазначають стан входів S і R та рівень напруги на прямому виході, який встановлюється під дією вхідних напруг.

Таблиця переходів асинхронних RS -тригерів виглядає наступним чином:

І-НЕ			АБО-НЕ			І-АБО-НЕ		
t		$t + 1$	t		$t + 1$	t		$t + 1$
S	R	Q_{t+1}	S	R	Q_{t+1}	S	R	Q_{t+1}
0	1	0	0	1	1	0	1	0
1	0	1	1	0	0	1	0	1
0	0	Q_t	1	1	Q_t	0	0	Q_t
1	1	Заборонена	0	0	Заборонена	1	1	Заборонена

З таблиці видно, що при подачі на входи сигналів 0-1 або 1-0 незалежно від попереднього стану на виходах тригера встановлюються певні напруги. При вхідних сигналах 0-0 для тригерів на елементах І-НЕ і І-АБО-НЕ та сигналів 1-1 для тригера на елементах АБО-НЕ не викликає зміну станів тригерів, перемикаць тригерів немає. Якщо на обидва входи першого або третього тригера подаються сигнали 1-1, а на вхід другого тригера – сигнали 0-0, то стани тригерів виходять невизначеними. При подачі цих сигналів система втрачає тригерні властивості, а тому подача таких сигналів заборонена.

Асинхронні RS - тригери як самостійні елементи в пристроях пам'яті ЕОМ мають обмежене використання. Однак на їх основі можлива реалізація більш складних тригерних пристроїв. В основному – це синхронні (тактовані) RS -тригери. Вони мають додаткові керуючі входи. Інформація, що надходить на входи S і R може бути передана на виходи тригера тільки при наявності керуючого сигналу на вході C .

Простим способом перетворення асинхронного RS -тригера в синхронний є включення на його входи додаткових елементів І, АБО (рис. 6.7).

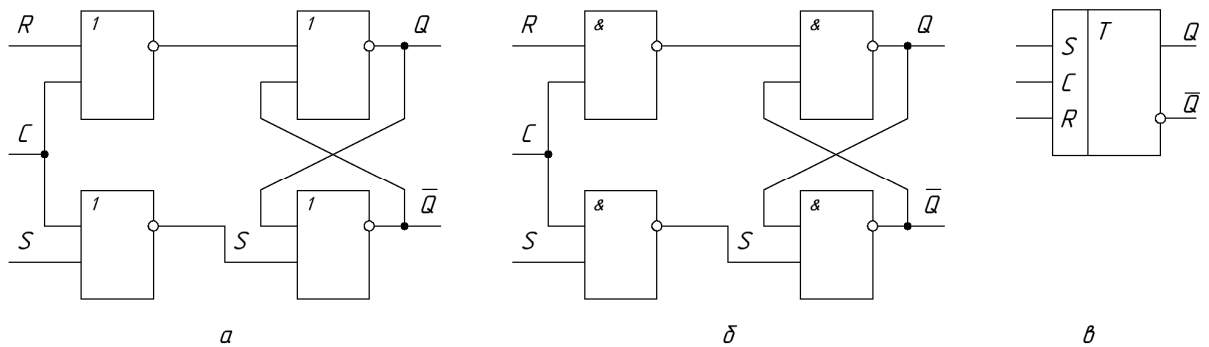


Рис.6.7 – Синхронний RS -тригер:
а – на елементах АБО-НЕ; б – на елементах І-НЕ; в – умовне позначення.

Стан синхронного тригера на елементах І-НЕ описується наступною таблицею переходів:

t			$t + 1$
S	R	C	Q_{t+1}
0	1	0	Q_t
1	0	0	Q_t
0	1	1	0
1	0	1	1
0	0	1	Q_t
1	1	1	Заборонена

Логіка тригерних пристроїв може бути змінена шляхом введення зворотних зв'язків. В D -тригері (рис. 6.8, а) на входи елемента DD1.2 подається сигнал синхронізації і сигнал зворотного зв'язку з виходу елемента DD1.1. В результаті передача інформації з входу D на вихід Q відбувається лише при наявності імпульсу синхронізації. У разі зміни сигналу на вході, при відсутності імпульсу синхронізації запис інформації на виході Q

зберігається. Стан тригера змінюється лише після появи наступного синхронізуючого імпульсу. Відбувається затримка запису інформації на час одного такту синхронізації.

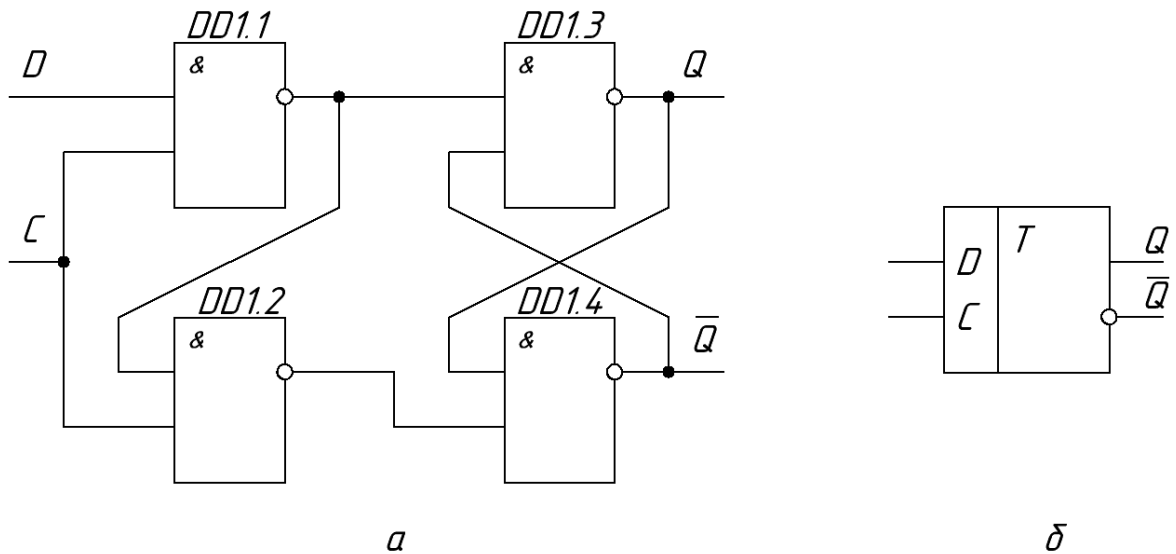


Рис. 6.8 – *D*-тригер:
а – структурна схема; б – умовне позначення.

ЗАВДАННЯ НА ЛАБОРАТОРНУ РОБОТУ

- Провести дослідження логічних інтегральних мікросхем: K1533ЛА3(SN74ALS00A), K1533ЛЕ1(SN74ALS02), K1533ЛН1(SN74ALS04A), K1533ЛИ1(SN74ALS08), K1533ЛЛ1(SN74ALS32),

ПОРЯДОК ВИКОНАННЯ ЛАБОРАТОРНОЇ РОБОТИ

- Вивчіть логічні інтегральні мікросхеми.

Знайдіть в довіднику дані на надані для роботи інтегральні мікросхеми. Розгляньте схеми внутрішніх з'єднань елементів мікросхеми. Поясніть призначення елементів і процеси, що відбуваються в мікросхемі при подачі на її входи сигналів низького (0) і високого (1) рівнів. Запишіть основні паспортні дані мікросхеми.

Намалюйте схему розташування виводів мікросхеми.

У мікросхемі з логічним елементом І на вході об'єднайте входи і підключіть до них через вимикач джерело з напругою 2,5 В. У мікросхемі з логічним елементом АБО на вході до одного з входів підключіть джерело напруги.

Подайте напругу на вхід мікросхеми і виміряйте напруги на виходах логічного елемента. Визначте величину перепадів напруги і рівні вихідної напруги, які відповідають логічному нулю і логічній одиниці.

До входу логічного елемента мікросхеми підведіть напругу від генератора імпульсів. Отримайте осцилограму вихідної напруги елемента.

- Зберіть і дослідіть асинхронний RS-тригер.

Намалюйте схему тригера, який може бути побудований на базі наданих для роботи логічних мікросхем. Вкажіть номери виводів мікросхеми. Складіть повну таблицю переходів цього тригера. У таблиці вкажіть можливі стани входів *S*, *R* і виходів *Q*, \bar{Q} .

Зберіть тригер. Підведіть напругу живлення. Один з входів з'єднайте з загальною точкою кола, до другого через вимикач підведіть напругу 2,5 В. Дослідіть і запишіть стани

тригера, поміняйте місцями входи тригерів. Порівняйте отримані результати з складеної вами таблицею переходів тригера.

Подайте на один з входів тригера напругу від генератора імпульсів, другий вхід з'єднайте з загальною точкою. Отримайте осцилограму вихідної напруги. Повторіть дослідження, подавши на другий вхід напругу 2,5 В.

3. Зберіть і дослідіть синхронний *RS*-тригер.

Намалюйте схему синхронного тригера, який може бути побудований на основі наданих мікросхем. Складіть повну таблицю переходів тригера.

Зберіть тригер. Підведіть напруга живлення.

Дослідіть і запишіть стани тригера при різних варіантах сигналів на входах *R, S, C*. Порівняйте результати з складеної раніше таблицею переходів тригера.

КОНТРОЛЬНІ ПИТАННЯ І ЗАВДАННЯ

1. Назвіть основні логічні операції і поясніть їх зміст.
2. Складіть таблицю значень функцій І, АБО, НЕ.
3. Намалюйте найпростіші схеми елементів для виконання операцій І, АБО, НЕ.
4. Поясніть спосіб реалізації елементів І-НЕ в пристроях діодно-транзисторної і транзисторно-транзисторної логіки.
5. Поясніть, як реалізуються елементи АБО-НЕ в пристроях з безпосередніми зв'язками і в пристроях з емітерними зв'язками.
6. Поясніть роботу елемента І-АБО-НЕ тригера.
7. Намалюйте схеми тригерів на логічних елементах.
8. Які пристрої називаються *RS*- тригерами? Які їх властивості?
9. Який тригер називають асинхронним, синхронним?
10. Яким чином можна реалізувати синхронний *RS*-тригер на логічних елементах?