

Синхронізація в цифрових схемах

Несиметричні тригери

У цифрових пристроях широко використовується ще один тип тригерів, які називаються *несиметричними тригерами*, або *тригерами Шмідта*. Ці схеми теж мають два стійкі стани, зміна яких проходить під дією вхідних сигналів. Виготовляються вони так, що при відсутності вхідного сигналу рівень вихідної напруги конкретно визначений як високий або низький. Характерною властивістю несиметричних тригерів є те, що вхід або входи мають різні порогові рівні сигналу, при якому тригер змінює свій стан під час наростання сигналу або його зменшення.

На рис. 1 зображені: умовне графічне зображення несиметричного тригера (рис. 1, *а*), передаточні характеристики $U_{\text{ВИХ}} = f(U_{\text{ВХ}})$ без інверсії (рис. 1, *б*) та з інверсією вихідного сигналу (рис. 1, *в*), а також часові діаграми, що пояснюють особливості його роботи.

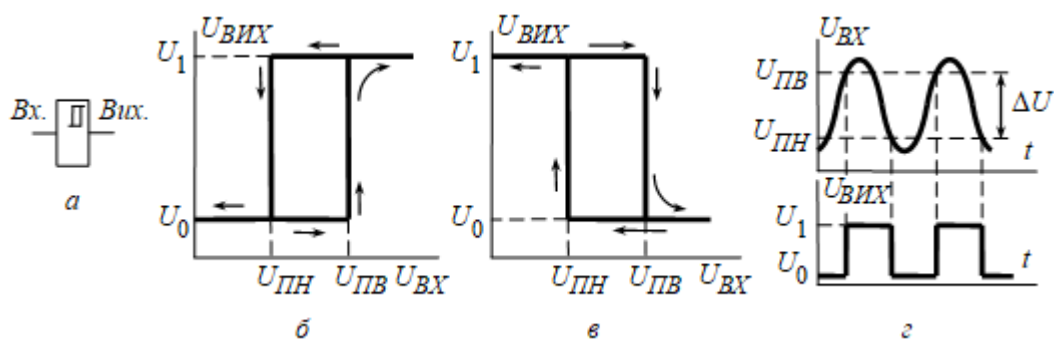


Рис. 1

Наявність різних порогових рівнів, при яких проходить зміна станів тригера, називається *гістерезисом*. Різниця між верхнім $U_{\text{ПВ}}$ та нижнім $U_{\text{ПН}}$ пороговими рівнями $\Delta U_{\text{П}} = U_{\text{ПВ}} - U_{\text{ПН}}$ називається *шириною гістерезисної петлі*. Цей параметр визначає чутливість тригера до зміни вхідних сигналів. Чим менша величина $\Delta U_{\text{П}}$, тим більш чутливим є тригер.

У практичній схемотехніці виготовляють несиметричні тригери багатовходовими з розширенням по **I**, а також з інверсією вхідного сигналу. Наприклад, мікросхема ТТЛ КР1533ТЛ1 (аналоги провідних західних фірм-

виробників – 7413PC, CDB413E, MC7413N, SN7413N) у своєму корпусі має два тригери Шмідта з чотиривходовим елементом **I** на вході та інверсією по виходу, тобто реалізує функцію $2(4I-II)$. Мікросхема КМДН КР1564ТЛ2 (SN74НС14) – шість тригерів Шмідта-інверторів. Несиметричні тригери широко використовуються як порогові елементи для формування прямокутних імпульсів з сигналів довільної форми. Вони мають високу перешкодостійкість, стандартизований поріг перемикання і високу точність роботи у випадках, коли швидкість зміни вхідного сигналу невисока.

У тих випадках, коли виникає необхідність відійти від стандартизованих рівнів, несиметричний тригер може бути виготовлений на базі інверторних мікросхем (рис. 4.37).

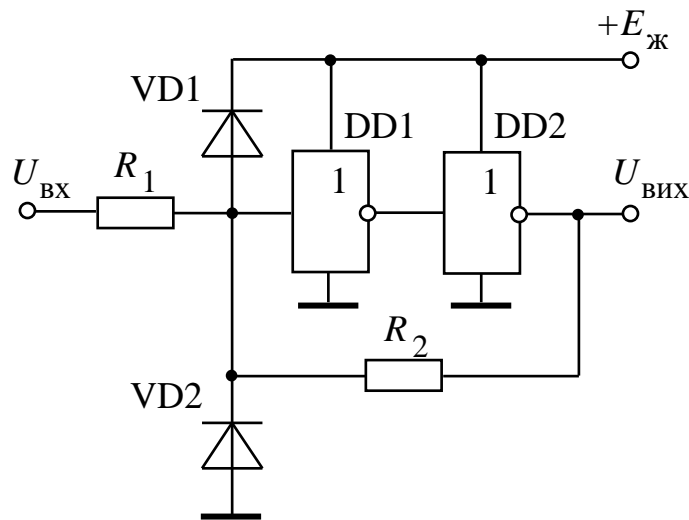


Рис. 2

Робота такого тригера легко пояснюється на прикладі використання КМДН- інтегральних схем, для яких можна прийняти достатньо фіксованими наступні параметри:

- вхідний опір $R_{вх} \approx \infty$;
- пороговий рівень спрацьовування мікросхеми:

$$U_{\Pi} \approx E_{ж}/2.$$

При наростанні вхідної напруги від 0 до U_{Π} рівень напруги на вході DD1 еквівалентний логічному **0**. Відповідно, і рівень напруги на виході DD2 також дорівнює **0**. Тригер спрацює у випадку, якщо виконається співвідношення:

$$U_{\text{вх1}} \cdot \frac{R_2}{R_1 + R_2} \geq U_{\text{П}}, \quad (1)$$

звідки знаходимо:

$$U_{\text{вх1}} \geq \frac{U_{\text{П}} \cdot (R_1 + R_2)}{R_2} = \frac{E_{\text{ж}} \cdot (R_1 + R_2)}{2R_2}. \quad (2)$$

При наявності напруги $+E_{\text{ж}}$ на виході співвідношення для зворотнього спрацьовування тригера має вигляд:

$$U_{\text{вх0}} = \left[(R_1 + R_2) / R_2 \right] \cdot U_{\text{П}} - \left(\frac{R_1}{R_2} \cdot E_{\text{ж}} \right) \approx \frac{(R_2 - R_1) \cdot E_{\text{ж}}}{2R_2}. \quad (3)$$

Використання цих формул дозволяє вибрати нижній та верхній пороги роботи несиметричного тригера.

Приклад 1. Визначити співвідношення між резисторами R_1 та R_2 (див. рис. 4.37) при наступних вихідних даних: $E_{\text{ж}} = 5$ В; $U_{\text{вх1}} = 4$ В; $U_{\text{вх0}} = 1$ В.

Розв'язання. Користуючись формулами (2) і (3), складемо систему рівнянь:

$$\begin{cases} U_{\text{вх1}} = \frac{R_1 + R_2}{2R_2} E_{\text{ж}} \\ U_{\text{вх0}} = \frac{R_2 - R_1}{2R_2} E_{\text{ж}} \end{cases}; \quad \begin{cases} 8 \cdot R_2 = 5 \cdot (R_1 + R_2) \\ 2 \cdot R_2 = 5 \cdot (R_2 - R_1) \end{cases}.$$

З кожного з них маємо: $R_2 = \frac{5}{3} R_1$.

Синхронізація в цифрових схемах

Способи синхронізації та особливості їх використання

З підвищенням складності цифрових схем поява місцевих та загальних зв'язків у них призводить до того, що аналізувати і враховувати гонки в таких схемах стає практично неможливо. Радикальним вирішенням проблеми гонок є *синхронізація*. У практиці побудови систем синхронізації використовуються *однофазна* і *багатофазна синхронізація*, *одночастотна* і *багаточастотна*.

Розгляд систем синхронізації почнемо з двофазної системи, коли всі схеми синхронізуються двома послідовностями імпульсів C_1 та C_2 однієї частоти

$f_T = T_T^{-1}$ та одного фазового зсуву T_Φ . Тривалість імпульсів двох послідовностей однакова і дорівнює T_i . Для симетричної двофазної синхронізації $T_T = 2 T_\Phi$. Для несиметричної $T_{\Phi 1} \neq T_{\Phi 2}$.

При побудові синхронних цифрових схем їх розподіляють на дві групи. В одну групу входять комбінаційні схеми з визначеною кількістю входів та виходів. До іншої групи входять схеми D -тригерів, які мають особливість зберігати записану інформацію протягом одного такту.

Узагальнена цифрова схема може бути приведена до структури, що зображена на рис. 3 (аналог конвеєрної обробки інформації в мікропроцесорах і мікропроцесорних системах).

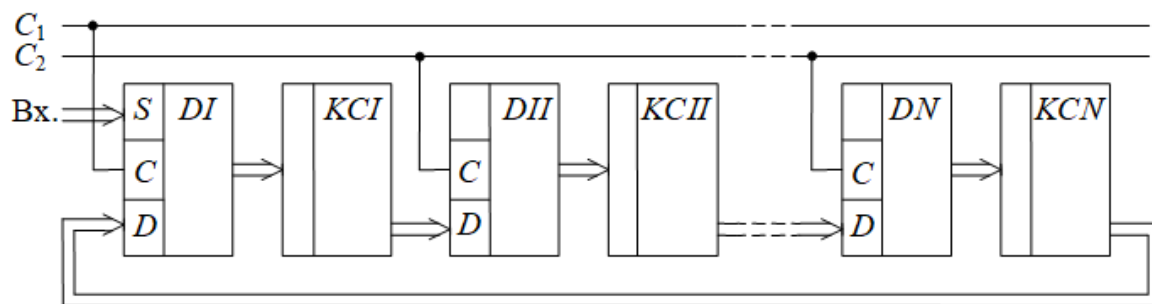


Рис. 3

Схема включає в себе послідовно об'єднані групи D -тригерів, позначених на рис. 3 як DI, DII, \dots, DN , і комбінаційних схем, позначених $KCI, KCII, \dots, KC(N-1), KCN$. Кожна з груп тригерів об'єднується за принципом синхронізації від одного синхроімпульсу і в загальному плані представляє собою паралельний регістр, виконаний на D -тригерах.

Кожна група KC включає в себе чисто комбінаційну схемотехніку, яка виконує одночасно ряд логічних функцій, приймаючи інформацію з виходів попереднього регістра пам'яті і передаючи на наступний, який синхронізується другим синхроімпульсом. Внутрішні зворотні зв'язки в групі комбінаційних схем відсутні.

Фізичну суть процесів у схемі та ідеологію проектування цифрових пристроїв з двофазною синхронізацією пояснює рис. 4.

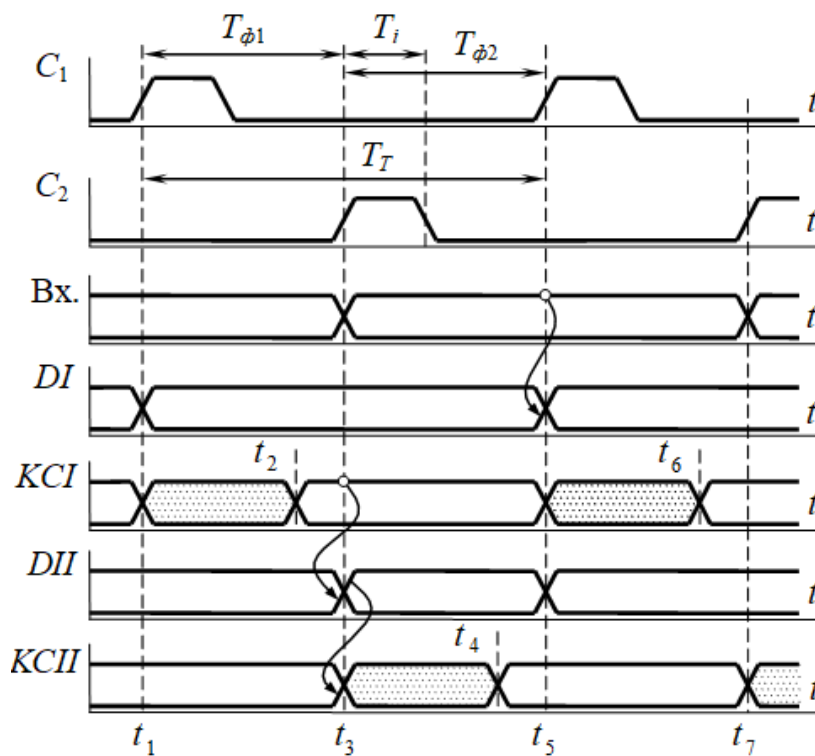


Рис. 4.

За синхросигналом C_2 чергова група інформаційних сигналів записується в регістрову групу D -тригерів N і передається для обробки на вхід комбінаційної схеми KCN . Через деякий інтервал часу ця інформація з'явиться на вхідних шинах D -тригерів DI . У момент часу t_1 з'являється фронт синхросигналу C_1 , за яким як вхідна інформація, що подається на входи S , так і інформація з виходів KCN записуються в тригери DI . По закінченні перехідних процесів в тригерах DI на їх виходах з'являються сигнали, які починають опрацьовуватись комбінаційною схемою KCI . Як правило, в схемі мають місце паралельні шляхи розповсюдження сигналів, тому вихідні сигнали KCI спочатку є невизначеними, адже вони спотворюються перехідними процесами. На рис. 4.39 картина гонок в KCI відображена на інтервалі часу $t_1 - t_2$. Інтервал часу $t_1 - t_2$ перехідних процесів для DII не описаний через те, що всі тригери в цьому інтервалі часу закриті нульовим рівнем сигналу C_2 . До моменту t_2 всі перехідні процеси закінчуються, сигнали на виході KCI фіксуються, і в інтервалі часу $t_2 - t_3$ ніякі стани в схемі не змінюються.

При подачі сигналу C_2 у момент t_3 установлені значення виходів KCI записуються в DI і по завершенні в них перехідних процесів подаються на

входи послідуєчої комбінаційної схеми *КСИ*. Процеси гонок в *КСИ* проходять в інтервалі часу $t_3 \dots t_4$ і до моменту t_5 появи фронту синхроімпульсу С1 встановлюються незмінними. При появі С1 результати обробки сигналів в *КСИ* перезаписуються в послідуєчі регістри схеми. Як результат, у синхронному пристрої йде циклічна багатоступенева обробка інформації в комбінаційних схемах, при якій комбінаційні схеми працюють по черзі. Завдяки цьому ніякі гоночні процеси в комбінаційних схемах не можуть внести похибку в обробку вхідних сигналів. Для цього необхідно лише, щоб інтервал часу T_Φ перевершував максимальну тривалість перехідних процесів. Проектант завжди в змозі забезпечити таке співвідношення на основі паспортних значень максимальних затримок мікросхем.

Величина T_Φ залежить від величини затримки t_3 комбінаційних схем, яка може змінюватись у широких межах. Якщо t_3 менша вибраної величини T_Φ , то таке співвідношення не має негативних наслідків, виключаючи лише зниження швидкості обробки інформації. Але тоді іноді затримка деяких комбінаційних схем перевищує величину робочого інтервалу T_Φ , в результаті чого, відповідно до рис. 4, схема стає непрацездатною. У подібних ситуаціях можуть використовуватись різні шляхи вирішення проблеми.

Найпростішим з них є збільшення тривалості T_Φ і, відповідно, періоду синхроімпульсів. Як результат, це може суттєво знизити швидкодію розробленої схеми. Для того, щоб залишити частоту синхронізації незмінною, використовують несиметричну двофазну синхронізацію, при якій $T_{\Phi 1} \neq T_{\Phi 2}$. У цьому випадку, якщо можливо, комбінаційні схеми з більшим часом затримки розміщуються в більшому робочому інтервалі. Якщо подвійна організація схемотехніки неможлива, то комбінаційну схему з великою тривалістю t_3 розбивають на дві схеми і між ними встановлюють проміжний запам'ятовуючий вузол. Такий спосіб приводить до необхідної послідуєчої перефазовки схеми. Широко використовується спосіб, при якому комбінаційні вузли з низькою швидкодією виділяють окремо і для них знижують частоту синхронізації до необхідної.

Найбільш гнучкий спосіб забезпечення високої швидкодії при наявності

комбінаційних схем з великою затримкою – це використання багатозафазних схем синхронізації, які використовуються у швидкодіючих пристроях. Переваги таких схем ілюструє рис. 5.

У залежності від величини конкретної затримки кожної комбінаційної схеми, на *C*-входи пристроїв пам'яті можливо заводити різні фази синхронізації і, відповідно, відкривати тригери-приймачі з затримкою на інтервали часу, кратні T_{ϕ} ($T_{\phi}, 2T_{\phi}, 3T_{\phi}, \dots$) відносно тієї фази, яка синхронізує передавач інформації. Недопустимо тільки синхронізувати тригери-приймачі синхросигналом тієї фази, якою синхронізувалися тригери-передавачі даної комбінаційної схеми. Розглянутий спосіб широко використовується на практиці, адже він дає також можливість зменшити неробочі інтервали комбінаційних схем, що мають місце при очікуванні синхросигналу.

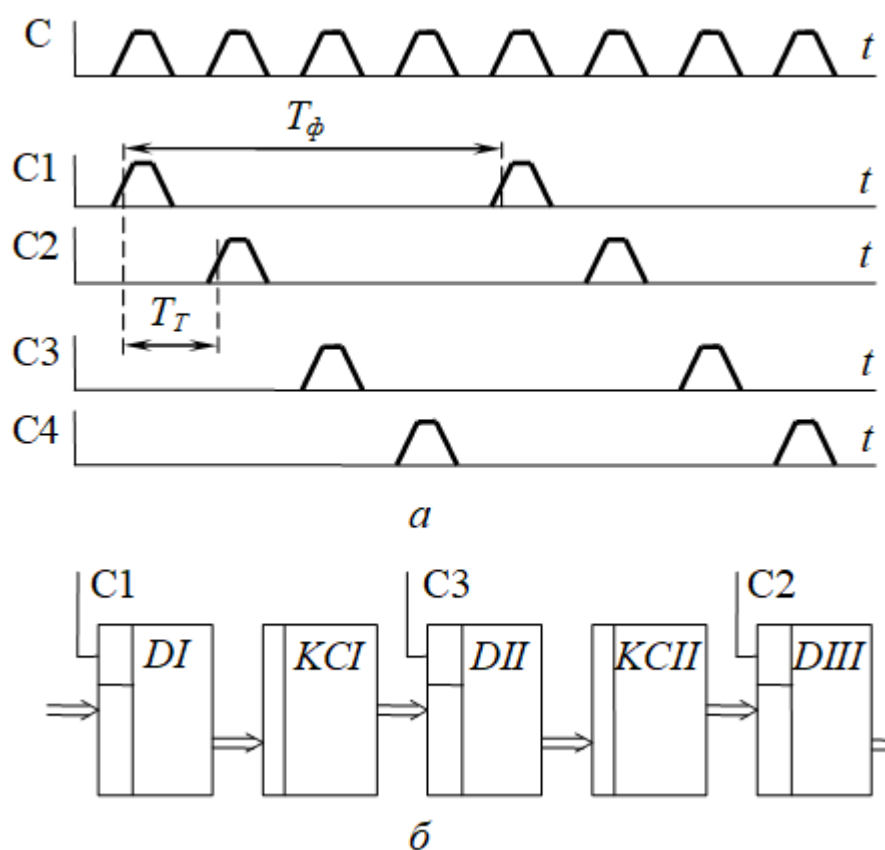


Рис. 5

На вибір тактової частоти генератора синхросигналів впливають також типи тригерів, розгалуженість схеми розподілення синхросигналів. Вказані

особливості використовуються тільки досвідченими конструкторами при проектуванні складних цифрових схем автоматики. З розвитком потужних мікропроцесорів та машинних методів проектування ці особливості стають неактуальними.

У процесі проектування часто виникає необхідність у створенні зворотних зв'язків у синхронних схемах. У таких випадках необхідно дотримуватись наступних правил:

- в усіх схемах з двофазною синхронізацією петля зворотного зв'язку як з логічними елементами, так і без них повинна починатись з виходів тригерів, що синхронізуються однією фазою і закінчуватись на вході тригерів, що синхронізуються іншою фазою;

- недопустимі зв'язки, які передають сигнали з виходу однієї групи тригерів на вхід другої, що синхронізується однією і тією ж фазою.

З вказаних правил витікає, що відсутність у схемах з двофазною синхронізацією замкнутих кіл забезпечується тим, що у будь-який момент часу хоча б один з запам'ятовуючих пристроїв є відключеним і не передає інформацію з входу на вихід. Ці умови можуть бути забезпечені і при використанні однофазної синхронізації, якщо використовувати тригери, які не є “прозорими” для інформаційного сигналу, – наприклад, динамічні тригери. Особливості використання динамічних тригерів у схемах однофазної синхронізації пояснюються на рис. 6.

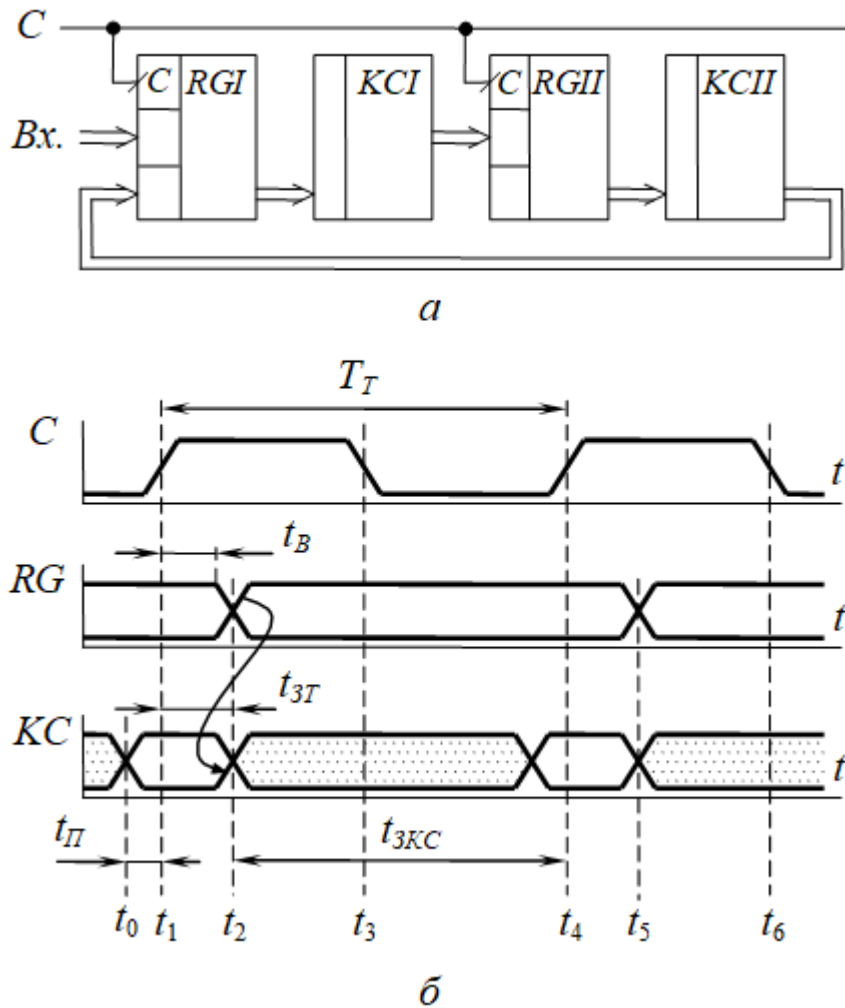


Рис. 6

Для розподілення комбінаційних схем KCI , $KCII$ використовуються динамічні тригери, запис інформації в які проходить за фронтом синхроімпульсу. До моменту часу t_0 всі перехідні процеси в комбінаційній схемі KC повинні завершитись, залишивши невеликий резерв часу підготовки t_{Π} до появи фронту синхроімпульсу. Поява його в момент t_1 , як відомо з роботи динамічних тригерів, не призводить до миттєвої зміни його станів, а початок цього процесу затримується на інтервал часу витримки t_B . Через інтервал затримки t_{3T} у зміні станів виходів тригерів нові дані з'являються на вході комбінаційної схеми (наприклад, схеми KCI), і в ній починається описаний процес гонок, який проходить протягом часу затримки комбінаційної схеми t_{3KC} до моменту часу t_4 . З аналізу розглянутих динамічних процесів витікає, що фактично тактова частота $f_T = T_T^{-1}$ визначається часом t_{3KC} .

При однофазній синхронізації допускається використання тригерів, які у

різних модулях мають різні моменти зміни станів. Наприклад, тригери пристрою *RGI* спрацьовують за фронтом, а *RGIІ* – за спадом. Завдяки такій комбінації виникає можливість використовувати *КС* з різними інтервалами затримок.

Особливістю однофазної синхронізації є складність її використання при розгалуженій системі синхронізації. Пояснюється це тим, що на окремих ділянках схеми синхронізації можуть виникати суттєві затримки. Інформаційні сигнали для ланки схеми, що розглядається, можуть не мати затримок. Як результат цього явища, неспівпадіння інформаційних тактів з фронтами синхросигналу – наприклад, N -го такту синхросигналу з $(N+1)$ тактом інформаційного сигналу. Проконтролювати подібну ситуацію не завжди можливо, тому однофазна синхронізація знаходить обмежене використання.

Двофазна і багатофазна синхронізація не має вказаного недоліку через те, що вона має можливість попередньо врахувати будь-які затримки як в передачі синхронізуючих, так і інформаційних сигналів.

Важливо звернути увагу і на інші переваги багатофазної синхронізації. Перш за все, модулі пам'яті в багатофазних схемах синхронізації можуть бути побудовані на найпростіших синхронних тригерах, а принципів обмежень на типи тригерів практично немає. Немає обмежень також на часові співвідношення в імпульсних послідовностях синхросигналу або крутизну фронтів, що є обов'язковими для динамічних тригерів. Вказані переваги багатофазних схем синхронізації, незважаючи на складність побудови розгалуженого дерева синхронізуючих сигналів, приводять до того, що в складних цифрових схемах використовуються переважно вони. Однофазні схеми знаходять використання лише в окремих вузлах або нескладних схемах – регістрах, лічильниках і т. п. Часто однофазна синхронізація використовується в мікроконтролерах, в яких немає необхідності багатоступінчатого розмноження сигналів.

Узгодження вхідних сигналів

Сигнали, що подаються на цифрові схеми з зовнішніх пристроїв, мають характеристики, які можуть суттєво відрізнятися від стандартів цифрових сигналів. Невідповідність між ними може суттєво вплинути на роботу цифрових схем.

Найпростіше вирішуються задачі узгодження полярності та амплітуд сигналів, адже в різних серіях цифрових мікросхем випускається достатня кількість перетворювачів рівнів сигналів.

Більш суттєвими задачами є такі, як тривалість фронтів та прив'язування вхідних сигналів до синхросигналів цифрових пристроїв.

Скорочення фронтів. Ця задача пов'язана з тим, що ряд джерел інформаційних сигналів має велику тривалість фронтів, яка значно перевищує тривалість фронтів логічних елементів. Як результат, навіть незначна неідентичність порогових рівнів логічних елементів призводитиме до значного часового розкиду моментів їх спрацьовування. В інтервалі напруг, близьких до порогових рівнів транзистори логічних елементів можуть знаходитись в активному режимі, що приводить до значних витрат потужності, перегріву, появи автогенерації, наскрізних струмів великих величин.

Такі задачі вирішуються за допомогою тригерів Шмідта, які мають підвищені порогови спрацьовування. Ці елементи описані раніше.

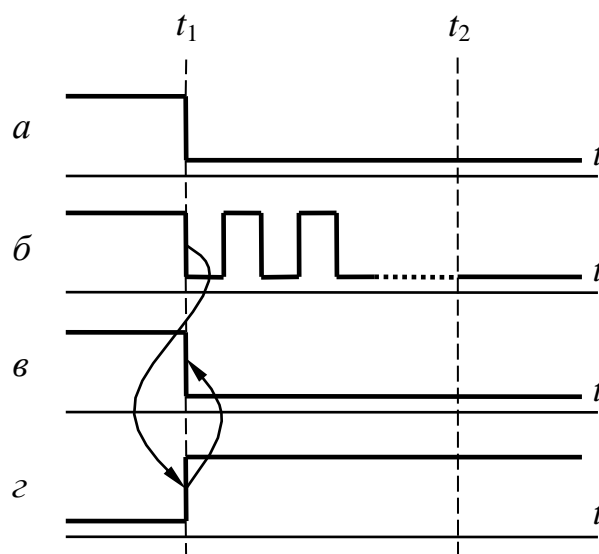


Рис. 7

Для попередження подібних ситуацій необхідно перетворити пологі фронти в круті, які співпадали б з тривалістю фронтів використовуваних логічних елементів.

Тремтіння контактів. Цей недолік будь-яких систем пов'язаний з вібрацією, що має місце при ударі. Це явище спостерігається в будь-яких контактних системах – реле, кнопках, клавіатурі комп'ютерів.

Частота вібраційних коливань контактів при їх замиканні знаходиться в межах від сотень герц до одиниць кілогерц, тому при зміні стану реле або при замиканні кнопкового контакту на вхід цифрової схеми поступає не сигнал, як зображено на рис. 7, а, а імпульсна послідовність (рис. 7, б), яка має місце в інтервалі часу $t_1 - t_2$. Для ліквідації вказаного недоліку електромеханічних схем використовуються шунтуючі електронні пристрої.

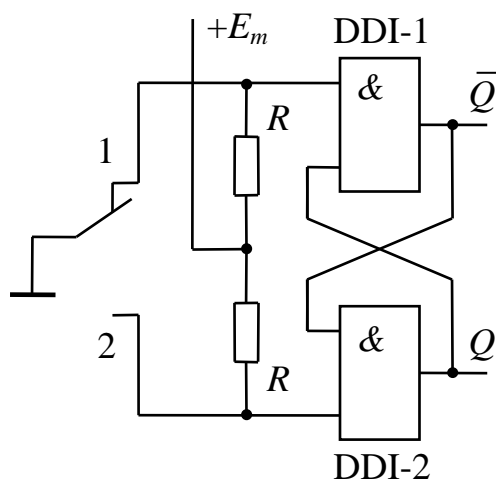


Рис. 8

На рис. 8 приведена схема пристрою для ліквідації вібраційних коливань реле. Його робота полягає в наступному. При знаходженні контакту реле в позиції **1** нульовий потенціал подається на вхід елемента DDI-1, і на виході \bar{Q} (вихід елемента DDI-2) буде низький потенціал (рис. 7, з). При зміні положення контакту (з **1** в **2**) на вхід DDI-2 поступить сигнал нульового рівня, і тригер змінить свій стан на одиничний, тобто прямий вихід $Q = 1$ (рис. 7, з) і інверсний вихід $\bar{Q} = 0$ (рис. 7, в). Наявність вібраційних коливань, які полягають у тому, що заземлюючий контакт відривається від контакту **2**, але не дотикається до

контакту **1**, не зможе привести до зміни стану тригера.

На практиці використовуються різні засоби вирішення проблеми вібраційних коливань. Використовуються, наприклад, схеми одновібраторів з витримкою часу, що перевершує інтервал вібраційних коливань. Знаходить використання спосіб інтегрування вібраційних коливань за допомогою *RC*-інтеграторів з наступним використанням порогових елементів. У контролерах клавіатури усунення проблеми вібраційних коливань досягається за рахунок програмного багаторазового опиту стану натиснутої клавіші в заданому інтервалі часу.

Синхронізатори

Прив'язка зовнішніх сигналів до синхроімпульсів необхідна тому, що синхронні цифрові схеми приймають вхідні сигнали без похибок лише в визначені інтервали часу. Якщо вхідний сигнал подається на комбінаційну схему безпосередньо перед синхроімпульсом, то перехідні процеси в ній можуть не завершитись до появи синхроімпульсу, і в тригери буде записана хибна інформація. Інша причина пов'язана з реакцією на одиночні сигнали. Наприклад, сигнал від натискання кнопки може тривати багато періодів синхросигналу. У той же час, для цифрових синхронних схем його тривалість не повинна перевищувати один період синхрочастоти. Вказані задачі вирішуються за допомогою тригерних схем, які називаються *синхронізаторами*.

На рис. 9 приведена схема синхронізатора на базі статичних *D*-тригерів. Вхідний сигнал з однаковою ймовірністю може з'явитись у будь-який момент часу на інтервалі періоду синхросигналу. Якщо його фронт на часовій діаграмі відображається лініями *a*, *b*, *c*, то тригер DD1 запише на свій вихід Q_1 значення вхідного сигналу, яке за синхросигналом C_2 переписується на вихід Q_2 тригера DD2 і до появи C_1 передається на вихід синхронізатора через логічний елемент DD4 **3I**. На вході матимемо інформаційний сигнал *A*, співпадаючий з синхросигналом C_2 . Якщо вхідний сигнал з'являється пізніше синхроімпульсу C_1 (по лінії *d*₁, *e*), то тригер DD1 прийме його за третім синхроімпульсом (лінії

d_1, e_1), який також через DD2 і DD4 за синхросигналом C_2 пройде на вхід у вигляді одиночного імпульсу. Повторення імпульсу неможливе, адже при $Q_2 = 1$ та $C_1 = 1$ тригер DD3 змінить свій стан і $Q_3 = 0$. Тобто, з'явиться сигнал заборони повтору вхідного сигналу. Зрозуміло, що, приймаючи асинхронний сигнал за можливу наявність фазового скиду, на один тактовий інтервал не слід звертати увагу.

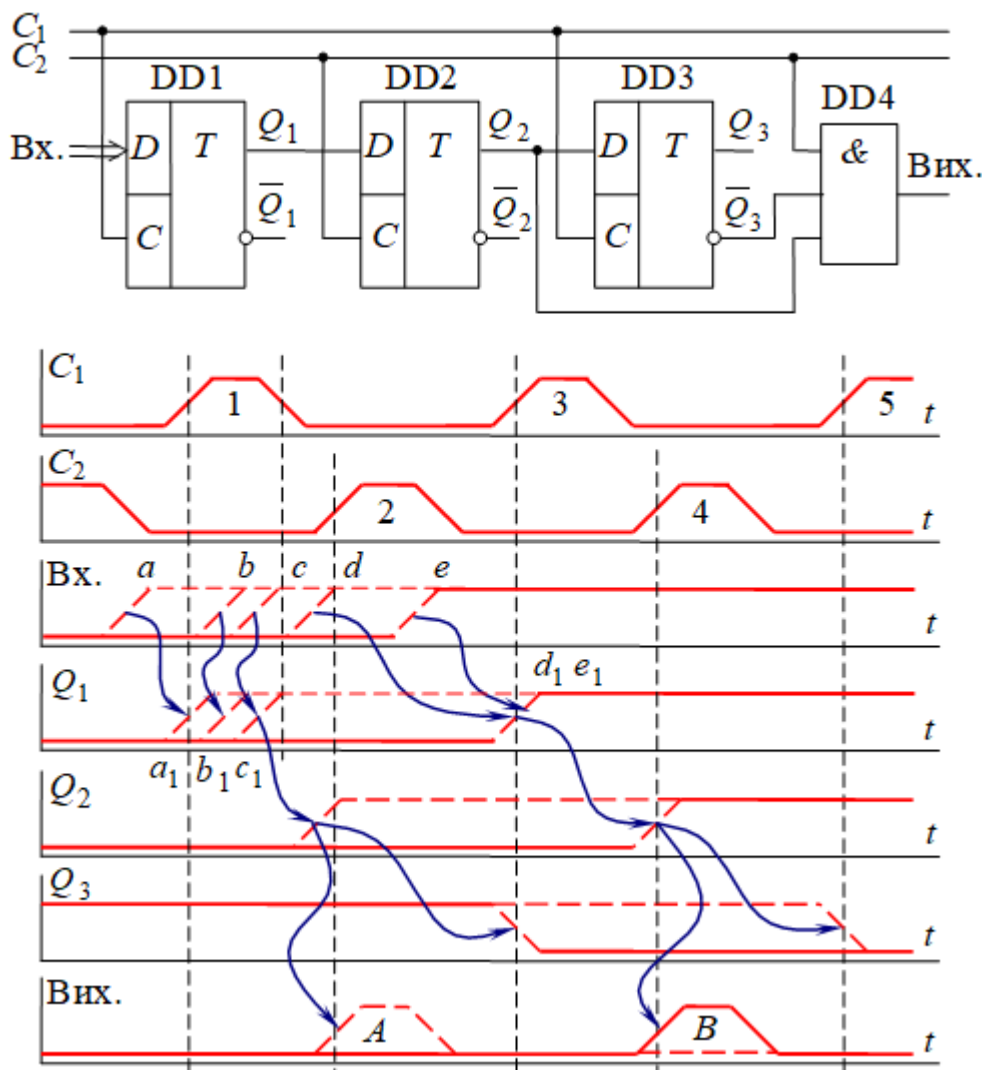


Рис. 9

У розглянутій схемі тригер DD1 визначає, з яким із двох сусідніх синхроімпульсів слід зв'язати вхідний сигнал, але, коли б він не з'явився, приведена схема завжди відреагує на нього одним імпульсом. До того ж, вхідний імпульс буде стандартизованим по відношенню до схеми-приймача.

Якщо з'являється необхідність перетворити вхідний сигнал у постійний

високопотенціальний рівень, то це можливо зробити, виключивши DD3.

Розглянута схема може служити основою для перетворення неоднорідної вхідної послідовності сигналів у періодичну.

Подібна схема може бути реалізована і з використанням динамічних *D*-тригерів та однофазною синхронізацією. Принципової різниці у побудові така схема не має.

У розглянутій схемі в рамках описаних особливостей роботи виникає сумнів щодо необхідності тригера DD2. Ці сумніви справедливі до того моменту, поки не з'явиться ситуація, при якій вхідний сигнал співпадає зі спадом імпульсу 1. Тоді, незважаючи на наявність позитивного зворотного зв'язку в тригерах, тригер DD1 може знаходитись у невизначеному стані відносно тривалий інтервал часу, затягуючи фронт на імпульсі по виходу Q1. Тригер DD2 у такому випадку виконує функцію швидкодіючого порогового елемента.

Асинхронний обмін інформацією має місце між цифровими пристроями, кожен з яких має свою власну схему синхронізації. В такому випадку сигнали, що поступають з іншого пристрою, сприймаються приймачем як асинхронні. При інтенсивному обміні інформацією постає питання максимально можливої частоти передачі при асинхронному зв'язку.

Розглянемо, як приклад, однофазну синхронізацію, схема якої приводиться на рис. 10, *а*. Вхідний сигнал з'являється в часовому інтервалі закінчення синхроімпульсу. В зв'язку з тим, що динамічні тригери DD1 і DD2 спрацьовують за спадом імпульсу, на вході DD3 синхроімпульсу з'явиться в один з інтервалів: або *A*, або *B*. Як витікає з часових діаграм (рис. 10, *б*), для появи на вході послідовності синхронних імпульсів необхідно, щоб виконувались умови:

$$T_{i\min} > T_T \text{ і } T_{\Pi\min} > T_T,$$

де $T_{i\min}$ і $T_{\Pi\min}$ – мінімальні тривалості імпульсу та паузи вхідної послідовності.

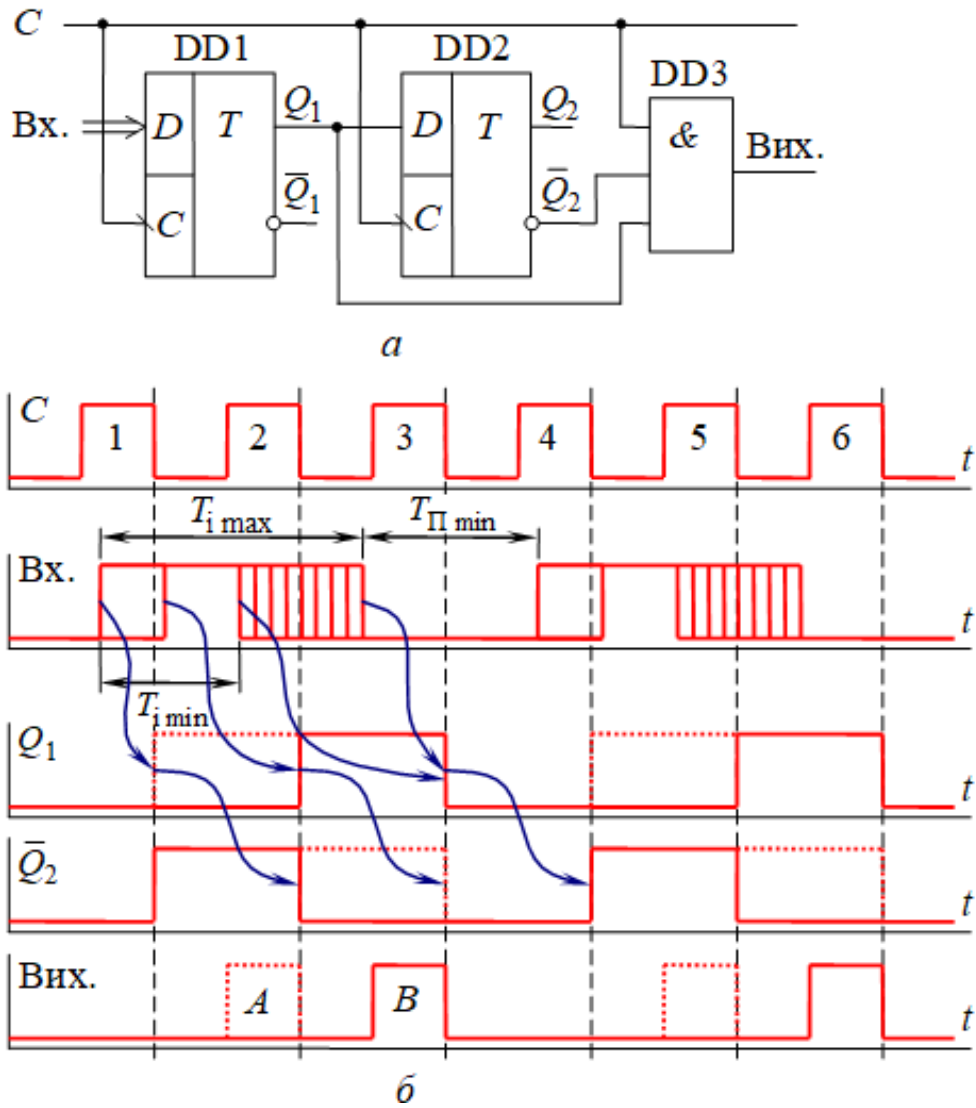


Рис. 10

Враховуючи властивість D -тригерів відновлювати свій стан при відсутності вхідного сигналу за спадом синхроімпульсу, з аналізу діаграм витікає, що при синхроімпульсному обміні частота передачі інформації зменшується практично в 2-3 рази, порівняно з синхронним. Це пояснюється тим, що при відносній швидкості обміну біт за такт, частота вихідних тактових сигналів падає в 2,5-3 рази. До того ж, у вихідній послідовності буде порушена періодичність імпульсів, оскільки вони можуть з'являтися в інтервалі A або B , а це ускладнює задачу обробки інформації.

Практичні проблеми проектування синхронних цифрових схем

Вище були описані засоби синхронізації як надійний метод побудови цифрових систем. У той же час, з підвищенням робочих частот та, відповідно, зменшенням допустимих інтервалів часу на передачу сигналу від одного тригера до іншого виникає ряд реальних проблем, які можна помітити лише в процесі налагодження. Одна з них – зміщення синхросигналу. Вона обумовлена тим, що синхронні динамічні тригери коректно запам'ятовують і передають інформацію лише тоді, коли всі вони одночасно сприймають вхідний сигнал за фронтом або за зрізом синхросигналу.

На рис. 11 приводиться приклад, коли внаслідок затримки синхросигналу по провіднику друкованої плати між тригерами DD1 та DD2 на виході елемента DD2 отримується хибний сигнал.

Дійсно, за першим синхросигналом S низький рівень вхідного сигналу записується в тригер DD1, а в DD2 у цей час також записується низький рівень сигналу з Q_1 . За другим синхросигналом у DD1 записується високий рівень вхідного сигналу, а в DD2 повинен записатися низький рівень з Q_1 . Але внаслідок того, що по лінії передачі синхросигналу мала місце його затримка на величину τ_{3c} , що перевищує реальну затримку завантаження тригера, в DD2 записується сигнал високого рівня. Величина τ_{3c} називається *часом зміщення синхросигналу*. Фактично наявність τ_{3c} еквівалентна появі завади в синхронних схемах. З рис. 11 бачимо, що для реально проєктованих схем необхідно, щоб виконувалась умова $\tau_{3c} < t_3$.

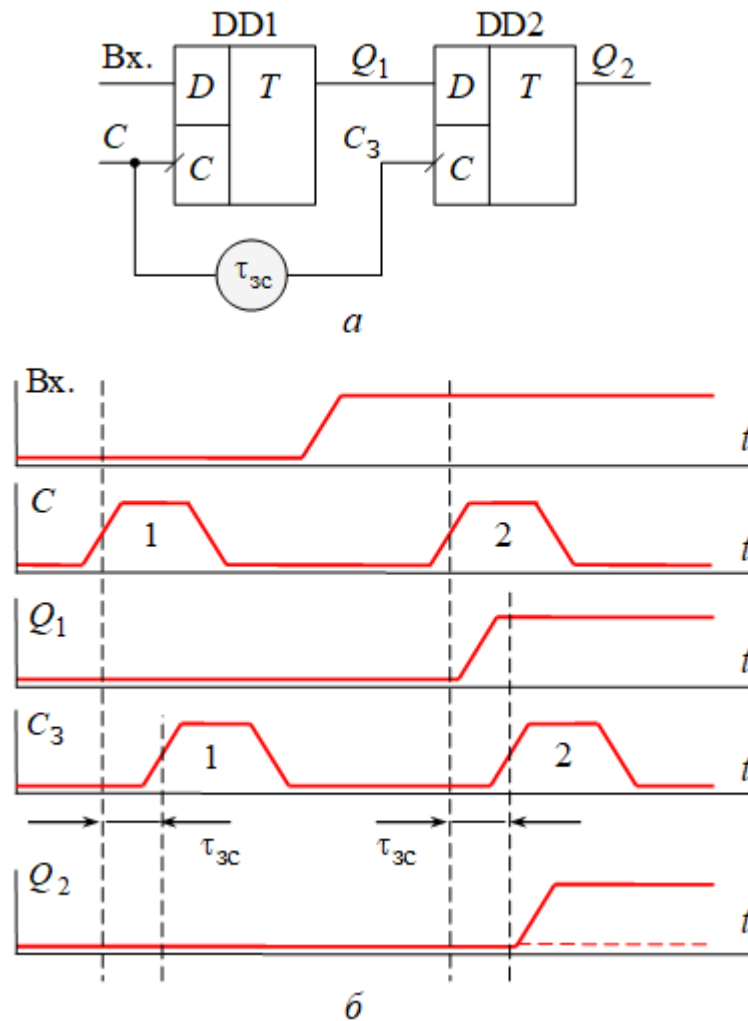


Рис. 11

Звичайно, розглядаючи приведений приклад ізольовано від цифрової схеми, може виникнути питання: “Чому схема спроектована так, що інформаційний сигнал проходить короткий шлях, а синхросигнал – довгий, в той час як вони повинні проходити майже разом?”. Особливість синхросигналів полягає у тому, що, на відміну від інформаційних, вони розповсюджуються від одного джерела по всій схемі електронної системи. Як результат, характер навантаження джерела синхросигналу суттєво відрізняється від характеру навантаження джерела інформаційних сигналів. Для того, щоб зменшити навантаження джерела синхросигналу, створюються копії синхросигналу за схемою, що приведена на рис. 12.

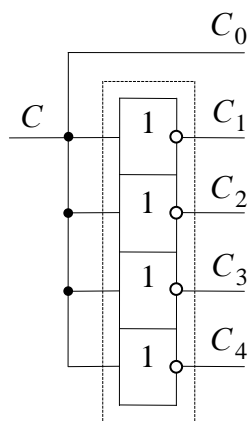


Рис. 12

Всі копії синхросигналу $C_1 \div C_4$ повинні створюватись ідентичними буферами, які мають однакові часові затримки t , здебільшого, розміщені в одній мікросхемі. Недопустимо використовувати поряд з копіями синхросигналів $C_1 \div C_4$ базовий C_0 , оскільки між ними вже існуватиме різниця в часі. Але копії $C_1 \div C_4$ необхідно використовувати ідентично, оскільки різне їх навантаження може привести до різних за величиною часових затримок буферних мікросхем.

При проектуванні друкованих плат слід звернути увагу на характер розводки провідників синхросигналу відповідними комп'ютерними програмами. Здебільшого програми орієнтовані на мінімізацію перехідних отворів, внаслідок чого провідники синхросигналу розміщуються по складній конфігурації між корпусами мікросхем. Оскільки для програм розводки друкованих плат всі провідники однакові, то провідники синхросигналу можуть розміщуватись паралельно заземленню, створюючи цим значні ємності C , відповідно, величини затримок. Як наслідок, різні мікросхеми матимуть різні величини затримок, що в складних і швидкодіючих цифрових системах може призвести до появи помилок. Тому в таких ситуаціях розводку провідників синхросигналу не слід довіряти програмам, а виконувати вручну або закладати, якщо це можливо, в програми розробки друкованих плат.

Окрім синхросигналів, у цифрових системах існує ще ряд сигналів, на які слід звертати особливу увагу при проектуванні. Це можуть бути сигнали дозволу, які необхідно подавати до подачі синхросигналу, а також інші керуючі

сигнали. Слід також звертати особливу увагу на введення у цифрову систему асинхронних сигналів. Асинхронними є сигнали вводу інформації (наприклад, з клавіатури), сигнали переривань, а також ряд внутрішніх сигналів, що з'являються в результаті виконання обчислень (ознаки). Зрозуміло, що для вводу цих сигналів у синхронну цифрову систему використовуються синхронізатори, які забезпечують вибір асинхронного сигналу в тактовий момент часу. Проблема синхронізації обумовлена розглянутими вище затримками синхросигналу. Якщо, наприклад, асинхронний сигнал одночасно подається на декілька тригерів, то можлива ситуація, коли в один з тригерів інформація буде записана, а в інший, внаслідок затримки синхросигналу, – ні. В результаті в роботі системи виникне помилка.