

## Регістри і регістрові файли

Елементарним елементом електронної пам'яті є тригер, здатний зберігати 1 біт записаної в ньому інформації. Кілька тригерів можна об'єднати в регістр.

**Регістр** – це послідовнісний функціональний вузол, створений із послідовно або паралельно з'єднаних тригерів і призначений для зберігання  $n$ -розрядних двійкових чисел та виконання перетворень над ними. Кожен розряд двійкового числа записується у своєму тригері, тому число тригерів в регістрі визначає розрядність записуваного числа. Регістри зазвичай будуються на основі  $D$ - та  $RS$ -тригерів, хоча можуть бути реалізовані також на базі більш функціональних  $JK$ -тригерів. При цьому для побудови регістрів можуть використовуватися як динамічні (flip-flop), так і статичні тригери.

Регістри **класифікують** за різними ознаками, серед яких головною ознакою є **способи прийому і видачі даних**. За цією ознакою розрізняють **паралельні** регістри, **послідовні (зсувні)** і **паралельно-послідовні (універсальні)**.

- У **паралельних регістрах** прийом і видача слів виконуються за всіма розрядами одночасно. Функції таких регістрів зводяться тільки до прийому, зберігання і передачі інформації. У зв'язку з цим паралельні регістри називають регістрами пам'яті. У паралельних регістрах зберігаються слова, які можуть бути піддані порозрядним логічним перетворенням.
- У **послідовних регістрах** слова приймаються і видаються розряд за розрядом. Послідовні регістри називають регістрами зсуву, тому що з появою синхроімпульсу на тактовому вході інформація переміщується в розрядній сітці. Розрізняють односпрямовані регістри зсуву (з напрямом від молодших розрядів до старших або навпаки) та реверсивні з можливістю зсуву інформації в обох напрямках.
- **Послідовно-паралельні регістри** мають входи-виходи одночасно послідовного та паралельного типу. Є варіанти з послідовним входом і паралельним виходом (SIPO, послідовний ввід - паралельний вихід), паралельним входом і послідовним виходом (PISO), а також варіанти з можливістю будь-якого поєднання способів прийому і видачі слів.

Іншими ознаками класифікації регістрів є:

- **спосіб керування записуванням**. Розрізняють **асинхронні** і **синхронні** регістри;
- **кількість ліній передачі даних**. Розрізняють **однофазні** та **парафазні** регістри. При однофазному поданні значення кожного розряду слова передається по одній лінії зв'язку, а при парафазному – по двох лініях: по одній – пряме значення розряду, по іншій – інверсне;
- **тип тригерів**, що використовуються;
- та інші.

Більшість регістрів мають вхідну і вихідну логіки, тобто комбінаційну схему керування, за допомогою якої забезпечується виконання певних операцій над словами: записування і виведення інформації за керуючими сигналами, виконання логічних операцій над збереженими словами, зміна напрямку зсуву бітів інформації в реверсивних регістрах зсуву, перемикання регістра зсуву з паралельного режиму роботи на послідовний та інші.

**Паралельний регістр** являє собою набір синхронних тригерів з паралельним прийомом і видачею інформації. Умовне зображення регістра зображене на рис. 12.57,а). Логічна функція регістра позначається буквами **RG** (від англ. *register* – запис). На рис. 12.57,б) наведена схема чотирирозрядного паралельного регістра на  $D$ -тригерах. Код числа  $X_3X_2X_1X_0$ , що записується, подається на інформаційні  $D$  входи чотирьох тригерів і записується у регістр з приходом тактового імпульсу  $C$ . При запису інформації в паралельний регістр всі біти (двійкові розряди) повинні бути записані одночасно, тому всі тактові входи

тригерів, що входять до складу регістра, об'єднуються паралельно. Для реалізації паралельних регістрів можна використати як статичні тригери (зі спрацьовуванням за рівнем синхроімпульсу), так і з динамічним (за фронтом) входом синхронізації (рис. 12,57,в)). Вихідна інформація змінюється після подачі нового вхідного слова і приходом наступного синхроімпульсу. Інформація може зберігатися як завгодно довго, якщо на вхід  $C$  не надходять імпульси або якщо не вимикається живлення функціонального вузла. Такі регістри використовують в системах оперативної пам'яті. Кількість тригерів в паралельних регістрах визначає максимальну розрядність збережених слів.

У деяких випадках регістри можуть мати вхід для установки виходів в стан лог. 0 перед записом інформації. Цей асинхронний вхід називають «входом скидання» тригерів регістра (вхід  $R$  у  $D$ -тригерах на рис. 12.57,г)). При необхідності збереження інформації на декілька тактів у регістрах на  $D$ -тригерах потрібно використовувати дозволяючий  $V$ -вхід або додавати комбінаційну частину вузла для блокування проходження записаної інформації на вихід.

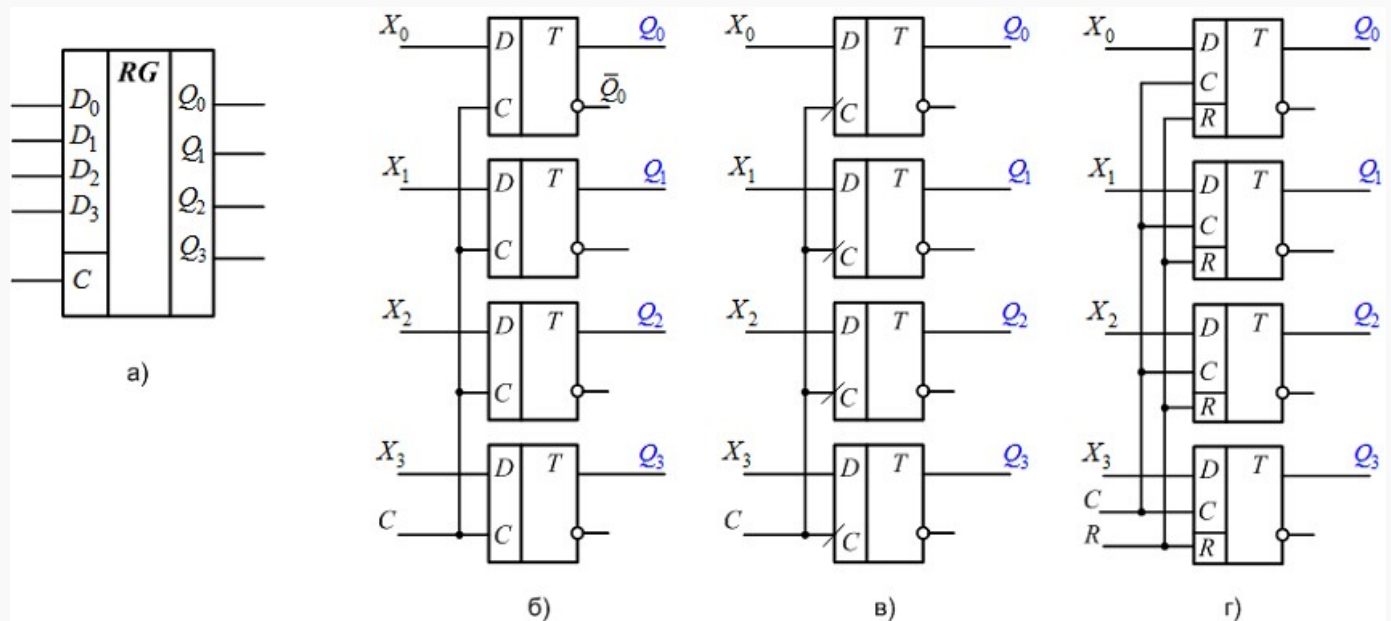


Рис. 12.57. Паралельний 4-розрядний регістр: умовне позначення (а), схема на статичних  $D$ -тригерах (б), на динамічних  $D$ -тригерах (в), схема на  $D$ -тригерах з входом скидання (г)

У регістрах пам'яті, які реалізовані на  $RS$ - та  $JK$ -тригерах, можливий однофазний або парафазний спосіб записування інформації. При однофазному записуванні значення кожного розряду слова  $X_3X_2X_1X_0$  надходить по одній лінії зв'язку на вхід  $S$  (або  $J$ ) відповідних тригерів (рис. 12.58,а)). Після зчитування записаної інформації регістр має обнулюватися по спільному  $R$  входу. Таким чином, при однофазному записуванні частота обміну інформацією зменшується, оскільки процеси введення і скидання чергуються. **При парафазному записуванні інформації** значення кожного розряду слова передається по двох лініях зв'язку. При цьому пряме значення  $X_i$  надходить на вхід  $S$  (або  $J$ ) відповідних тригерів, а інверсне значення  $\bar{X}_i$  – на вхід  $R$  (або  $K$ ). У цьому випадку не потрібне попереднє скидання регістра в стан лог. 0, тому що таку функцію виконує сигнал  $\bar{X}_i$  (рис. 12.58,б)).

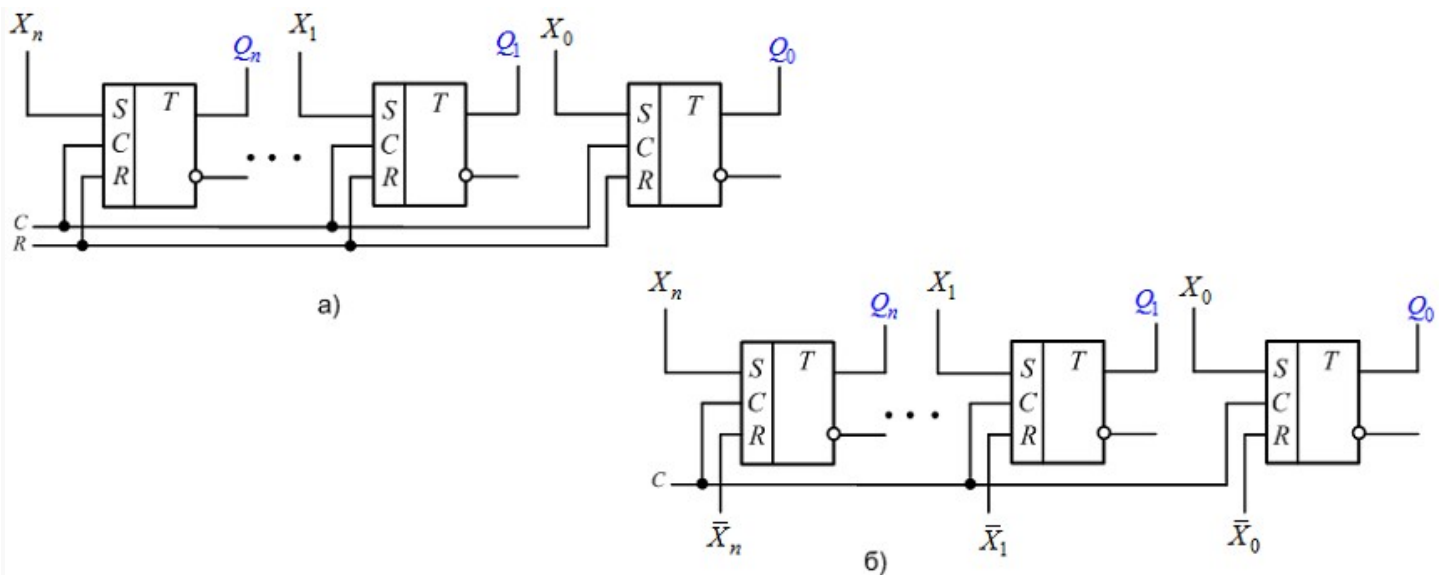


Рис. 12.58. Паралельний регістр на  $RS$ -тригерах:  
з однофазним записом даних (а), з парафазним записом даних (б)

З ускладненням алгоритму функціонування до множини тригерів додається **комбінаційна схема керування**, яка забезпечує запис інформації у певні моменти часу, збереження інформації впродовж заданого часу і появу збереженої інформації за запитом. В якості прикладу на рис. 12.59,а) наведена схема 4-розрядного регістра на  $RS$ -тригерах. Логічні елементи DD1...DD4 утворюють ланцюг керування записом вхідного слова  $X_3X_2X_1X_0$ , а елементи DD9...DD12 – ланцюг керуванням зчитуванням інформації, яка зберігається тригерами DD5...DD8. Перед записом інформації усі тригери регістра встановлюють у стан лог. 0 шляхом подачі імпульсу лог. 1 на їх  $R$ -входи. Інформація у вигляді слова  $X_3X_2X_1X_0$  подається на входи схем 2І. Для запису інформації потрібен імпульс **DE** (*data enable*), що відкриває вхідні елементи 2І. З приходом імпульсу **DE** код вхідного числа записується в регістр. По закінченні імпульсу **DE** елементи DD1...DD4 закриваються, а інформація, що записана в регістр, зберігається незважаючи на те, що стан інформаційних входів може змінюватися.

Для зчитування інформації потрібно подати сигнал лог. 1 на вхід **OE** (*output enable*). За цим сигналом на вихідні шини регістру  $Q_3, Q_2, Q_1, Q_0$  на час дії сигналу передається код числа, записаного в регістрі. По закінченню операції читання логічні елементи 2І закриваються, а інформація в регістрі, як і раніше, зберігається. За наявності такої схеми керування можливо багаторазове зчитування інформації. Умовне графічне позначення паралельного регістра наведено на рис. 12.59,б).

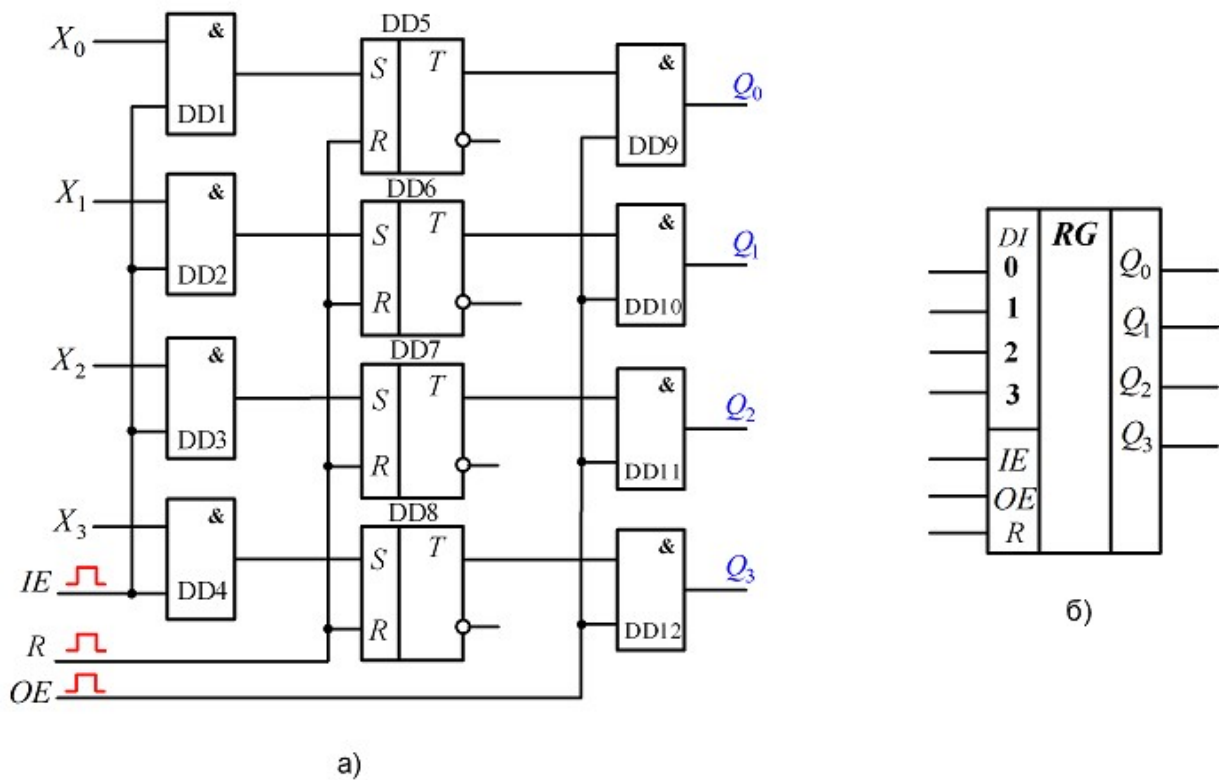


Рис. 12.59. Регістр пам'яті на  $RS$ -тригерах зі схемою керування записом та зчитуванням інформації:  
схема (а), умовне позначення (б)

У регістрах можуть виконуватися такі порозрядні (без перенесень) логічні мікрооперації над словами  $A$  і  $B$ : додавання, множення, додавання за модулем два, заперечення додавання за модулем два та інверсія слова, що зберігається. Логічні мікрооперації передбачають наявність першого слова  $A$  в регістрі пам'яті.

- Логічне додавання в регістрі на  $RS$ - або  $JK$ -тригерах з однофазним записом виконується введенням слова  $B$  без попереднього скидання слова  $A$ , а логічне множення виконується введенням інверсних розрядів слова  $B$  на входи  $R$  (або  $K$ ).
- Мікрооперації додавання за модулем два та його заперечення реалізуються в регістрах на  $T$ -тригерах. Спочатку записується слово  $A$ , а потім без попереднього скидання за лічильним входом вводиться слово  $B$ . Після цього на прямих виходах тригерів фіксується результат операції додавання за модулем два, а на інверсних виходах – заперечення додавання за модулем два.
- Інвертоване значення слова  $A$ , яке зберігається в регістрі, отримують на прямих виходах  $T$ -тригерів після подачі на усі  $T$ -входи тригерів лог. 1. Процедура заснована на співвідношенні  $A_i \oplus 1 = \bar{A}_i$  (див. [таблицю істинності для операції додавання за модулем два](#)).

Промисловістю випускаються 4-розрядні та 8-розрядні мікросхеми паралельних регістрів. При вирішенні практичних завдань часто потрібно більша розрядність паралельних регістрів більша восьми. У такому випадку можна збільшувати розрядність регістрів паралельним з'єднанням готових мікросхем.

В даний час паралельні регістри зазвичай є частиною більш складних цифрових пристроїв, таких як цифрові фільтри, ОЗУ, синтезатори частот або схеми прямого цифрового синтезу DDS. Подібні схеми не реалізуються на мікросхемах середньої інтеграції, а є частиною великих інтегральних мікросхем (ВІС), таких як мікропроцесори, ASIC або FPGA.

**Послідовний регістр** являє собою ланцюжок послідовно увімкнених  $D$ -тригерів або  $RS$ - і  $JK$ -тригерів, налаштованих на роботу в режимі  $D$ -тригера. Поява імпульсу на тактовому вході регістру спричинює переміщення записаної в ньому інформації на один розряд вправо або вліво. Через це регістри з послідовним прийомом і видачею інформації називаються зсувними регістрами або **регістрами зсуву**.

Регістри зсуву зазвичай реалізуються на тригерах з динамічним керуванням або на двоступеневих тригерах. Кількість тригерів у ланцюжку, як і в регістрах пам'яті, визначає розрядність регістра. На рис. 12.60 наведені схеми чотирирозрядних регістрів зсуву, реалізованих на  $D$ - і  $RS$ -тригерах. У першому розряді регістра на  $RS$ -тригерах (рис. 12.60,б) сигнал по вході  $S$  одночасно подають через інвертор на вхід  $R$ , тим самим реалізуючи  $D$ -тригер. Тригери в інших розрядах увімкнені так, що на вхід  $R$  завжди надходить сигнал, інвертований щодо сигналу на вході  $S$ .

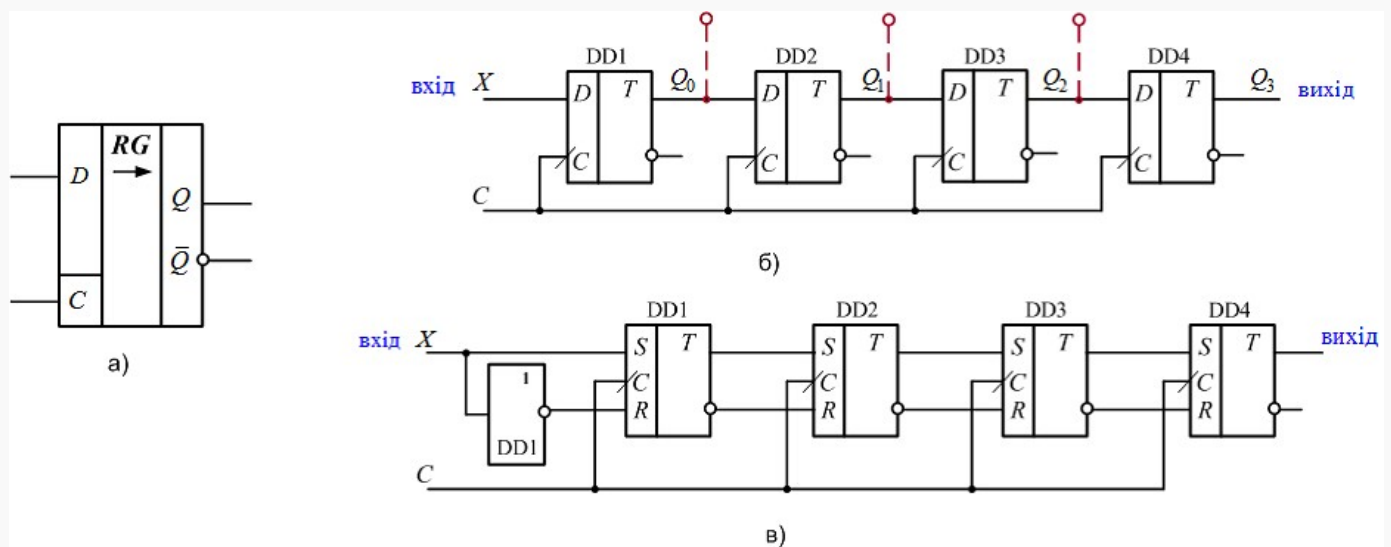


Рис. 12.60. Послідовний 4-розрядний регістр: умовне позначення (а), схема на  $D$ -тригерах (б), на  $RS$ -тригерах (в)

Роботу регістра зсуву розглянемо на прикладі схеми, наведеної на рис. 12.60,б), і проілюструємо часовими діаграмами (рис. 12.61). Вхід  $D$  першого тригера  $DD1$  служить для прийому в регістр вхідної інформації у вигляді послідовного коду  $X_n \dots X_1 X_0$ . З кожним тактовим імпульсом на цей вхід повинен подаватися код нового розряду вхідної інформації. З виходу  $Q_3$  останнього тригера знімається послідовний вихідний код, який з'являється із затримкою щодо вхідного послідовного коду на число періодів тактових імпульсів, яке дорівнює кількості розрядів регістра.

Припустимо, що спочатку всі тригери регістра перебувають у стані логічного нуля:  $Q_0 = Q_1 = Q_2 = Q_3 = 0$ . Якщо на вхід регістра надходить сигнал  $X = 0$ , то при подачі синхроімпульсу  $C$  на виходах тригерів залишиться лог. 0.

Після надходження інформативного сигналу  $X = 1$  з появою синхроімпульсу на вході  $C$  у тригер  $DD1$  запишеться лог. 1, а стан тригера  $DD2$  не зміниться ( $Q_1 = 0$ ). Так відбувається тому, що інформативний сигнал проходить зі входу  $D$  тригера  $DD1$  до виходу  $Q_0$  із затримкою, яка більша за час тривалості фронту тактового імпульсу, протягом якого відбувається записування інформації, а до моменту надходження фронту синхроімпульсу на виході тригера  $DD1$  був наявний лог. 0. Через незмінність сигналу на виході тригера  $DD2$  незмінними залишаються і стани тригерів  $DD3, DD4$  ( $Q_2 = Q_3 = 0$ ). Таким чином, тільки в

тригер  $DD1$  записується той біт інформації, яка була на його вході  $D$  в момент надходження фронту синхроімпульсу.

З надходженням другого синхроімпульсу сигнал лог. 1 з виходу тригера  $DD1$  запишеться у другий тригер, тобто відбудеться зсув інформаційного біту у сусідній розряд. Завдяки тому, що вихід кожного попереднього розряду з'єднаний із входом  $D$  наступного, кожен тактовий імпульс встановлює наступний тригер у стан, в якому до цього знаходився попередній. Так здійснюється зсув інформації вправо у кожному такті синхроімпульсів. Зважаючи на те що кожен тактовий імпульс послідовно зсуває код числа у регістрі на один розряд, для запису  $n$ -розрядного коду потрібно  $n$  тактів.

Після надходження 4 синхроімпульсів регістр виявляється повністю заповненим розрядами числа, що вводиться через послідовний вхід  $X$ . Протягом наступних чотирьох синхроімпульсів відбувається послідовне порозрядне виведення записаного числа через вихід  $Q_3$ . Такий режим називається **режимом послідовного зчитування**. Якщо під час зчитування інформаційного коду на вхід регістра подається сигнал лог. 0, то регістр виявляється повністю очищеним.

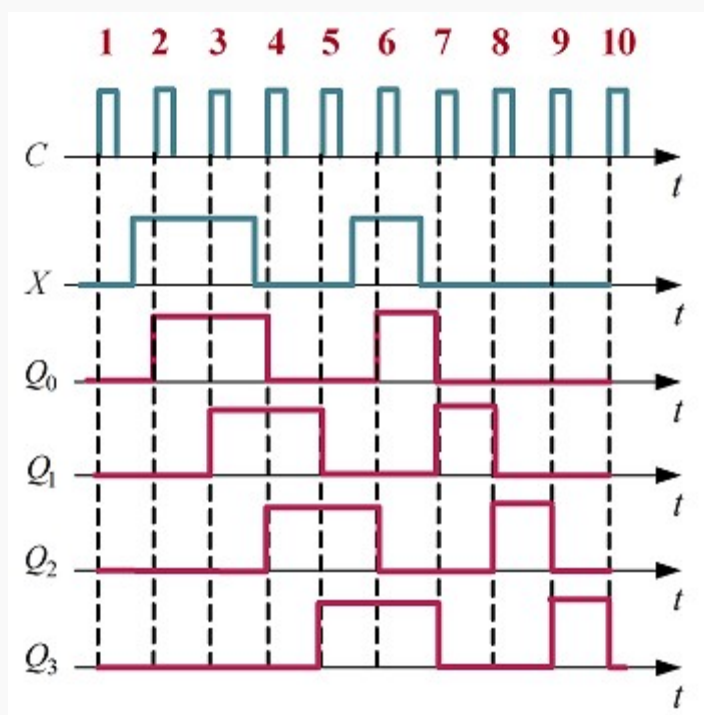


Рис. 12.61. Часові діаграми до пояснення роботи 4-розрядного послідовного регістра

Послідовні регістри, схеми яких зображені на рис. 12.60, виконують зсув інформаційних бітів тільки в одну сторону. Такі регістри називають регістром із зсувом вправо. Існують **реверсивні регістри**, в яких зсув інформації може бути здійснений в обидві сторони. У реверсивних регістрах тригер кожного розряду має бути з'єднаний через логічні елементи із входами попереднього і наступного розрядів. Напрямок зсуву визначається керуючим сигналом, що подається на спеціальний вхід керування напрямом зсуву. На рис. 12.62 зображена схема реверсивного 4-розрядного регістра.

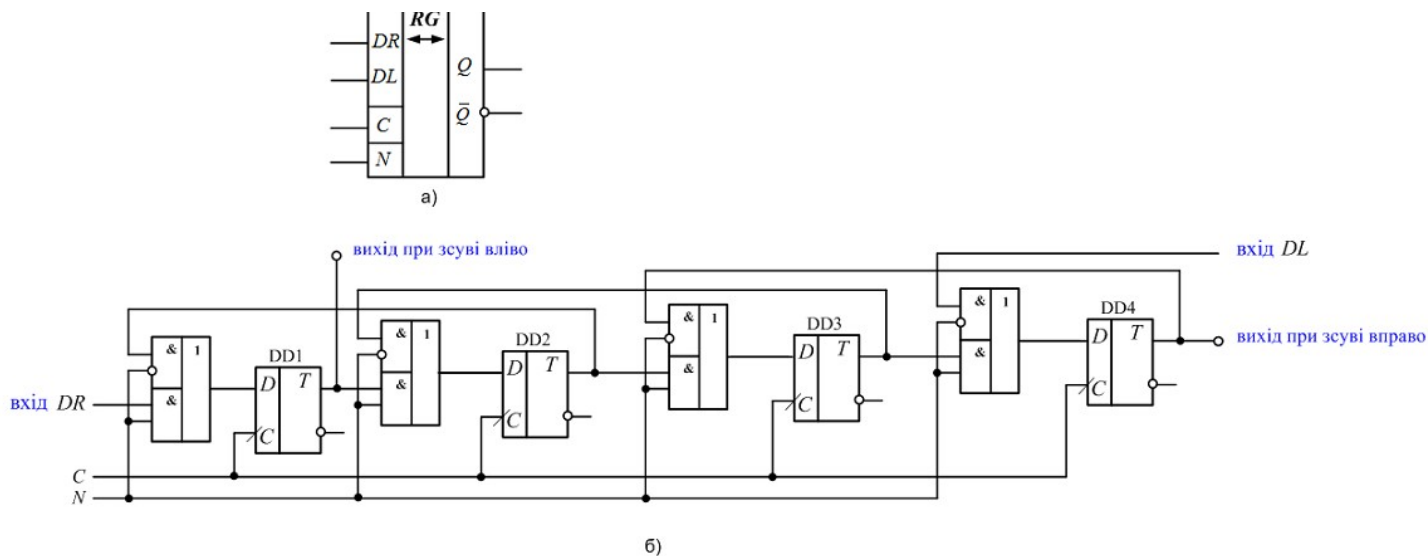


Рис. 12.62. Реверсивний 4-розрядний реєстр зсуву: умовне позначення (а), схема на  $D$ -тригерах (б)

Оскільки транзистори і логічні елементи, на яких побудовані тригери, здатні передавати інформативні сигнали тільки в одному напрямку з входу на вихід (зліва направо), то для зсуву інформації вліво необхідно сигнали з виходів наступних тригерів за спеціально створеними колами зворотного зв'язку подавати на входи попередніх тригерів і записувати їх наступним тактовим сигналом. Керування напрямом зсуву в реєстрі, схема якого зображена на рис. 12.62,б), виконується сигналом по входу  $N$ . За наявності сигналу  $N = 1$  потенціал на вході  $D$  будь-якого з тригерів реєстру визначається виходом тригера, що стоїть ліворуч від нього (вхідним сигналом  $DR$  для  $DD1$ ), тобто відбувається зсув інформації вправо. Якщо  $N = 0$ , потенціал на вході  $D$  будь-якого з тригерів реєстру визначається виходом тригера, що стоїть праворуч від нього (вхідним сигналом  $DL$  для  $DD4$ ), і в реєстрі має місце зсув інформації вліво при надходженні тактових імпульсів.

Реєстри зсуву можуть виконувати функції збереження і перетворення інформації. Такі реєстри можуть бути використані для побудови помножувачів і дільників чисел двійкової системи числення, тому що зсув двійкового числа вліво на один розряд відповідає множенню його на два, а зсув вправо – поділу на два. Послідовні реєстри зсуву можуть служити також як пристрої затримки сигналу, представленого в цифровій формі, тому що здійснюють затримку передачі інформації на  $n$  тактів у  $n$ -розрядному реєстрі. Реєстри зсуву використовують також для побудови [кільцевих лічильників імпульсів](#).

У практичних застосуваннях дуже зручними є **універсальні реєстри** – реєстри зсуву з комбінованими способами вводу і виводу інформації: **послідовно-паралельним вводом** інформації та **послідовно-паралельним виводом**. Реєстр з послідовним входом та паралельним виходом типу SIPO (від англ. *serial input, parallel output*) легко отримати із послідовного реєстра, схема якого зображена на рис. 12.60,б), якщо передбачити доступ до виходів усіх тригерів реєстру (червоні пунктирні лінії). Паралельний вихідний код  $Q_3Q_2Q_1Q_0$  можна зняти з виходів усіх тригерів реєстра зсуву, забезпечивши їх вихідними ключами, подібними до вихідних ключів паралельного реєстра (рис. 12.59). Умовне зображення реєстра з послідовно-паралельним виводом інформації показано на рис. 12.63.

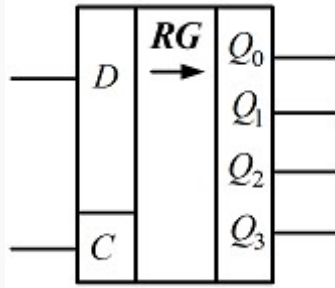


Рис. 12.63. Умовне зображення 4-розрядного регістра зсуву з послідовно-паралельним виводом інформації

Універсальні регістри використовують і як регістри пам'яті, і як регістри зсуву для запису, зберігання та видачі інформації, але основним їх призначенням є перетворення послідовного коду на паралельний і, навпаки, паралельного на послідовний. Регістр типу SISO зазвичай служить для перетворення послідовного коду на паралельний. Застосування послідовного коду пов'язане з необхідністю передачі великої кількості двійкової інформації по обмеженій кількості з'єднувальних ліній. При паралельній передачі розрядів потрібна велика кількість з'єднувальних провідників. Якщо двійкові розряди послідовно біт за бітом передавати по одному провіднику, то можна значно скоротити розміри з'єднувальних ліній на платі та розміри корпусів мікросхем.

Схема універсального регістра з можливістю послідовного і паралельного вводу і виведення інформації зображена на рис. 12.64,а). Кожен розряд складається з  $D$ -тригера та логічного елемента, який виконує функцію двоканального мультиплексора, побудованого на схемах 2І-АБО. Керує перемиканням сигнал  $V$ . Регістр може записувати інформацію порозрядно в часі або всіма розрядами водночас. Подача на вхід  $V$  сигналу лог. 1 перетворює схему на паралельний регістр. При цьому на входи ключів, підключених до інформаційних входів  $D$ , подається потенціал лог. 1. Це призводить до того, що сигнали з входів паралельного запису даних надходять на входи логічних елементів АБО, а на входи ключів, підключених до виходів попередніх тригерів, подаються нульові потенціали. Тобто на виходах цих ключів будуть присутні нульові потенціали, і вони не заважатимуть роботі паралельного регістра. Якщо  $V = 0$ , то інформативні сигнали з паралельних входів  $D_0 \dots D_3$  не поступають на входи тригерів, а надходять сигнали з виходів попереднього тригера (з входу  $DI$  для першого тригера). Інертори на входах  $V$  і  $C$  використані для посилення вхідного сигналу за струмом: вхідний струм мікросхеми дорівнює вхідному струму інвертора, а не сумарному струму чотирьох логічних елементів 2І.

Умовно-графічне зображення універсального регістра зі зсувом вправо наведено на рис. 12.64,б). Вхід послідовного введення даних на цьому малюнку позначений як  $DI$  і відокремлений від інших груп входів рискою. Точно так само виділені в окремі групи входи керування  $V$  і синхронізації  $C$ . Щоб створити універсальний реверсивний регістр, потрібно передбачити в логічній схемі керування можливість керування напрямом зсуву подібно до схеми на рис. 12.62.



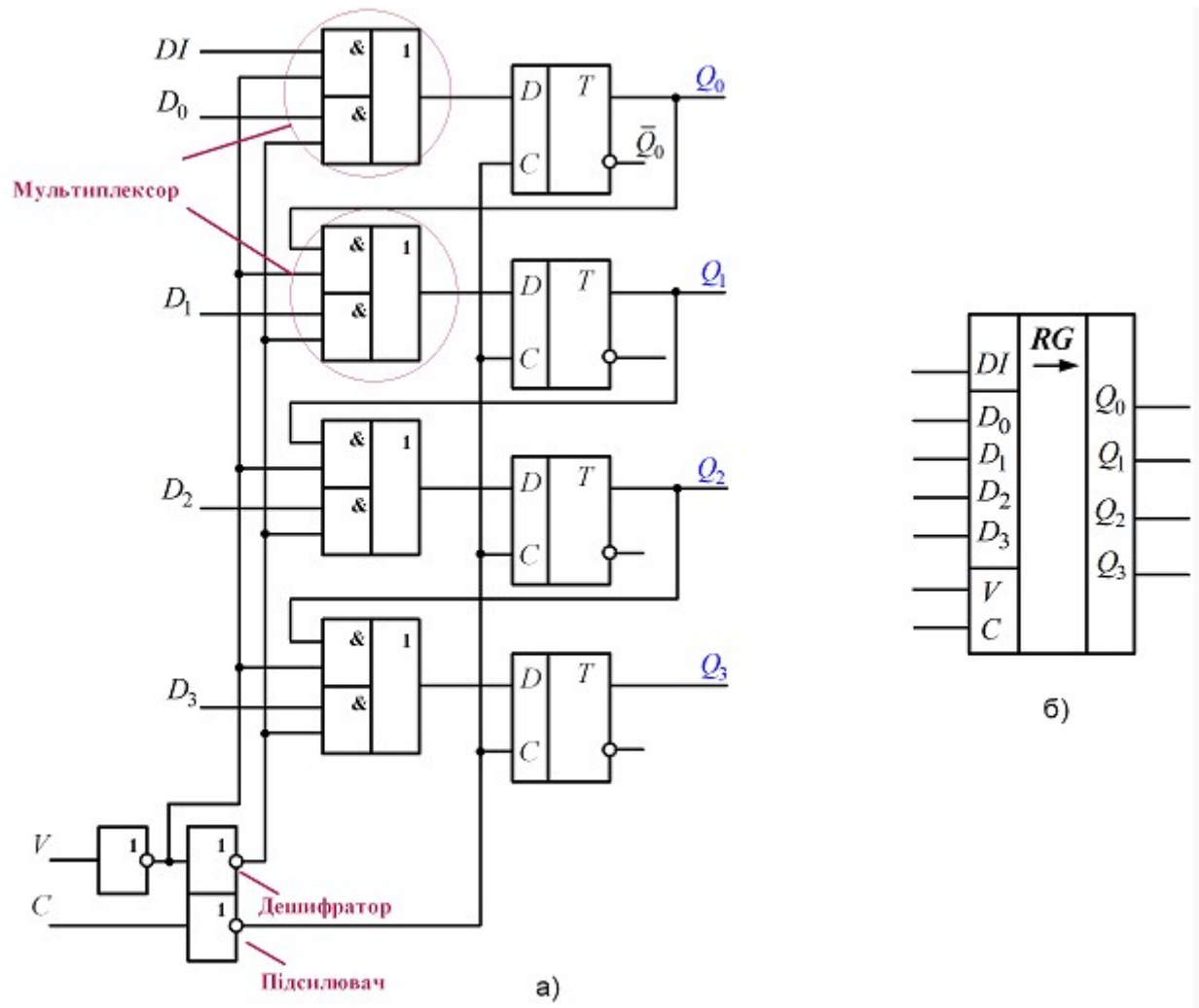


Рис. 12.64. Універсальний 4-розрядний регістр зсуву: схема на  $D$ -тригерах (а), умовне позначення (б)

У мікросхемному виконанні виготовляється велика номенклатура регістрів різноманітного призначення (табл. 12.21). Корпуси мікросхем універсальних регістрів мають входи і виходи для послідовного і паралельного вводу і зчитування інформації, один або два тактові входи і кілька керуючих входів, що розширюють функціональні можливості регістрів: для завдання режиму введення (паралельний, послідовний), для завдання режиму зчитування (у прямому чи оберненому коді), для встановлення нульового стану регістра та інші. Для роботи регістра у заданому режимі (зсуву вправо, зсуву вліво) потрібно здійснити чітко прописані з'єднання виводів мікросхеми і подати потрібні сигнали лог. 1 або лог. 0 на певні входи.

Мікросхема	Розрядність	Кількість входів-виходів	Напрямок зсуву	Затримка	Потужність споживання
				нс	мВт
K1500IP141	8	8 – 8	Реверс	2,4	1070
K500IP141	4	4 – 4	Реверс	4,3	655
K531IP11П	4	4 – 4	Реверс	18	675
K531IP12П	4	4 – 4	Зворотній	18	545
K531IP24П	8	8 – 8	Реверс	22	1225
K1535IP31	24	1 – 24	Зворотній	35	200
K555IP8	8	1 – 8	Прямий	32	135
K555IP9	8	8 – 1	Прямий	40	180
K555IP10	8	8 – 1	Прямий	35	190
K555IP11	4	4 – 4	Реверс	29	115
K555IP16	4	4 – 4	Реверс	27	111
K155IP1	4	4 – 4	Реверс	35	410
K155IP13	8	8 – 8	Реверс	28	580
K134IP1	4	4 – 4	Прямий	250	45
K134IP8	8	1 – 8	Прямий	220	59
K561IP2	4 x 2	1 – 4	Зворотній	970	0,05
K561IP6	8	8 – 8	Зворотній	500	0,03
K561IP9	4	4 – 4	Зворотній	360	0,03
K176IP2	4 x 2	1 – 4	Зворотній	250	1
K176IP3	4	4 – 4	Реверс	250	0,09
K176IP4	64	1 – 1	Прямий	250	0,09
K155IP17	12	1 – 12	Регістри послідовного наближення для АЦП		
564IP13	12	1 – 12			

В якості прикладу розглянемо мікросхему K155IP13 (Росія) – універсальний регістр на 8 розрядів. В корпусі мікросхеми 24 виводи: вісім входів  $D_0 \dots D_7$  – для подачі інформації в режимі паралельного запису і стільки ж виходів  $0 \dots 7$  для зняття паралельної інформації, входи  $DR$  (*Right*, вправо) і  $DL$  (*Left*, вліво) – для подачі інформації при послідовному запису і зсуві вправо та вліво відповідно,  $C$  – для подачі тактових імпульсів,  $SR$  і  $SL$  – для вибору режиму роботи і  $R$  – для обнулення тригерів регістра. Також наявні вивід для приєднання джерела живлення і загальний вивід. Зовнішній вигляд та умовне позначення універсального зсувного регістру K155IP13 із зазначенням номерів ніжок ІС показані на рис.12.65.

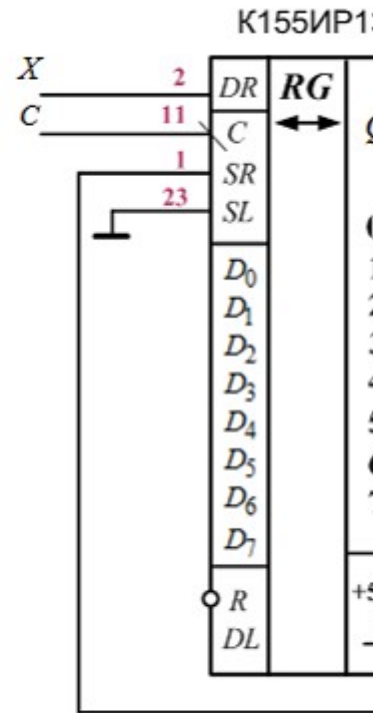
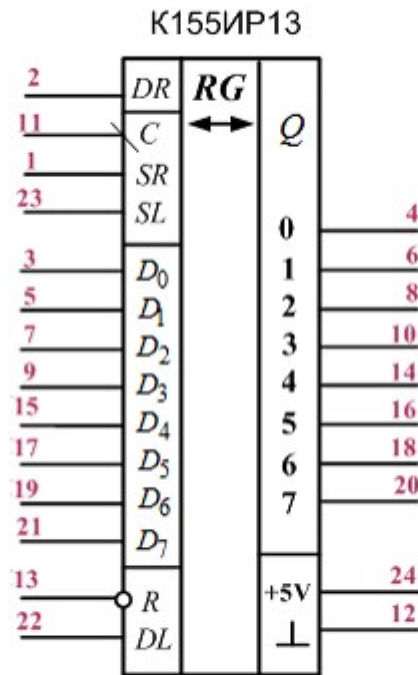
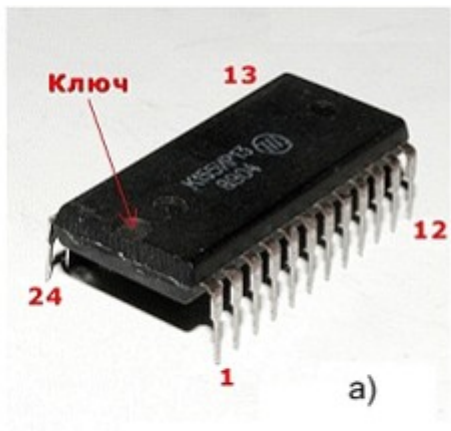


Рис. 12.65. Універсальний 8-розрядний регістр зсуву K155IP13: зовнішній вигляд (а), умовне позначення (б), вмикання регістра для роботи в режимі послідовного вводу з входу *DR* зі зсувом вправо (в)

Синхронну роботу регістру забезпечують спеціальні входи вибору режиму *SR* і *SL*. Різні комбінації рівнів сигналів на двох входах дають змогу переводити регістр у чотири режими роботи:

Керуючі входи		Режим
<i>SR</i>	<i>SL</i>	
1	1	Режим паралельного вводу і паралельного зчитування
1	0	Режим послідовного вводу з входу <i>DR</i> зі зсувом вправо
0	1	Режим послідовного вводу з входу <i>DL</i> зі зсувом вліво
0	0	Режим збереження

В режимах паралельного і послідовного вводу інформації зміни станів регістра відбуваються лише під час спаду імпульсу від'ємної полярності на вході *C* та наявності сигналу лог. 1 на вході *R*. При подачі на вхід *R* лог. 0 відбувається очищення регістра, тобто обнулення всіх тригерів незалежно від стану інших входів.

В режимі паралельного вводу і паралельного зчитування інформація надходить на входи  $D_0 \dots D_7$  і знімається з виходів  $Q_0 \dots Q_7$ . Назва цього режиму роботи регістра – PPO (*parallel input, parallel output*). Паралельний запис байта вхідної інформації, яка подається на входи  $D_0 \dots D_7$ , відбувається під час додатного перепаду напруги на вході синхроімпульсів *C*. При цьому на входи *SR*, *SL* потрібно подати сигнал лог. 1, а на входи *DR*, *DL* – сигнал лог. 0. Паралельне зчитування записаного слова можна здійснити з виходів 0...7 після приходу додатного перепаду наступного тактового імпульсу.

В режимі послідовного вводу зі зсувом направо і паралельного зчитування (режим SIPO) інформація в послідовному коді подається на вхід  $DR$ , починаючи з молодших розрядів. Зсув коду на один розряд відбувається направо у напрямку від виходу 0 до виходу 7 з кожним перепадом 0,1 тактових імпульсів. Для роботи зі зсувом вправо сигнали на керуючих входах:  $SR = R = 1, SL = DL = 0$

В режимі послідовного вводу зі зсувом вліво і паралельного зчитування інформація в послідовному коді подається на вхід  $DL$ , починаючи зі старших розрядів. Зсув коду на один розряд відбувається наліво у напрямку від виходу 7 до виходу 0 з кожним перепадом 0,1 тактових імпульсів. Для роботи зі зсувом вправо сигнали на керуючих входах:  $SL = R = 1, SR = DR = 0$

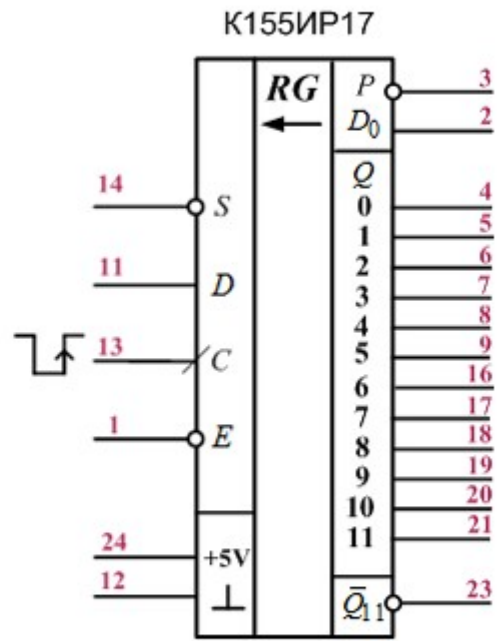
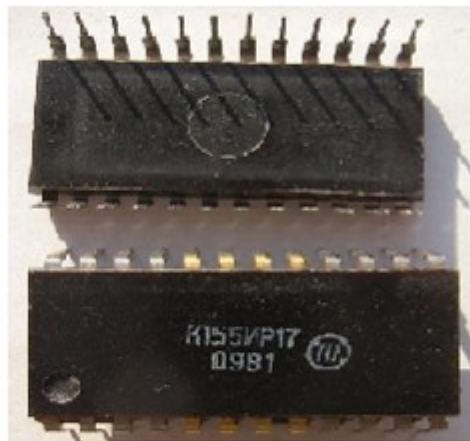
В режимі збереження інформації стани входів  $D_0 \dots D_7$ ,  $DR$  і  $DL$  не спричинюють перекидання тригерів. Для забезпечення цього режиму керуючі сигнали мають значення:  $SR = SL = 0, R = 1$

**Режимі очищення** регістра скидання відбувається асинхронно при подачі на вхід  $R$  напруги лог. 0 і на виходах 0...7 фіксуються низькі рівні напруги.

Кожна операція триває в регістрі не більше 20 (нс), тому він придатний для обслуговування швидкісних процесорів та ЗУ як буферний накопичувач байта. Регістр K155IP13 споживає струм 116 (мА), тактова частота його може перевищувати 25 (МГц). Закордонним аналогом мікросхеми K155IP13 є синхронний регістр зсуву SN74198N .

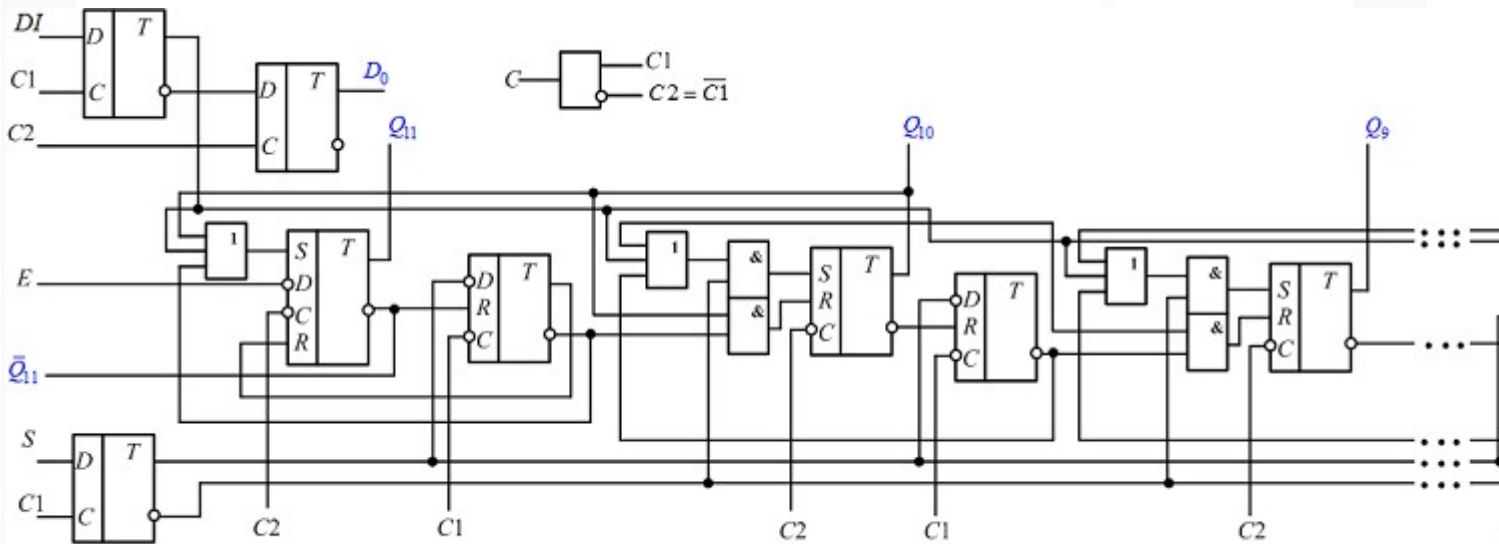
Окрім розглянутих регістрів, існують так звані **регістри послідовних наближень (РПН)**. Зазвичай такі спеціальні регістри призначені для побудови аналоغو-цифрових перетворювачів, що працюють за принципом послідовного наближення (з порозрядним кодуванням). Регістр застосовується разом з 12-розрядною мікросхемою ЦАП і інтегральним компаратором. Регістр послідовних наближень складається із регістра зсуву на  $D$ -тригерах, регістра пам'яті на  $RS$ -тригерах та вхідної логіки. Регістр пам'яті в структурі РПН призначений для порозрядного записування поточного стану регістра і збереження результату перетворення.

В якості прикладу розглянемо мікросхему K155IP17 (ТТЛ логіка) (рис. 12.66). Це 12-розрядний регістр, який перетворює послідовний 12-розрядний код на паралельний. Мікросхема має чотири входи:  $C$  – для подачі тактових імпульсів (спрацьовування тригерів регістра відбувається по спаду тактових імпульсів негативної полярності);  $D$  – для подачі вхідного цифрового сигналу;  $E$  – дозвіл на роботу регістра (якщо вхід не використовується, то вивід має бути заземлений),  $S$  – вхід стартового запуску. Для зчитування вихідної інформації в паралельній формі передбачені виходи  $Q_0 \dots Q_{11}$ , у послідовній формі –  $D_0$ . Також наявні вивід для подачі сигналу кінця перетворення –  $P$ , вивід з сигналом інверсії старшого розряду  $\bar{Q}_{11}$ , вивід для приєднання джерела живлення і загальний вивід.



а)

б)



в)

Рис. 12.66. Регістр послідовних наближень K155IP13: зовнішній вигляд (а), умовне позначення (б), схема (в)

Регістр має 12 однакових комірок зберігання накопичуваних розрядів (виходи від  $Q_0$  до  $Q_{11}$ ). Якщо регістр працює в складі АЦП, то на вхід  $D$  будуть надходити від компаратора одиниці або нулі, які є результатами порозрядного зважування. **Проаналізуємо роботу регістра** і проілюструємо цикл роботи часовою діаграмою (рис. 12.67).

При подачі на вхід  $S$  лог. 0 з приходом додатного тактового перепаду на вхід  $C$  відбувається початкова установка тригерів регістра – на виході  $Q_{11}$  встановлюється лог. 0, на виходах  $Q_0 \dots Q_{10}$  і  $\bar{Q}_{11}$  – лог. 1. На виході кінця перетворення  $P$  з'являється лог. 1. Такий стан регістра зберігатиметься до тих пір, поки  $S = 0$ .

Після надходження напруги лог. 1 на вхід  $S$  перший спад тактового імпульсу негативної полярності запише біт інформації з входу  $D$  у тригер найстаршого розряду регістра з

виходами  $Q_{11}$  і  $\bar{Q}_{11}$  та водночас встановить  $Q_{10} = 0$ . Спад наступного тактового імпульсу негативної полярності спричинить записування інформаційного біта з входу  $D$  у тригер попереднього розряду регістра з виходом  $Q_{10}$  та водночас встановить  $Q_9 = 0$ . Таким чином, на кожному з виходів регістра у напрямку від  $Q_{11}$  до молодших розрядів по черзі з'являється сигнал лог. 0, слідом за ним – інформація з входу  $D$ . Заповнення комірок регістра керується внутрішньою двофазною послідовністю імпульсів  $C1$  і  $C2$ . На зовнішній тактовий вхід  $C$  подаються імпульси з частотою, яка у 2 рази перевищує необхідну швидкість роботи АЦП. Запис інформації відбувається за два такі такти на кожен розряд регістра: у перший такт інформаційний біт записується, а у другому такті цей біт підтверджується або скасовується залежно від стану входу  $D$ .

Після запису інформації з входу  $D$  в останній тригер регістра (з виходом  $Q_0$ ) на виході  $P$  з'являється лог. 0 і стан регістра фіксується до появи лог. 0 на вході  $S$ . Після 12 тактів на виході регістра, а саме на виходах  $Q_0 \dots Q_{11}$ , записане число, яке є цифровим еквівалентом аналогової величини, що діє на одному із входів пристрою порівняння.

Якщо вхід  $S$  з'єднати з виходом  $P$ , поява лог. 0 на виході  $P$  по спаду чергового тактового імпульсу (імпульс 13 на рис. 12.67) призведе до встановлення вихідного стану регістра (0111...1). В результаті мікросхема буде повторювати описаний вище цикл роботи з періодом у 13 тактів.

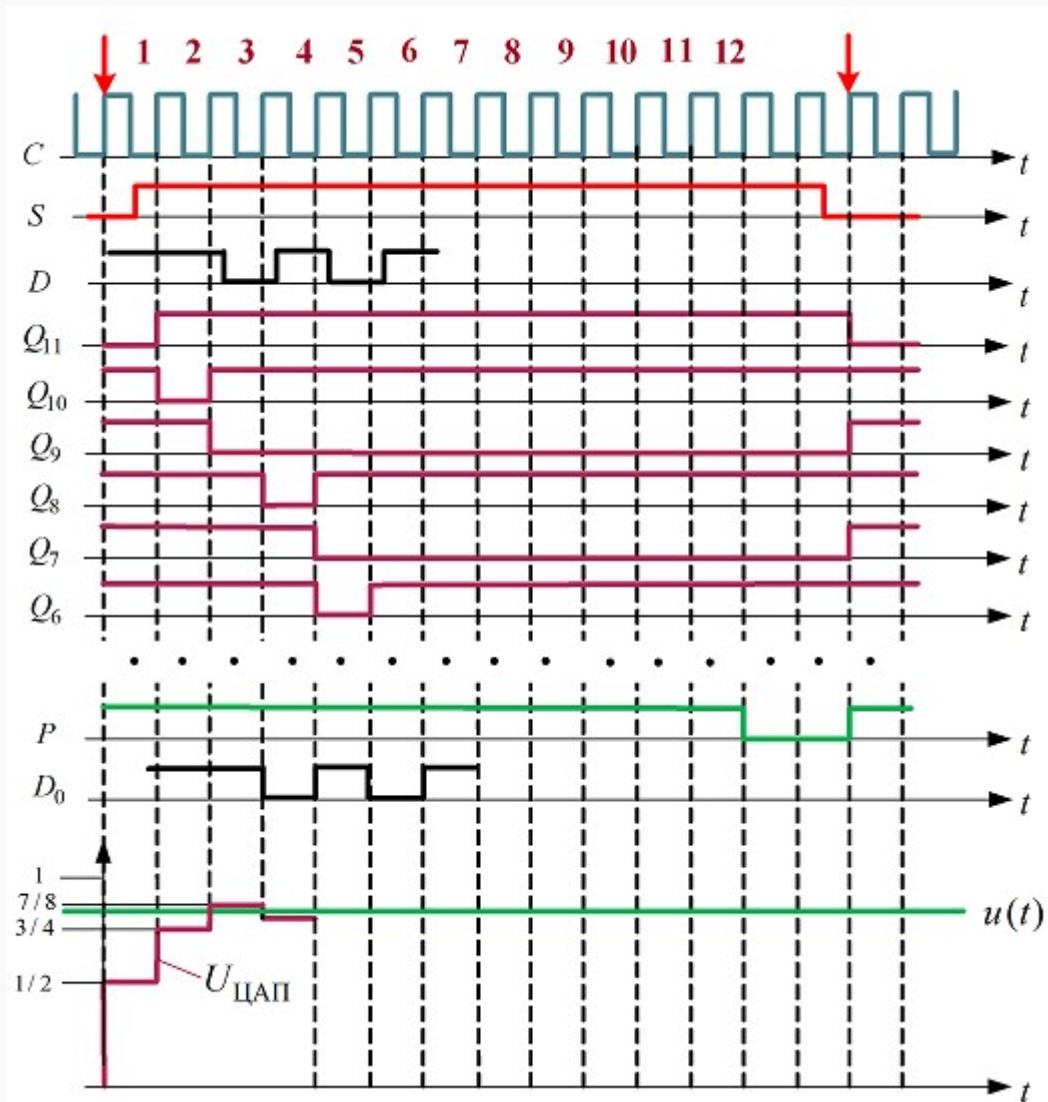


Рис. 12.67. Часові діаграми до пояснення роботи регістра послідовних наближень K155IP13

Т  $Q_{11} \dots Q_0$  жема працює при лог. 0 на вході  $E$ . Якщо на вхід  $E$  подати лог. 1, то усі виходи  $Q_0 \dots Q_{11}$ ,  $P$  переходять у стан лог. 1 і не реагують на інформаційні сигнали на входах. Наявність входу дозволу  $E$  дає змогу з'єднати між собою мікросхеми РПН К155ІР13 для отримання регістрів послідовного наближення на 24, 36, ... розрядів (рис. 12.68). Робота таких регістрів аналогічна роботі однієї мікросхеми, а період при з'єднанні виходу  $P$  останньої мікросхеми з об'єднаними входами  $S$  всіх мікросхем становитиме 25, 37, .... тактів.

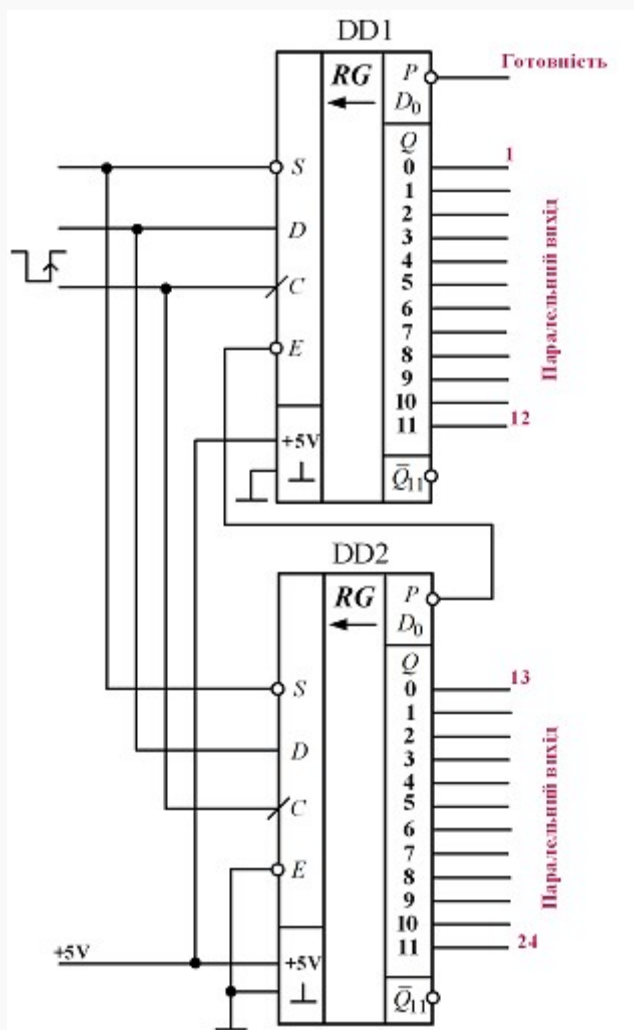


Рис. 12.68. З'єднання мікросхем К155ІР13 для збільшення розрядності до 24

Мікросхему К155ІР13 можна використовувати в якості регістру послідовного наближення і **з меншим, ніж на 12, числом розрядів**. Для цього потрібно об'єднати вхід  $S$  з одним із виходів  $Q_{10} \dots Q_0$  відповідно до потрібної кількості розрядів.

За умови незмінного сигналу  $D = 1$  мікросхему можна використовувати **як лічильник з дешифратором**, на виходах якого по черзі на період тактових імпульсів з'являється лог. 0. Коефіцієнт перерахунку лічильника становитиме 13, але може бути і меншим при з'єднанні входу  $S$  з одним із виходів  $Q_{10} \dots Q_0$ .

За умови незмінного сигналу  $D = 0$  мікросхема буде працювати так, що по кожному тактовому імпульсу стан чергового з виходів  $Q_{10} \dots Q_0$  регістра буде змінюватися з лог. 1 на лог. 0 і залишатися у такому стані до кінця циклу. На виході  $Q_{11}$  при цьому буде постійно потенціал лог. 0. Тривалість циклу також може бути змінною – від 2 до 13 періодів тактових імпульсів.

Основне ж призначення мікросхеми K155IP13 – це робота в схемах аналого-цифрових перетворювачів (АЦП).

До відома. Аналіз роботи РПН у складі АЦП з порозрядним кодуванням

Мікросхему K155IP17 можна використовувати також і для інших операцій, що потребують використання послідовних наближень. Наприклад, за наявності цифрового помножувача кодів можна побудувати пристрій, який добуває квадратні корені або здійснює поділ одного цифрового коду на інший. Для знаходження квадратного кореня мікросхема видає «пробне» значення кореня  $011 \dots 1$ , яке за допомогою цифрового помножувача кодів підноситься в квадрат і цифровим компаратором порівнюється з кодом числа, із якого потрібно добути корінь. Далі процедура відбувається аналогічно роботі АЦП, в результаті чого на виході можна отримати код квадратного кореня. Аналогічно можна виконувати операцію ділення або визначати код оберненого числа.