

ДВІЙКОВІ ЛІЧИЛЬНИКИ

ЛІЧИЛЬНИК – це послідовнісний функціональний вузол, створений із послідовно з'єднаних T -тригерів і призначений для лічби вхідних імпульсів. Вхідні імпульси можуть надходити на лічильник як періодично, так і довільно розподіленими у часі. Амплітуда і тривалість лічильних імпульсів мають задовольняти технічні вимоги для серій мікросхем, які використовуються. Розрядність лічильника n дорівнює числу T -тригерів. Кожний вхідний імпульс змінює стан лічильника, який зберігається до надходження наступного імпульсу. Значення виходів тригерів лічильника Q_n, \dots, Q_1 відображають результат лічби. По мірі надходження вхідних імпульсів лічильник послідовно перебирає свої стани у визначеному для даної схеми порядку. Довжина списку станів лічильника, що використовуються, називається **КОЕФІЦІЄНТОМ (МОДУЛЕМ) ЛІЧБИ** $K_{лч}$. Один із станів обирають за початковий. Після підрахунку $K_{лч} - 1$ імпульсів лічильник повертається у початковий стан.

Послідовність станів лічильника можна кодувати різними способами. Найчастіше використовують **двійкові лічильники**, у яких порядок зміни станів тригерів відповідає послідовності двійкових кодів, та побудовані на цій основі лічильники, що працюють у двійково-десятковій системі числення. Застосовуються й інші види кодування, наприклад, одинарне («один із n »), коли стан лічильника визначається розміщенням однієї-єдиної одиниці (або нуля), та лічильники з унітарним кодуванням, коли стан визначається кількістю одиниць і нулів (лічильник Джонсона).

До основних параметрів лічильників, окрім модуля лічби, відносять **швидкодію**. Швидкодію лічильників оцінюють трьома параметрами. Це:

– **роздільна здатність** t_{pz} – мінімальний час між двома вхідними імпульсами, при якому ще зберігається працездатність лічильника;

– **максимальна частота лічби** $F_{\max} = 1/t_{\text{рз}}$ – величина, обернена до роздільної здатності, що визначає кількість імпульсів, які може підрахувати лічильник за 1 секунду;

– **час встановлення вихідного коду** $t_{\text{вст}}$ – часовий інтервал між моментом приходу вхідного сигналу і переходом лічильника в новий стійкий стан.

Лічильники можуть бути з **попереднім встановленням** або без нього. Для попереднього встановлення початкового стану лічильника використовують спеціальні входи, а сама процедура встановлення здійснюється лише за наявності спеціального сигналу дозволу. Під час роботи лічильника входи попереднього встановлення блокуються і не впливають на лічбу. Лічильники з попереднім встановленням називають також **програмованими**.

Усе різноманіття n -розрядних лічильників можна класифікувати за такими ознаками:

❖ **за способом кодування станів** лічильника розрізняють двійкові лічильники, лічильники з кодом «один із n », лічильники з унітарним кодуванням та інші;

❖ **за модулем лічби** лічильники поділяють на:

– двійкові ($K_{\text{лч}} = 2^n$);

– двійкові з довільним постійним модулем лічби ($K_{\text{лч}} < 2^n$).

Найбільшого поширення набули десяткові (декадні) лічильники з $K_{\text{лч}} = 10$;

– двійкові зі змінним модулем лічби;

– недвійкові. Лічильники з одинарним кодуванням мають модуль лічби $K_{\text{лч}} = n$, з унітарним кодуванням – $K_{\text{лч}} = 2n$;

❖ **за напрямом лічби** розрізняють прості (підсумовуючі, віднімальні) і реверсивні лічильники. Якщо коди станів лічильника змінюються під час лічби у зростаючому порядку, то лічильник називають підсумовуючим (*Up-counter*).

Лічильники, коди станів яких чергуються у порядку спадання, називають віднімальними (*Down-counter*). У реверсивних лічильників (*Up/Down-counter*) напрям перебору кодів може змінюватися залежно від керуючого сигналу;

❖ **за структурою організації міжрозрядних зв'язків** розрізняють:

- лічильники з послідовним перенесеннями (позиною), в яких перемикання розрядних тригерів відбувається по черзі один за одним;
- лічильники з паралельним перенесеннями (позиною), в яких усі розрядні тригери перемикаються одночасно за сигналом синхронізації;
- лічильники з комбінованим перенесеннями (позиною), в яких використовують різні комбінації послідовних і паралельних перенесень;

❖ за способом перемикання тригерів під час підрахунку імпульсів (за приналежністю до певного класу автоматів) лічильники поділяють на асинхронні та синхронні; Лічильники з послідовним перенесенням як правило асинхронні, з паралельним перенесенням – синхронні;

❖ за типом тригерів, використаних для побудови лічильника, розрізняють лічильники на *T*-тригерах, *D*-тригерах у лічильному режимі, *JK*-тригерах у лічильному режимі.

Класифікаційні ознаки незалежні і можуть зустрічатися у різних поєднаннях. Наприклад, лічильник з паралельним перенесенням може бути як двійковим, так і з унітарним кодуванням.

Узагальнене умовне зображення лічильника показано на рис. 30.1. Логічна функція лічильника позначається буквами *CT* (від англ. *counter*). Наявність цифри 2 праворуч від літер *CT* (або відсутність будь-якої цифри) означає, що лічильник двійковий. Якщо лічильник десятковий, то ставиться цифра 10. Входи D_0, \dots, D_3 називаються інформаційними входами (входами попереднього встановлення) і служать для запису в лічильник початкового стану, який відображається на виходах 1, ..., 8. На вхід *V* надходить сигнал дозволу запису коду за входами D_0, \dots, D_3 (сигнал дозволу попереднього

встановлення). Запис стану, від якого починається лічба, здійснюється при подачі сигналу дозволу запису V в момент спаду імпульсу, що надійшов на тактовий вхід C . Вхід R служить для примусового онулення лічильника, тобто при подачі імпульсу на цей вхід на всіх виходах лічильника встановлюються лог. 0. Вхід P_{in} називається входом переносу.

Вихідними сигналами двійкового лічильника є сигнали Q_{n-1}, \dots, Q_0 , які знімаються з окремих розрядів, та сигнал переносу P на виході перенесення. Якщо двійковий лічильник має n розрядів, то записане в нього число визначається за формулою: $N = Q_n \cdot 2^{n-1} + Q_{n-1} \cdot 2^{n-2} + \dots + Q_2 \cdot 2^1 + Q_1 \cdot 2^0$. Мітки правого додаткового поля на умовному зображенні лічильника відображають ваги позицій двійкового коду $2^0, 2^1, \dots, 2^{n-1}$. На цих виходах (1, 2, 4, 8) наявний двійковий код кількості імпульсів, які надійшли на тактовий вхід лічильника. На виході переносу формується сигнал при переповненні лічильника (коли на всіх виходах встановлюються сигнали лог. 1). Сигнал переносу можна подати на вхід перенесення наступного лічильника, тоді при переповненні першого лічильника другий буде перемикатися у наступний стан.

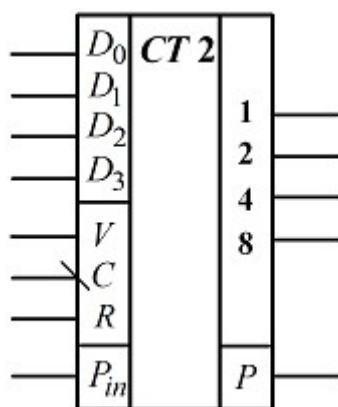


Рисунок 30.1 - Умовне зображення чотирирозрядного двійкового лічильника

Лічильник є одним з основних функціональних вузлів комп'ютера, а також різних цифрових керуючих та інформаційно-вимірювальних систем. **Основне застосування** лічильників: утворення послідовності адрес команд програми (лічильник команд або програмний лічильник); підрахунок числа циклів при виконанні операцій ділення, множення, зсуву (лічильник циклів);

одержання сигналів мікрооперацій і синхронізації. Лічильники використовуються для побудови таймерів і в структурах аналого-цифрових перетворювачів. Цифрові пристрої, виконані за схемою лічильника, які мають один рахунковий вхід і один вихід, називаються **дільниками частоти** і використовуються в керованих генераторах частоти (синтезаторах).

Асинхронний послідовний двійковий лічильник являє собою ланцюжок послідовно з'єднаних тригерів лічильного типу, кожен з яких асоціюється з бітом у двійковому представленні числа. Здебільшого використовують *D*-тригери та *JK*-тригери, які налаштовані на роботу в режимі *T*-тригера. Модуль позиційного двійкового *n*-розрядного лічильника визначається цілим степенем двійки $K_{лч} = 2^n$. Число розрядів *n* двійкового лічильника для заданого модуля лічби знаходять із виразу $n = \log_2 K_{лч}$.

Послідовність лічби у двійковому підсумовуючому лічильнику починається з нуля і доходить до максимального числа $2^n - 1$, після чого знову проходить через нуль і повторюється. На рис. 30.2 – 30.4 представлені схеми трирозрядних підсумовуючих лічильників з модулем лічби $K_{лч} = 2^3 = 8$, виконаних на базі тригерів різних типів.

На рис. 30.2, а), б) наведені умовне зображення і схема найпростішого трирозрядного лічильника на асинхронних *T*-тригерах, які керуються переднім фронтом імпульсів на лічильному вході *T*.

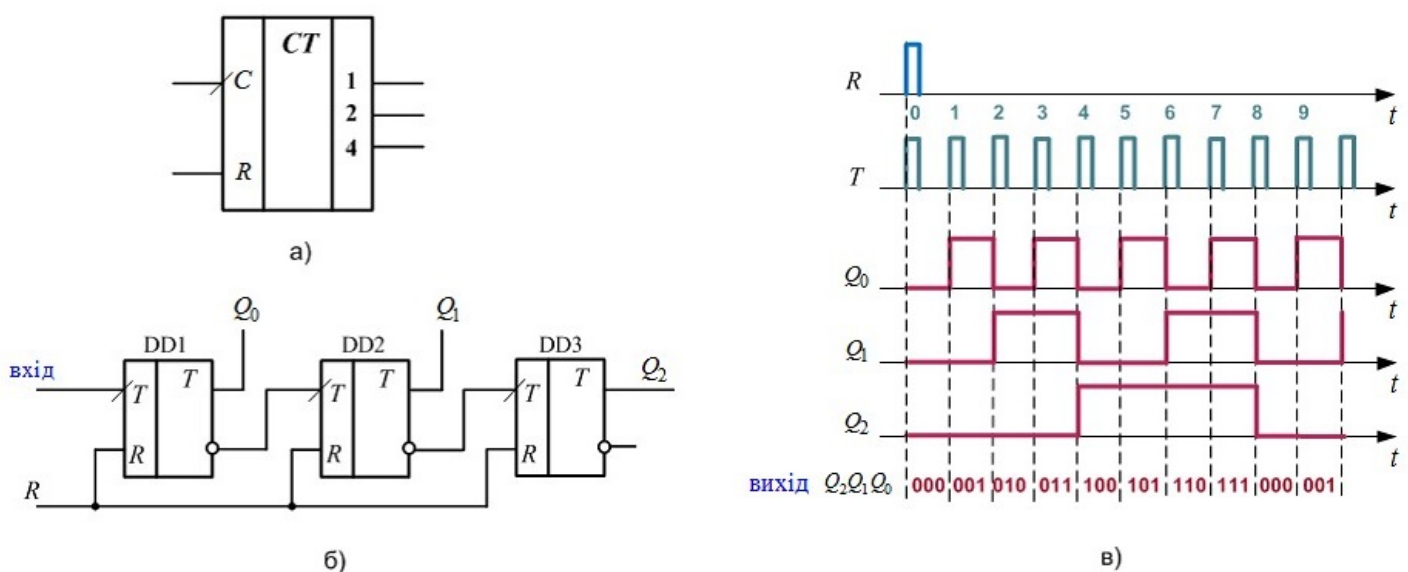


Рисунок 30.2 - Асинхронний підсумовуючий лічильник на *T*-тригерах з керуванням за переднім фронтом імпульсів на лічильному вході: умовне зображення (а), схема (б), часові діаграми (в)

У двійкових лічильниках звичайно передбачають вхід онулення мікросхеми R , який дозволяє записати в усі тригери лічильника нульове значення. Цей стан лічильника (000) називають початковим станом лічильника. На вхід C надходять тактові імпульси, які збільшують цифровий код на одиницю. На часових діаграмах (рис. 30.2, в) показано, як з приходом імпульсу 0 лічильник онулюється. Після приходу імпульсу 1 тригер DD1 перемикається в стан 1 (код 001), після приходу імпульсу 2 тригер DD2 перемикається в стан 1, а тригер DD1 – у стан 0 (код 010). Продовжуючи аналізувати перемикання тригерів з приходом кожного наступного імпульсу робимо висновки:

– перший розряд лічильника переключається з приходом кожного вхідного імпульсу, що відповідає алгоритму роботи T -тригера. На кожні два вхідні імпульси T -тригер формує один вихідний імпульс;

– другий розряд перемикається в стан лог. 1 після приходу кожного 2-го імпульсу;

– третій розряд перемикається в стан лог. 1 після приходу 4-го імпульсу.

3 виходів тригерів DD1, DD2, DD3 можна прочитати паралельний двійковий код числа імпульсів, що надійшли на його вхід. Наприклад, після приходу 5 імпульсів на виходах Q_2, Q_1, Q_0 встановиться код 101. Лічильник може дорахувати до 7 (код 111). Як тільки на всіх виходах тригерів встановляться одиниці, то відбудеться переповнення лічильника, після чого він повернеться у вихідний стан і повторить цикл роботи. Отже, з приходом імпульсу 8 лічильник переходить у початковий стан, а імпульс 9 запише у лічильник цифру 1.

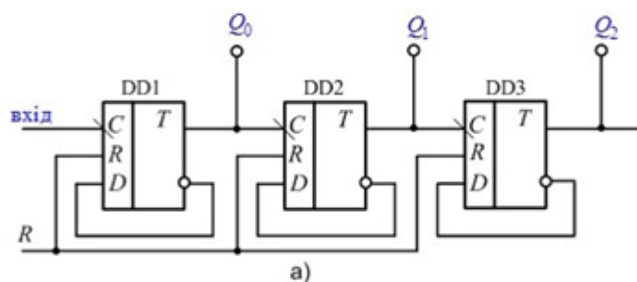
Після кожного циклу лічби на виході останнього тригера виникає перепад напруги, який завершує формування одного імпульсу. Ця властивість визначає друге призначення лічильників – ділення числа вхідних імпульсів.

Якщо частота сигналів на вході n -розрядного лічильника $f_{вх}$, то частота вихідних імпульсів – $f_{вих} = f_{вх} / K_{дл}$. У цьому випадку коефіцієнт лічби називають коефіцієнтом ділення $K_{дл}$. У лічильника в режимі ділення частоти

використовується сигнал тільки останнього тригера, а проміжні стани інших тригерів не враховуються. Будь-який лічильник може бути використаний як дільник частоти.

На часових діаграмах (рис. 30.2, в) зміна станів тригерів відбувається за фронтом імпульсів, що надходять на лічильний вхід DD1. Насправді, DD1 перемикається з деякою затримкою, а зміна стану кожного наступного тригера можлива тільки після зміни стану попереднього. Затримка лічби збільшується зі збільшенням числа розрядів, що обмежує застосування таких лічильників.

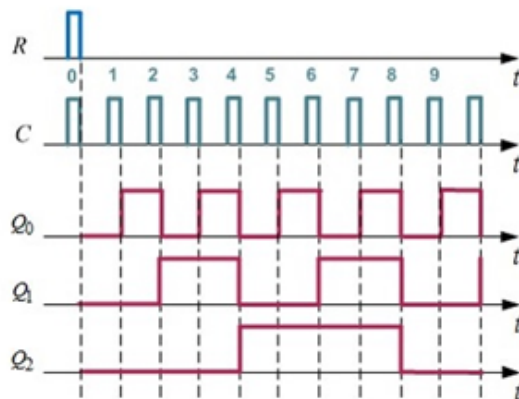
На рис. 30.3, а) зображена схема трирозрядного лічильника на *D*-тригерах з керуванням по спаду імпульсу, з'єднаних послідовно таким чином, що прямий вихід кожного тригера є водночас лічильним входом тригера наступного розряду. З надходженням лічильних імпульсів на вхід *C* тригери лічильника будуть змінювати свої стани, які описуються зростаючою послідовністю двійкових чисел (табл. 30.1 на рис. 30.3, б). Керування тригерами здійснюється спадом синхроімпульсів, тому стани тригерів DD2 та DD3 змінюється у відповідь на зміну стану попереднього тригера з лог. 1 на лог. 0. Часові діаграми, що пояснюють роботу асинхронного підсумовуючого лічильника, наведено на рис. 30.3, в).



Таблиця 30.1 - Перемикання трирозрядного лічильника

номер вхідного імпульсу	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

б)



в)

Рисунок 30.3 - Асинхронний підсумовуючий лічильник на *D*-тригерах з керуванням за спадом синхроімпульсів: схема (а), таблиця переходів (б), часові діаграми (в)

На рис. 30.4 зображена схема трирозрядного лічильника, виконаного на базі *JK*-тригерів. Синхронізуючі входи усіх тригерів, окрім DD1, з'єднані з прямими виходами попередніх тригерів. Керування тригерами здійснюється спадом синхроімпульсів, тому входи тригерів DD2 та DD3 з'єднані з прямими виходами попередніх тригерів. Таблиця переходів і часові діаграми, що пояснюють роботу схеми, повністю аналогічні наведеним на рис. 30.3, б), в).

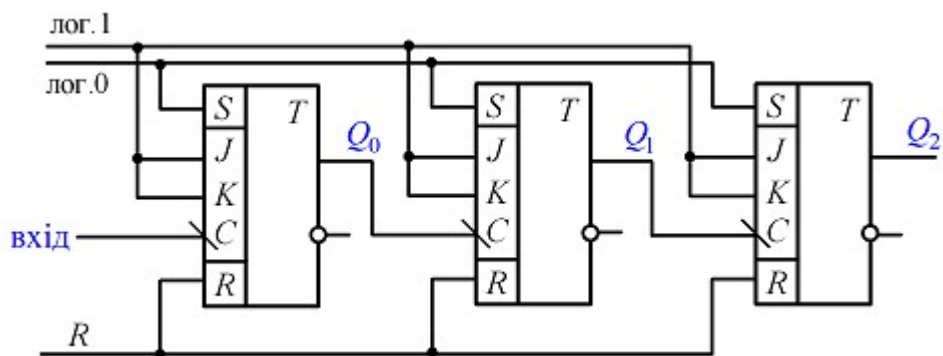


Рисунок 30.4 - Асинхронний підсумовуючий лічильник на *JK*-тригерах

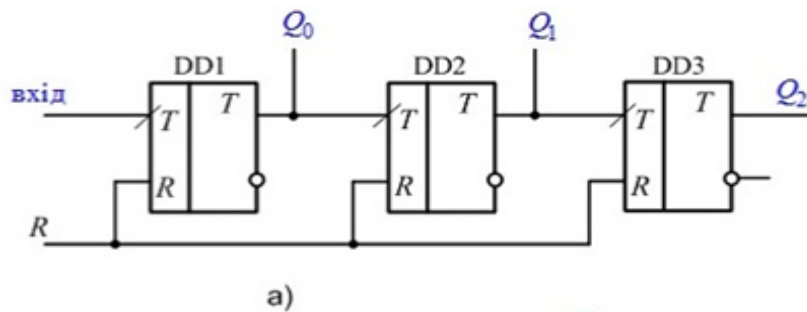
У **віднімальному двійковому лічильнику** лічба розпочинається з максимального числа, а потім числа перебираються у зворотному порядку до нуля, за яким знову повторюється максимальне число. Асинхронний двійковий віднімальний лічильник має зменшувати свій стан на одиницю при надходженні імпульсу на лічильний вхід. Схеми віднімальних лічильників отримують із схем підсумовуючих лічильників двома способами:

1) за виходи віднімального лічильника беруть сигнали з інверсних виходів усіх розрядних тригерів підсумовуючого лічильника;

2) змінюють з'єднання входів розрядних тригерів: інформативні сигнали надходять з прямих виходів тригерів попередніх розрядів, якщо схема побудована на тригерах з керуванням по фронту імпульсів, і навпаки, у разі керування спадом імпульсу на входи розрядних тригерів потрібно подавати сигнали з інверсних виходів попередніх тригерів, а вхідний сигнал для тригера молодшого розряду зняти з інвертора, який виконає заміну робочого фронту вхідного сигналу.

Більшість віднімальних лічильників мають вхід *R* для встановлення одиничних рівнів напруги на всіх виходах тригерів.

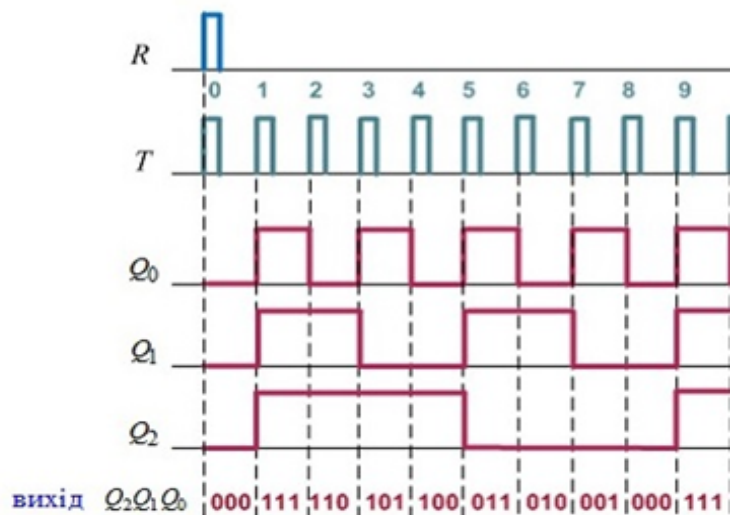
Наприклад, якщо в якості розрядних тригерів використовуються T -тригери, які керуються переднім фронтом лічильних імпульсів, то для отримання віднімального лічильника лічильні входи наступних тригерів з'єднують з прямими виходами попередніх (рис. 30.5, а). При надходженні переднього фронту тактового імпульсу 1 (рис. 30.5, а) тригер DD1 переходить в стан лог. 1.



Таблиця 30.2

номер вхідного імпульсу	Q_2	Q_1	Q_0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1

б)



в)

Рисунок 30.5 - Асинхронний віднімальний лічильник на T -тригерах:
схема (а), таблиця переходів (б), часові діаграми (в)

У результаті на його виході Q_0 теж сформується передній фронт імпульсу, який надходить на вхід другого тригера DD2, що призводить до запису лог. 1 і в цей тригер. Точно така ж ситуація складається з усіма тригерами лічильника, тобто всі тригери змінять свій стан на лог.1. Для трирозрядного лічильника це буде число 111. Наступний тактовий імпульс 2 призведе до зміни стану тільки першого тригера DD1, так як при цьому на його виході сформується задній фронт сигналу. Під час надходження кожного чергового імпульсу вміст лічильника, побудованого за аналізованою схемою, зменшується на одиницю. Цей процес продовжується до тих пір, поки стан

лічильника не стане знову дорівнювати 0. Потім з надходженням нових тактових імпульсів цикл лічби повторюється. Для трирозрядного лічильника після надходження імпульсу 8 усі тригери онулюються і цикл лічби повторюється, що відповідає модулю лічби 8.

Усі можливі стани логічних сигналів на виходах віднімального лічильника, які описуються спадаючою послідовністю двійкових чисел, наведені у таблиці 30.2 на рис. 30.5, б). Часові діаграми цього лічильника наведені на рисунку 30.5, в).

Для реалізації віднімального лічильника на D -тригерах в схемі, зображеній на рис. 30.3, а), потрібно змінити з'єднання тригерів і сигнали на входи наступних тригерів подавати з інверсних виходів попередніх розрядів (рис. 30.6). Інвертор на вході змінює робочий фронт лічильних імпульсів.

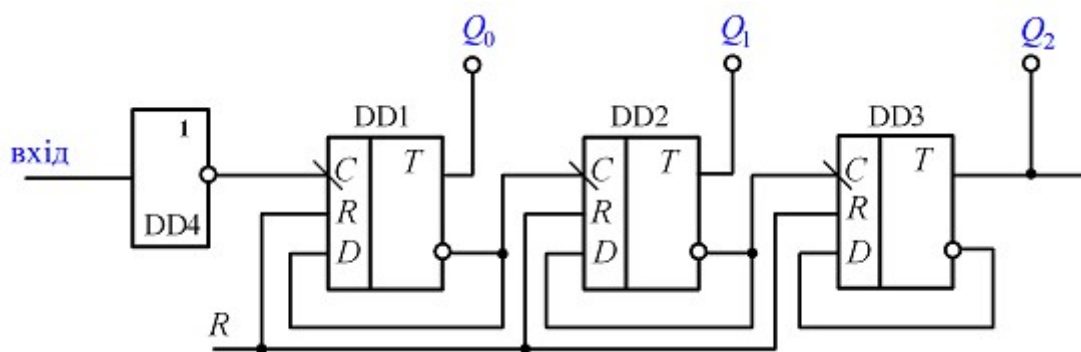


Рисунок 30.6 - Асинхронний віднімальний лічильник на D -тригерах з керуванням за спадом тактових імпульсів

На практиці часто необхідно **змінювати напрям лічби** в процесі роботи. Лічильник, який може працювати як у прямому, так і в зворотному напрямку лічби, називають **реверсивним**. Реверсивні лічильники можуть бути як асинхронного, так і синхронного типу. Для побудови реверсивних лічильників застосовують логічні комутатори (мультиплексори) у колах зв'язку між тригерами, які дають змогу обрати один із двох режимів: режим додавання або режим віднімання.

Асинхронний двійковий реверсивний лічильник можна побудувати, якщо доповнити схему логічними елементами 2І-АБО і перемикає на вхід наступного розрядного тригера прямий або інверсний виходи тригера

попереднього розряду. Для перемикання міжрозрядних зв'язків у реверсивному лічильнику потрібні додаткові керуючі сигнали.

Як приклад, на рис. 30.7, а) зображена схема реверсивного трирозрядного лічильника на T -тригерах, які керуються переднім фронтом імпульсів на лічильному вході. При роботі як в режимі підсумовування, так і в режимі віднімання лічильні імпульси надходять на спільний лічильний вхід. Для завдання напрямку лічби використовують додатковий RS -тригер: з його прямого виходу знімається сигнал керування відніманням B (вмикає ланцюги позики), а з інверсного виходу – сигнал керування додаванням D (вмикає ланцюги перенесення). Таким чином, якщо на вхід R керуючого RS -тригера надійшов сигнал лог. 1, то лічильник реалізує режим прямої лічби вхідних імпульсів (підсумовування). При надходженні керуючого сигналу лог. 1 на вхід S має місце режим зворотної лічби (віднімання). В обох режимах роботи тригери перемикаються асинхронно. Перед кожним розрядним тригером розміщується логічна схема 2І-АБО, яка забезпечує подачу сигналів з інверсного виходу попереднього тригера при додаванні або з прямого виходу – в режимі віднімання.

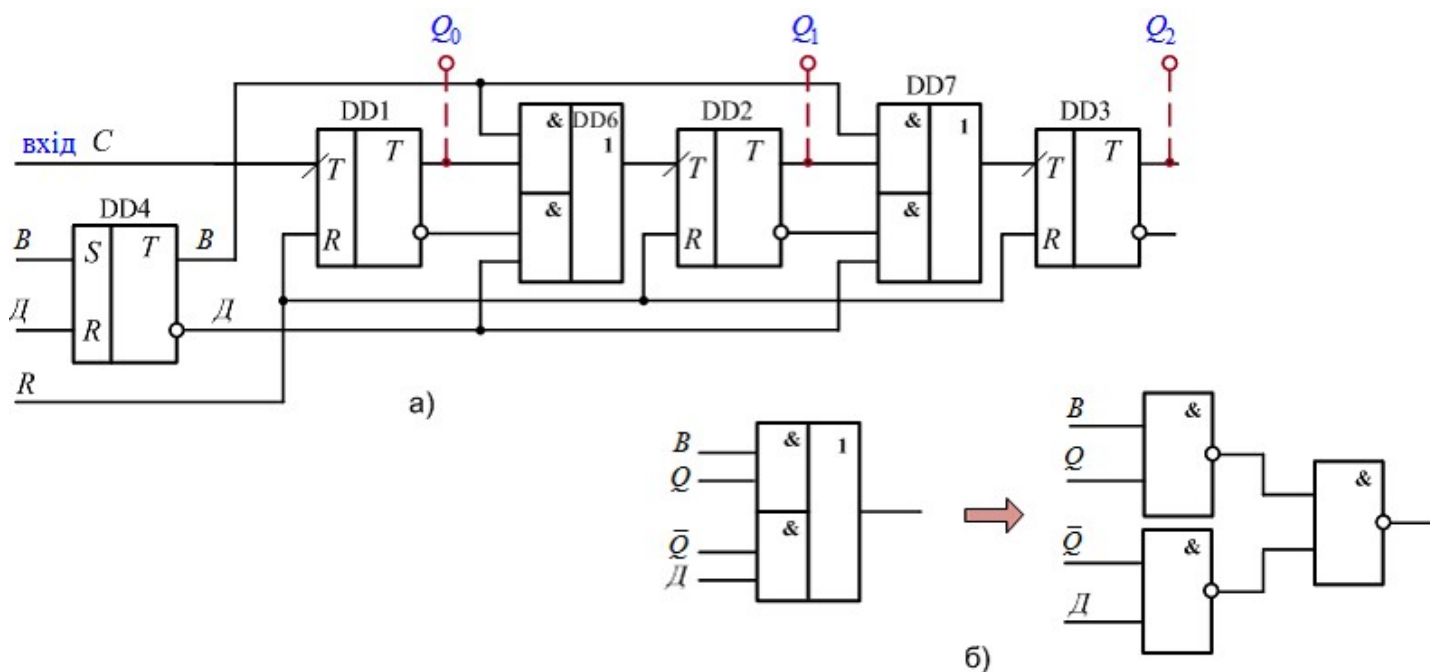


Рисунок 30.7 - Асинхронний реверсивний лічильник на T -тригерах з керуванням за фронтом тактових імпульсів

Зауваження. На практиці часто логічну функцію 2І-АБО реалізують через штрих Шеффера в базисі 2І-НІ (рис. 30.7, б). Для цього логічну функцію 2І-АБО слід еквівалентно перетворити, скориставшись аксіомою подвійного інвертування та другою формою закону де Моргана:

$$\overline{\overline{x_1 \cdot x_2 + x_3 \cdot x_4}} = \overline{\overline{x_1 \cdot x_2} + \overline{\overline{x_3 \cdot x_4}}} \quad (30.1)$$

Усі розглянуті вище схеми лічильників являють собою лічильники з **послідовним переносом**. У цих лічильниках імпульси, що підлягають рахунку, надходять на вхід тільки одного першого тригера, а сигнал перенесення передається послідовно від одного розряду до іншого. Перевагою асинхронних лічильників є простота схеми: розрядність легко збільшити, додавши необхідну кількість тригерів. До недоліків асинхронних лічильників відносять порівняно **невисоку швидкодію** та її залежність від числа розрядів. Усі вищерозглянуті типи асинхронних лічильників з послідовним перенесенням можуть бути використані в цифрових пристроях "помірної" швидкодії, коли частота надходження синхроімпульсів не перевищує критичного значення, при якому час затримки встановлення тригерів старших розрядів лічильника стає сумірним з тривалістю періоду вхідних тактових імпульсів. У зв'язку з цим, асинхронні лічильники будуються на відносно невелику кількість розрядів.

Для збільшення швидкодії використовують паралельні синхронні лічильники. У синхронних лічильниках імпульси надходять на тактові входи усіх тригерів одночасно і водночас відбувається формування сигналу переносу для всіх розрядів лічильника. Досягається це введенням в кожному розряді логічних елементів І, за допомогою яких аналізуються стани всіх попередніх тригерів молодших розрядів і вироблюються функції перенесення згідно з логічними співвідношеннями (30.2):

$$\begin{aligned} P_1 &= T \cdot Q_0, \\ P_2 &= T \cdot Q_0 \cdot Q_1, \\ P_3 &= T \cdot Q_0 \cdot Q_1 \cdot Q_2, \\ &\dots \end{aligned} \quad (30.2)$$

З надходженням кожного лічильного імпульсу T перемикаються тільки ті тригери, для яких усі попередні (молодші) розряди знаходяться в цей момент в одиничному стані. Розглянемо схеми синхронного трирозрядного лічильника з модулем лічби $K_{лч} = 8$, що зображені на рис. 30.8.

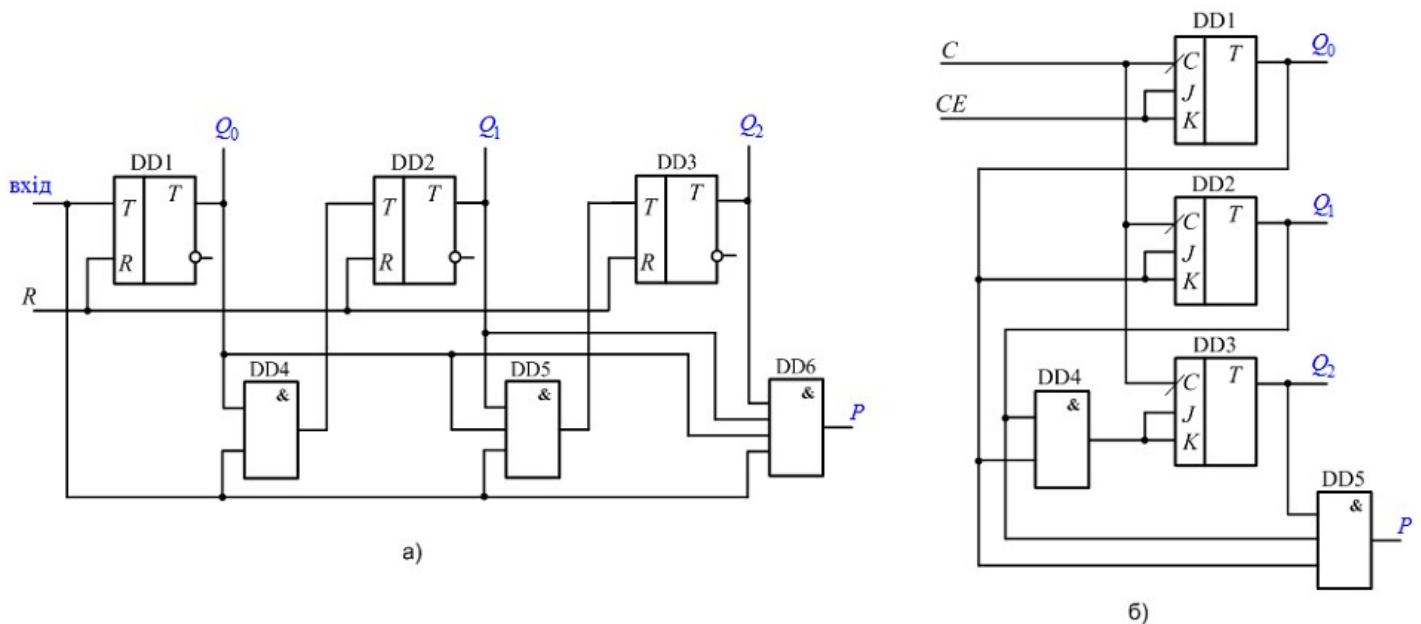


Рисунок 30.8 - Синхронний підсумовуючий лічильник: на T -тригерах (а), на JK -тригерах (б)

На рис. 30.8, а) наведена схема синхронного підсумовуючого лічильника на асинхронних T -тригерах. Тригер молодшого розряду DD1 перемикається з надходженням кожного лічильного імпульсу. На вхід другого тригера DD2 тактовий імпульс пройде тільки тоді, коли на виході першого тригера буде лог. 1, а на вхід третього – за наявності лог. 1 на виходах тригерів DD1 та DD2. Затримка спрацьовування на третьому тригері DD3 така сама, як і на першому. Як видно зі схеми, із збільшенням числа розрядів збільшується число логічних елементів l , причому чим вище розряд, тим більше входів у елемента. Це є недоліком таких лічильників з паралельним переносом.

На рис. 30.8, б) зображена схема синхронного підсумовуючого лічильника на синхронних JK -тригерах. Сигнал на вході **CE** дає дозвіл на роботу лічильника (дозвіл лічби **CE** від англ. *count enable*). Входи тригерів J і K з'єднані між собою, тому можливими є тільки два режими їх роботи – пам'ять ($J = K = 0$) та лічба ($J = K = 1$). Тригер DD2 змінить свій стан з

приходом лічильного імпульсу тільки тоді, коли $J = K = Q_1 = 1$, а тригер DD3 – при одиничних значеннях виходів всіх попередніх тригерів.

Спрацьовування тригерів паралельного лічильника відбувається синхронно, і затримка перемикання всього лічильника дорівнює затримці для одного тригера. Отже, такі лічильники більш швидкодіючі. Їх основним недоліком є **велика потужність**, що споживається від джерела вхідних сигналів для подачі вхідних імпульсів на тактові входи усіх тригерів.

Зауваження. Для усунення недоліків розглянутих вище лічильників розроблені і використовуються лічильники з послідовно-паралельним перенесенням, в структурах яких тригери об'єднані в групи так, що окремі групи утворюють лічильники з паралельним перенесенням, а групи з'єднуються з послідовним перенесенням.

Для практичних застосувань часто потрібні **лічильники з коефіцієнтом лічби** $K_{лч} < 2^n$, наприклад, 3, 6, 10, 12, 24 та інші. Такі пристрої мають назву – **лічильники з довільним модулем лічби**. Принцип побудови подібного класу лічильних пристроїв полягає у виключенні декількох M станів звичайного двійкового лічильника, що є надлишковими для лічильників з заданим коефіцієнтом лічби:

$$M = 2^n - K_{лч}, \quad (30.3)$$

де $K_{лч}$ – необхідний коефіцієнт лічби, 2^n – число станів двійкового лічильника розрядності n , M – кількість заборонених станів.

Необхідну кількість тригерів визначають з виразу (30.4):

$$n = \lceil \log_2 K_{лч} \rceil, \quad (30.4)$$

де $\lceil \log_2 K_{лч} \rceil$ – двійковий логарифм заданого коефіцієнта лічби, округлений до найближчого цілого числа.

Введенням додаткових логічних зв'язків - зворотних і прямих - двійкові лічильники можуть бути перетворені у двійкові з довільним модулем лічби. У кожному окремому випадку доводиться застосовувати якісь конкретні методи отримання необхідного коефіцієнта лічби, серед яких найуживанішими є:

1) Метод автоскидання, який полягає у примусовій установці лічильника в початковий стан (онулення), як тільки на його виході з'являється число, що дорівнює $K_{лч}$.

2) Метод попереднього записування у лічильник початкового стану, що визначає число $M - 1$. Сигнал $K_{лч} = 2^n$ повертає лічильник у початковий стан $M - 1$.

Наприклад, десятковий (декадний) лічильник з коефіцієнтом лічби $K_{лч} = 10$ отримують з 4-х розрядного двійкового лічильника, що має $K_{лч} = 16$, виключаючи 6 надлишкових станів. Можливі два алгоритми роботи:

1) Лічба циклічно здійснюється від 0000 до 1001, а наступним імпульсом лічильник онулюється;

2) Початковим станом служить код числа шість 0110 і лічба відбувається до п'ятнадцяти 1111, а наступним імпульсом лічильник онулюється.

Розглянемо приклад реалізації лічильників з довільним модулем лічби методом автоскидання. На рис. 30.9 наведені схеми лічильників з коефіцієнтами лічби $K_{лч} = 10$ і $K_{лч} = 9$, які побудовані на основі схеми двійкового чотирозрядного підсумовуючого лічильника на T -тригерах з керуванням за переднім фронтом імпульсів. Схема подібного трирозрядного лічильника була надана на рис. 30.2, б). Для примусового онулення лічильника в схему доданий логічний елемент DD5, який реалізує функцію логічного множення. В десятковому лічильнику (рис. 30.9, а) сигнал з DD5 онулює лічильник після появи на входах елемента 2I сигналів лог. 1 з виходів розрядних тригерів Q_1 і Q_3 . Одночасно сигнали лог. 1 з'являються на цих виходах, коли комбінація вихідних сигналів приймає значення $(1010)_2 = 10$. З приходом одинадцятого лічильного імпульсу в лічильник запишеться одиниця 0001. Очевидно, що скидаючи двійковий чотирирозрядний лічильник на нуль щоразу, коли він буде приймати стан 1010, можна забезпечити "повернення" лічильника в початковий стан після кожних десяти імпульсів.

Використання базової чотирирозрядної схеми дає змогу отримати лічильник з будь-яким коефіцієнтом лічби від 2-х до 15-и. В лічильнику з

модулем лічби і $K_{лч} = 9$ (рис. 30.9, б) сигнал з DD5 онулює лічильник після появи на виходах тригерів комбінації $(1001)_2 = 9$.

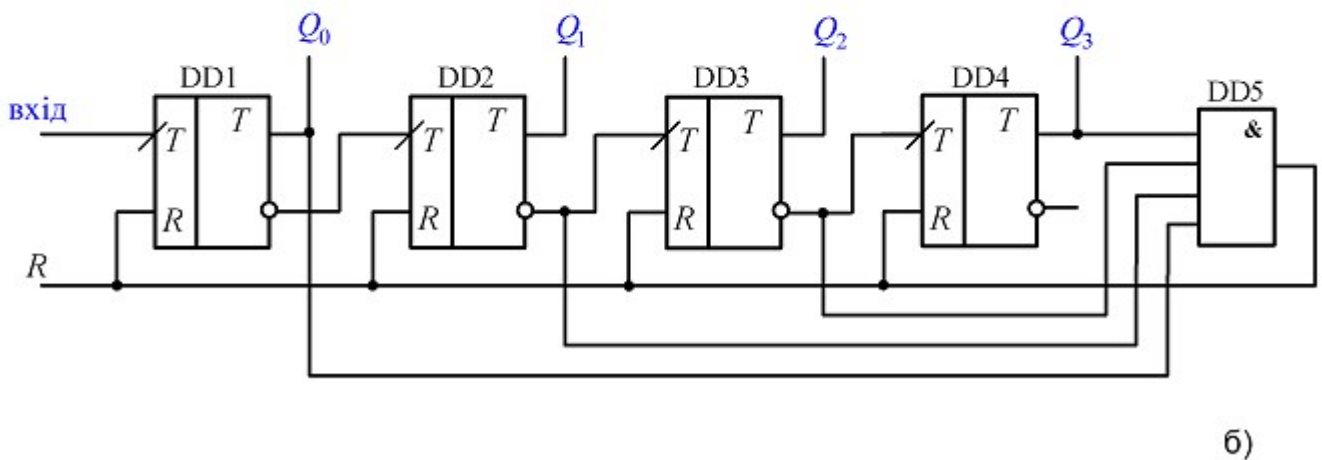
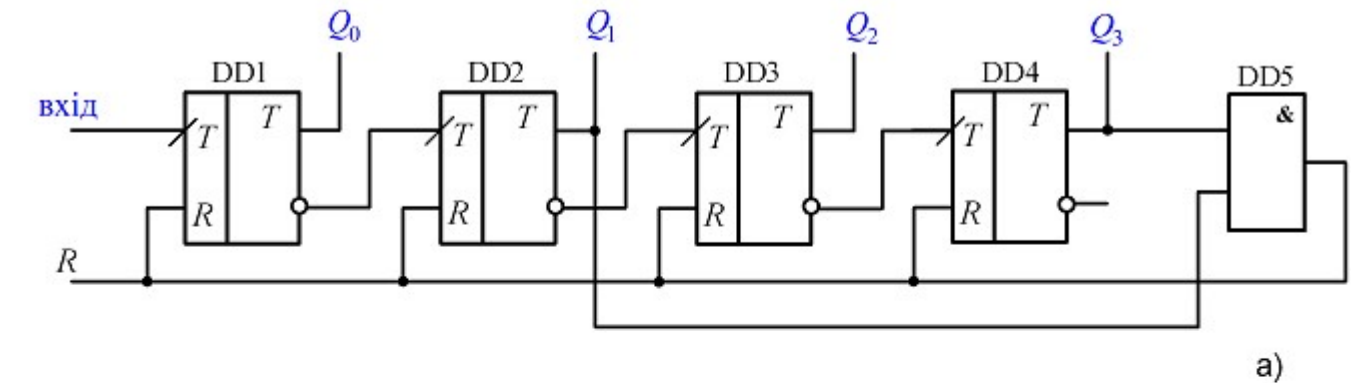


Рисунок 30.9 - Схеми лічильників з довільним модулем лічби: з $K_{лч} = 10$ (а),

з $K_{лч} = 9$ (б)

Двійкові чотирирозрядні лічильники достатньо широко подані в серіях інтегральних схем. Часто в схемі наявний логічний елемент І на вході встановлення лічильника у нульовий стан. Тоді досить виконати певні з'єднання виходів і подати потрібні сигнали на входи & та R, щоб отримати лічильник з передбаченим модулем лічби. На рис. 30.10 подано приклад реалізації декадного лічильника на мікросхемі K1533ИЕ5. Факт досягнення кодової комбінації 1010 на виходах лічильника, фіксує елемент І, вже наявний на вході скидання інтегральної схеми.

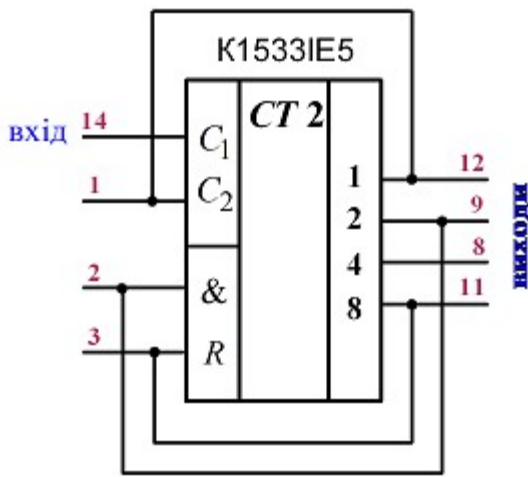


Рисунок 30.10 - Приклад реалізації декадного лічильника на мікросхемі K1533IE5

Таблиця 30.3

K1533IE5	Коефіцієнти лічби					
	3	5	6	9	10	12
Вхід	14	14	14	14	14	14
Виходи	9, 12	8,9,12	8,9,12	усі	усі	усі
З'єднання виходів	1 і 12, 2 і 12, 3 і 9	1 і 12, 2 і 12, 3 і 8	1 і 12, 2 і 12, 3 і 8	1 і 12, 2 і 12, 3 і 11	1 і 12, 2 і 12, 3 і 11	1 і 12, 2 і 12, 3 і 11

У таблиці 30.3 наведені конфігурації з'єднань для отримання різних коефіцієнтів лічби за допомогою лічильника K1533IE5. Найбільш очевидні варіанти отримання коефіцієнтів (2, 4, 8, 16) в таблиці не вказані. У графі "З'єднання виводів" таблиці зазначено, які виводи мікросхеми повинні бути з'єднані між собою: наприклад, вказівка 1 і 12 означає, що потрібно з'єднати вивід 1 з виводом 12. У рядках "Вхід" і "Вихід" таблиці вказані номери виводів мікросхеми, на які слід подавати вхідні імпульси і з яких належить знімати вихідні, відповідно. Слід зазначити, що інтегральна мікросхема K1533IE5 складається з чотирьох лічильних тригерів, один з яких має роздільні виводи входу і виходу, а інші три тригера з'єднані послідовно за схемою асинхронного лічильника.

При використанні для лічби десяткової системи числення цифри розрядів багаторозрядного десяткового числа в лічильнику представляються у чотирирозрядний двійковій формі, тобто використовується двійково-кодована десяткова система числення. Кажуть, що десятковий рахунок здійснюється у двійковій-десятковому коді (двійковий за кодом рахунку, десятковий – за кількістю станів). **Багаторозрядний двійково-десятковий лічильник** будується на основі регулярного ланцюга декадних лічильників. Для представлення цифр кожного розряду десяткового числа потрібно чотири тригера, і якщо число десяткових розрядів k , то число тригерів, необхідне для

реєстрації чисел в лічильнику дорівнює $4k$. На рис. 30.11 зображена структурна схема чотирирозрядного підсумовуючого двійково-десятькового лічильника. Модуль лічби даного лічильника складає $K_{\text{лч}} = 10^4$. Виходи тригерів кожної декади підключаються до входів дешифраторів, які забезпечують візуальну індикацію стану лічильника за допомогою різного роду світлових табло.

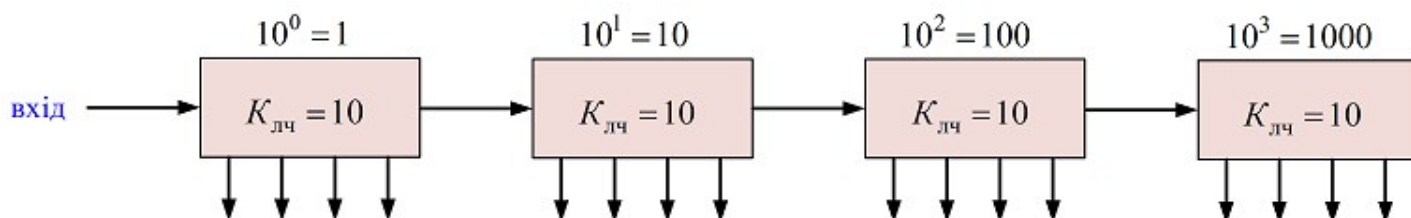


Рисунок 30.11 - Схема чотирирозрядного підсумовуючого двійково-десятькового лічильника

КІЛЬЦЕВІ ЛІЧИЛЬНИКИ З УНІТАРНИМ КОДУВАННЯМ будують на базі регістрів зсуву. Найпростіша схема кільцевого лічильника виходить при замиканні прямого виходу регістра з його входом. При одиничному (унітарному) кодуванні стани n -розрядного лічильника розрізняються лише місцеположенням однієї одиниці, яка називається **маркуючим** кодом. При цьому в інших розрядах записані нулі. Таким чином, лічильник з одиничним кодуванням – це ланцюг тригерів, в якому забезпечується зсув попередньо записаного маркуючого коду по “кільцю” в напрямку старших розрядів (прямий підрахунок) або молодших (обернений підрахунок). Модуль лічби лічильника з унітарним кодуванням дорівнює кількості розрядних тригерів: $K_{\text{лч}} = n$, що значно менше порівняно з іншими типами лічильників.

Схема чотирирозрядного кільцевого лічильника показана на рис.30.12, а). Перед початком роботи по входу E схеми АБО в молодший розряд лічильника записується лог. 1 і на прямих виходах чотирьох тригерів встановлюється початковий код 0001. З надходженням кожного лічильного імпульсу по входу синхронізації одиничний код послідовно зсувається в бік старших розрядів. При цьому молодші розряди, які виконані на D -тригерах з динамічним керуванням за фронтом тактового імпульсу, обнулюються (рис.

30.12, б). Після надходження п'ятого імпульсу лічильник повертається у початковий стан за допомогою сигналу з виходу Q_3 на вхід схеми АБО і далі увесь цикл повторюється.

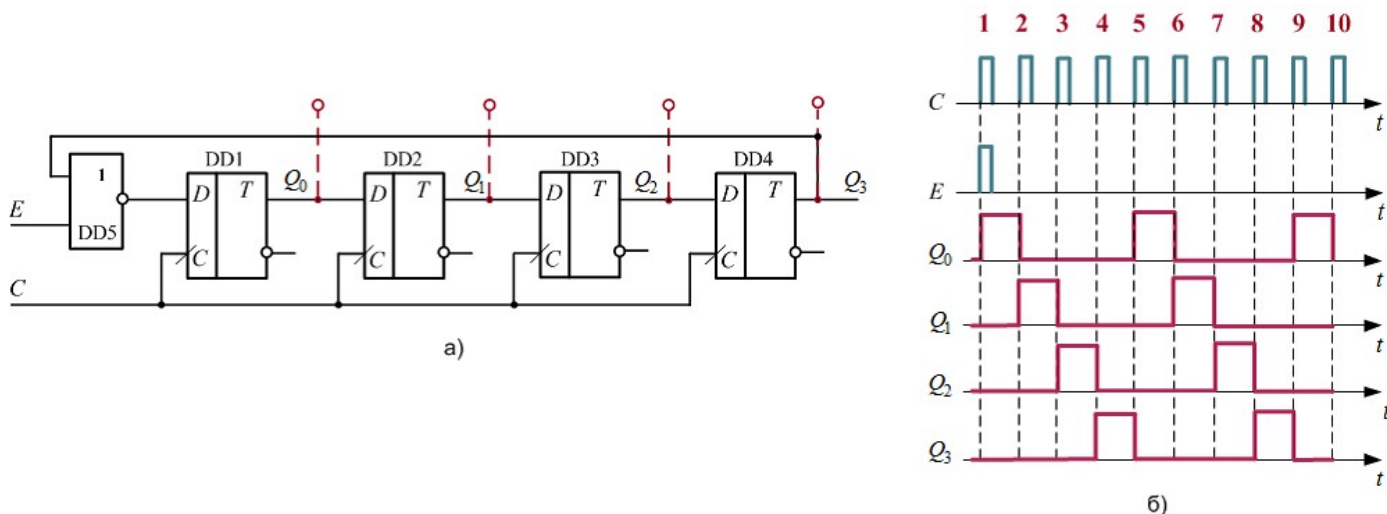


Рисунок 30.12 - Чотирирозрядний кільцевий лічильник: схема (а), часові діаграми до пояснення роботи (б)

Практичне використання кільцевих лічильників пояснюється такими його перевагами, як відсутність вихідного дешифратора, оскільки всі стани різняться наявністю лог. 1 на виході лише одного із тригерів; та мінімальний час перемикання (в процесі лічби завжди переключається в одиничний стан лише один тригер).

Різновидом кільцевих лічильників з унітарним кодуванням є **ЛІЧИЛЬНИК ДЖОНСОНА**. Схема лічильника Джонсона будується на основі кільцевого, в якому зворотній зв'язок реалізується приєднанням інверсного виходу старшого розряду до входу молодшого. В результаті при надходженні на вхід лічильника тактових імпульсів спочатку усі розряди лічильника заповнюються одиницями, а потім нулями.

Схема чотирирозрядного лічильника Джонсона наведена на рис. 30.13, а). Таблиця станів лічильника Джонсона (табл. 30.4) містить 8 рядків, що вдвічі більше за його розрядність. Часові діаграми на рис. 30.13, б) пояснюють роботу лічильника. Нехай спочатку всі тригери перебувають у стані лог. 0. При цьому на вході D першого тригера присутній рівень лог. 1, тому що цей вхід з'єднаний з інверсним виходом \bar{Q}_3 тригера старшого розряду.

Першим синхроімпульсом в тригер DD1 запишеться лог. 1, а на виходах інших тригерів сигнали не зміняться. Другий лічильний імпульс не змінить стан тригера молодшого розряду DD1 і запише лог. 1 у другий тригер. З надходженням третього лічильного імпульсу на виходах тригерів DD1 і DD2 залишаться лог. 1, і на виході DD3 з'явиться сигнал лог. 1. У загальному випадку така хвиля лог. 1 буде охоплювати кожний наступний тригер з надходженням чергового тактового імпульсу, аж доки на всіх виходах регістра не встановиться сигнал лог. 1.

Після заповнення регістра одиницями, на інверсному виході тригера DD4 з'явиться лог. 0 і п'ятим синхроімпульсом в тригер молодшого розряду DD1 запишеться сигнал лог. 0. Після надходження наступних трьох синхроімпульсів регістр обнулюється і на вхід молодшого розряду D знову подається рівень лог. 1. Таким чином, цикл повторення стану кільцевого лічильника складається з восьми тактів синхросигналу. Як бачимо, під час роботи лічильника спочатку від першого тригера до останнього тригера поширюється "хвиля одиниць", а потім "хвиля нулів".

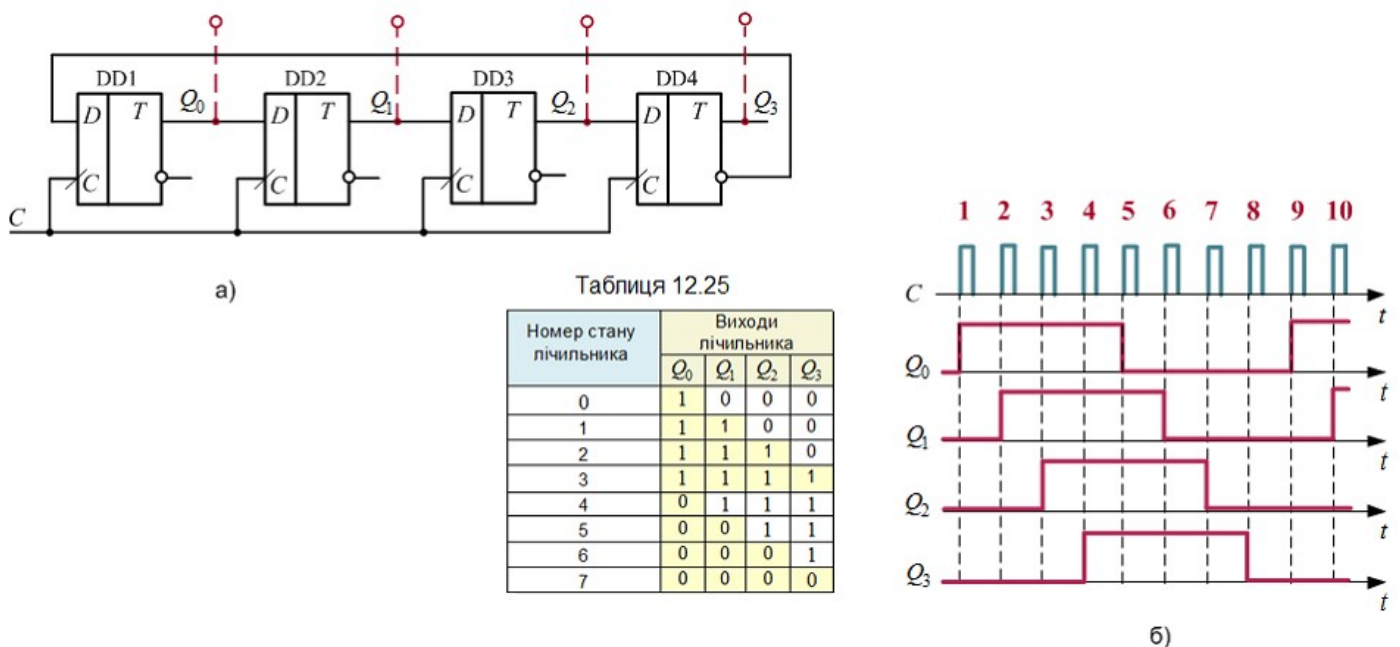


Рисунок 30.13 - Чотирирозрядний лічильник Джонсона: схема (а), часові діаграми до пояснення роботи (б)

Отже, модуль лічби лічильника Джонсона у два рази більший за модуль лічби кільцевого лічильника $K_{лч} = 2n$. Проте інформація на виходах лічильника Джонсона представляється не в двійковій позиційній системі числення і потребує додаткового перетворення.

Лічильники Джонсона широко використовують в розподільниках імпульсів, генераторах випадкових чисел, у пристроях пам'яті.

Зауваження. У кільцевих лічильниках можливі збої внаслідок завад. Для корекції порушень циклів роботи використовують способи, за допомогою яких відбувається перехід із будь-якої забороненої комбінації в одну із дозволених.