

ФУНКЦІОНАЛЬНІ ВУЗЛИ ПОСЛІДОВНОГО ТИПУ. ТРИГЕРИ.

Окрім комбінаційних пристроїв існує клас цифрових пристроїв, в яких при однакових вхідних сигналах, на виході автомата можуть виникати різні за значенням сигнали. Стан виходу такого пристрою залежить не тільки від того, які сигнали наявні на його входах в даний момент часу, але і від того, які послідовності сигналів надходили на входи пристрою у попередні моменти часу, тобто як кажуть, автомат пам'ятає свою передісторію і зберігає її в пам'яті. Тому такі пристрої називають послідовнісними автоматами або цифрові автомати з пам'яттю.

Послідовнісні функціональні вузли цифрової схемотехніки або цифрові автомати з пам'яттю – це такі пристрої, логічні значення на виході яких визначаються не тільки сукупністю сигналів на входах у даний момент часу, але й станом внутрішніх елементів пам'яті. Тому автомат з пам'яттю розглядається як система, що складається з двох частин: комбінаційного пристрою і пам'яті, яка складається з елементів пам'яті. В якості елементів пам'яті можуть бути застосовані як однобітові елементи пам'яті (різні типи тригерів), так і багатобітові (багаторозрядні) ланцюжки тригерів (регістри пам'яті). Типовими прикладами функціональних вузлів послідовнісного типу є зсувні регістри та лічильники імпульсів.

Будь-який послідовнісний вузол проектують за логічною функцією, яка описує алгоритм функціонування пристрою. Здебільшого, орієнтуються на функціонально повний базис логічних елементів І-НІ, АБО-НІ, враховуючи серії інтегральних схем, які випускаються промисловістю.

Цифрові пристрої послідовнісного типу випускаються у вигляді інтегральних мікросхем або входять до складу великих інтегральних мікросхем, таких як процесори, запам'ятовувальні та інші пристрої.

Тригери – це запам'ятовуючий елемент з двома стійкими станами, зміна яких відбувається під дією вхідних сигналів. Як елемент цифрового пристрою, тригер призначений для зберігання одного біта інформації, тобто лог. 1 або лог. 0. У цифровій техніці назва «тригер» використовується для позначення елементарного автомата, який вміщує не тільки елемент пам'яті, але і комбінаційну схему, яку називають **схемою керування** або вхідною логікою (рис. 12.44). Схема керування тригера забезпечує записування, зчитування, стирання інформації, яка зберігається елементом пам'яті. Існує велика кількість різноманітних схем тригерів із різними функціональними можливостями. Оскільки функціональні властивості тригерів визначаються їх вхідною логікою, то назви основних входів переносяться на всю схему тригера.

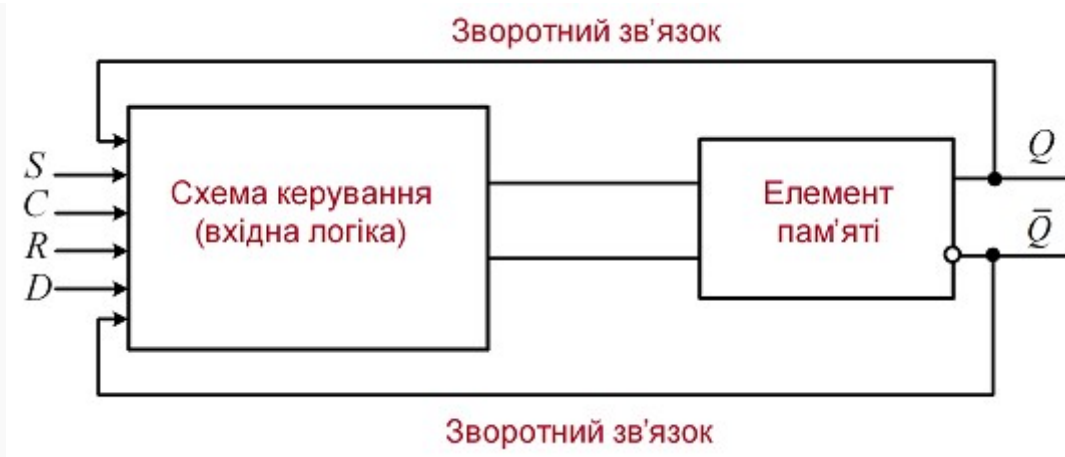


Рис. 12.44. Узагальнена структурна схема цифрового тригера

Зазвичай цифрові тригери будуються з простих логічних елементів типу АБО-НІ, І-НІ. Мікросхеми вміщують 1-4 тригери із спільними колами живлення, а інколи і спільними колами синхронізації або керування. На основі тригерів будують типові функціональні вузли цифрових пристроїв – регістри, лічильники, накопичувальні суматори, а також мікропрограмні автомати.

Стан тригера визначається сигналами на виходах. Тригер має два **виходи**: Q – **прямий**, \bar{Q} – **інверсний**. При поширеному позитивному кодуванні інформації високий рівень напруги на прямому виході відображає значення лог. 1 (одичний стан, $Q=1$), а низький рівень – значення лог. 0 (нульовий стан, $Q=0$).

Зміна стану тригера (його перемикання) забезпечується зовнішніми сигналами й сигналами зворотного зв'язку, які поступають з виходів тригера на входи схеми керування. Входи тригерів поділяють на **інформаційні** (R, S, T, D, J, K , інші) та **керуючі** (C, V) і позначають латинськими буквами. Назви вхідних сигналів ототожнюють з назвами входів тригера. Інформаційні входи призначені для прийому сигналів інформації, яку потрібно запам'ятати. Сигнали на керуючих входах керують записом інформації. Існують два види керуючих сигналів: **синхронізуючий (тактовий) сигнал** C , який надходить до C -входу (тактового входу), і **дозволяючий сигнал** V , який надходить до V -входу. Пригадаємо, що за способом введення інформації тригери поділяють на **асинхронні**, що змінюють свій стан у будь-який момент часу одразу після надходження сигналів до інформаційних входів, і **синхронні** (тактовані), що спрацьовують не тільки за наявності сигналів на інформаційних входах, а лише після надходження синхронізуючого сигналу на вхід синхронізації. Тому синхронізуючі (тактові) сигнали C керують перекиданнями синхронних тригерів, які реагують на інформаційні сигнали тільки при наявності сигналу

на вході синхронізації C . Цим пояснюється підвищена завадостійкість синхронних тригерів порівняно з асинхронними.

За моментом реакції на тактовий сигнал виділяють **синхронні тригери зі статичним** (за рівнем) та **динамічним** (за фронтами) **керуванням**. При керуванні за рівнем записування інформації відбувається тільки впродовж тривалості тактового сигналу. При цьому тактові сигнали можуть бути прямими (змінюватися від 0 до 1) або інверсними (змінюватися від 1 до 0) (рис. 12.45, а), б)). При динамічному способі керування дозвіл на записування інформації дається тільки в момент перепаду тактового сигналу від 0 до 1 (прямий динамічний вхід) або від 1 до 0 (інверсний динамічний вхід). В інші моменти часу тригер не реагує на вхідні інформаційні сигнали незалежно від рівня тактового імпульсу (рис. 12.45, в), г)).

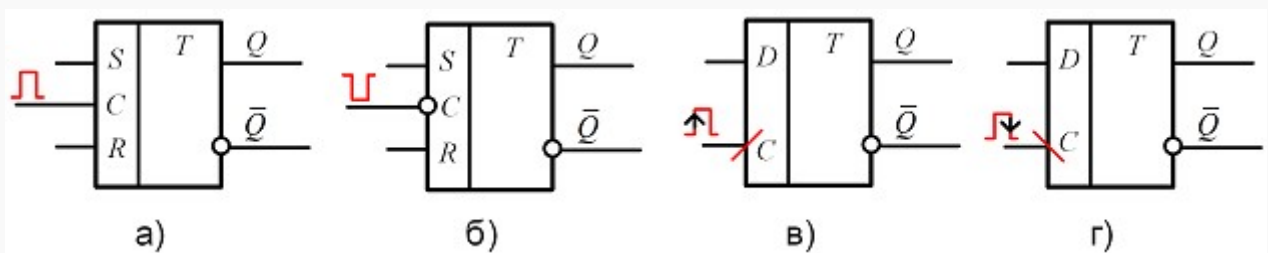


Рис. 12.45. Умовні позначення на схемах способу керування синхронним тригером: прямий статичний (а), інверсний статичний (б), прямий динамічний (в), інверсний динамічний (г)

Залежно від кількості тактових сигналів, необхідних для формування нового стану, розрізняють **однотактові**, **двотактові** та **багатотактові** тригери.

Сигнали, які надходять на вхід V , дозволяють ($V = 1$) або забороняють ($V = 0$) запис інформації. У синхронних тригерах з V -входом запис інформації відбувається за наявності водночас сигналів на інформаційних, C і V -входах.

Кожен тип тригера має власний **алгоритм роботи**, який описують за допомогою логічних функцій або частіше задля наочності **таблицею переходів**. У таблицях переходів вказують усі можливі комбінації сигналів на інформаційних входах R_t, S_t , сигнал на прямому виході Q_t у даний момент часу і стан тригера після перемикання Q_{t+1} у наступний момент часу. Причому наступний момент часу для асинхронного тригера настає одразу після зміни комбінації сигналів на інформаційних входах, а у синхронного – після надходження тактового сигналу на вхід синхронізації. Невизначений стан, коли тригер після зміни сигналів на входах

рівноможливо може опинитися як у нульовому, так і в одиничному стані, будемо позначати символом *.

На практиці застосовують 6-8 типів тригерів. Найбільш розповсюдженими із них є *RS*-тригери, *D*-тригери, *T*-тригери, *JK*-тригери. Часто тригери будують як комбіновані: *RSD*-тригери, *RST*-тригери. Розглянемо алгоритми роботи найуживаніших типів цифрових тригерів.

- *RS*-тригери,
- *D*-тригери,
- *T*-тригери,
- *JK*-тригери.

***RS*-тригер** – це запам'ятовуючий елемент з двома роздільними інформаційними входами для установлення його в стан лог. 1 (по *S* входу) і в стан лог. 0 (по *R* входу). Назва тригера утворена від перших літер англійських слів *set* – встановлювати та *reset* – відновлювати. *S* – інформаційний вхід, призначений для установлення тригера в одиничний стан $Q=1$, а *R* – вхід, призначений для повернення тригера у нульовий стан $Q=0$. При нульових інформаційних сигналах на входах стан тригера не змінюється, при сигналах лог. 1 на входах стан тригера невизначений. Такий алгоритм функціонування можна описати скороченою таблицею переходів (табл. 12.15) і повною таблицею переходів (табл. 12.16), яка потрібна для запису логічної функції, що описує функціонування пристрою.

Таблиця 12.15

R_t	S_t	Q_{t+1}
1	0	0
0	1	1
0	0	Q_t
1	1	*

Таблиця 12.16

R_t	S_t	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*

Таблиці переходів 12.16 відповідає [Карта Карно](#) (12.41):

$R_t S_t$		00	01	11	10
Q_t	0	0	1	*	0
	1	1	1	*	0

(12.41)

На практиці стан, у який переходить тригер після забороненої комбінації вхідних сигналів $R_t = S_t = \text{лог. } 1$, залежить від того, котрий із вхідних сигналів триває довше. Припустимо, що при одиничних вхідних сигналах вихідний сигнал тригера набуває значення лог. 1. Тоді обираємо покриття одиниць (12.42) та [записуємо диз'юнктивну нормальну форму](#) (12.43):

$R_t S_t$		00	01	11	10
Q_t	0	0	1	1	0
	1	1	1	1	0

(12.42)

$$Q_{t+1} = S_t + \bar{R}_t \cdot Q_t.$$

(12.43)

Якщо припустити, що при одиничних вхідних сигналах вихідний сигнал тригера набуває значення лог. 0, то обираємо покриття нулів (12.44) і [записуємо кон'юнктивну нормальну форму](#) (12.45):

$R_t S_t$		00	01	11	10
Q_t	0	0	1	0	0
	1	1	1	0	0

(12.44)

$$Q_{t+1} = \bar{R}_t \cdot (S_t + Q_t).$$

(12.45)

Таким чином, отримуємо **логічні рівняння асинхронного RS-тригера** (12.43), (12.45), які визначають новий стан тригера Q_{t+1} залежно від вхідних сигналів R_t, S_t та попереднього стану тригера Q_t .

Зауваження. Для спрощення подальших виразів та позначень на рисунках індекс t надалі проставляти не будемо.

Після того, як алгоритм функціонування цифрового пристрою представлений за допомогою логічної функції, можна [виконати побудову логічної схеми](#).

Розглянемо **схемотехнічні варіанти RS-тригера** у найуживаніших базисах логічних елементів, які реалізують [штрих Шеффера](#) та [стрілку Пірса](#):

- [Асинхронний RS-тригер на елементах АБО-НІ,](#)
- [Асинхронний RS-тригер на елементах І-НІ,](#)
- [Синхронний RS-тригер на елементах І-НІ,](#)
- [Синхронний RS-тригер на елементах АБО -НІ.](#)

Асинхронний RS-тригер в базисі АБО-НІ. Перетворимо логічний вираз (12.45) до виду, зручного для реалізації на елементах АБО-НІ. Скористаємося [аксіомою подвійного інвертування та другою формою закону де Моргана](#):

$$Q_{t+1} = \bar{R} \cdot (S + Q) = \overline{\overline{\bar{R}} \cdot \overline{(S + Q)}} = \overline{\bar{R} + \overline{(S + Q)}} = R + \overline{(S + Q)}. \quad (12.46)$$

Схема асинхронного RS-тригера на двох елементах АБО-НІ з логічними зв'язками на основі виразу (12.46) показана на рис. 12.46,а). Умовне зображення тригера наведено на рис. 12.46,б). Для ілюстрації роботи тригера за алгоритмом, заданим таблицею переходів 12.16, на рис. 12.46,в) наведені часові діаграми можливих вхідних сигналів і відповідних вихідних сигналів тригера з урахуванням, що **комбінація** двох вхідних сигналів $R = S = \text{лог. 1}$ є **забороненою** і у припущенні про миттєвість перехідних процесів під час змін стану тригера.

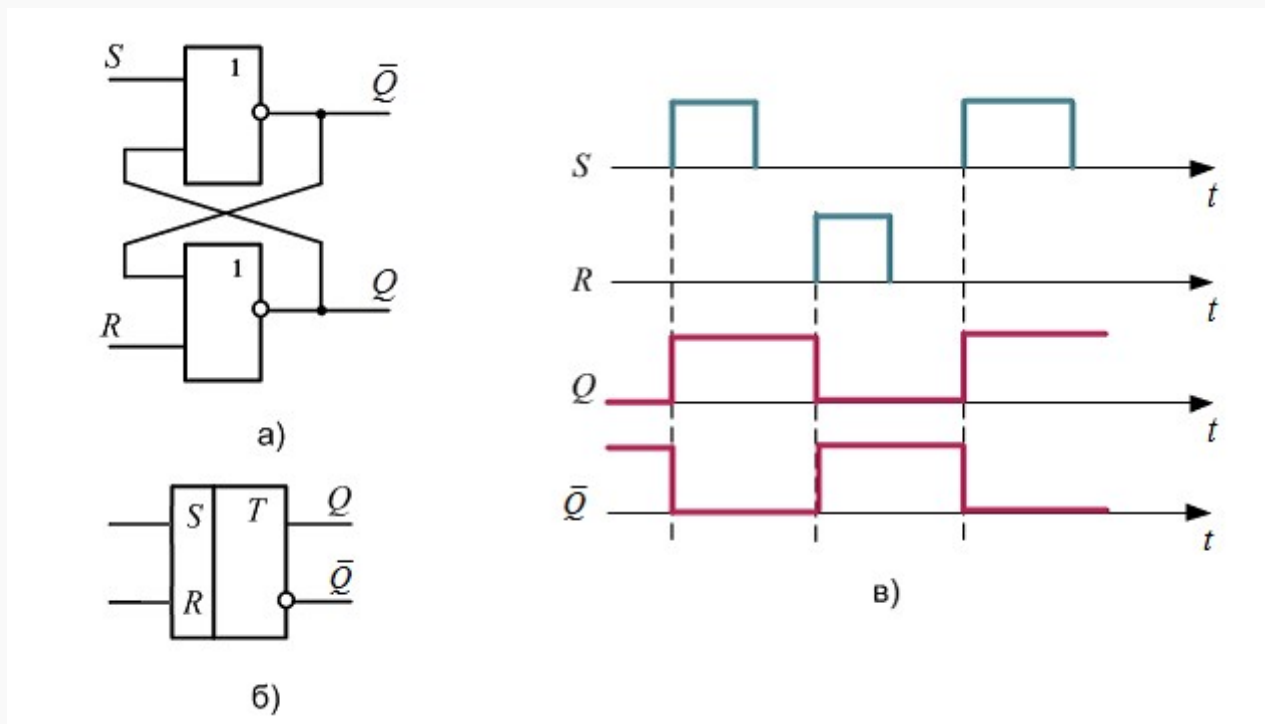


Рис. 12.46. Асинхронний RS-тригер на елементах АБО-НІ: схема (а), умовне зображення (б), часові діаграми роботи (в)

Асинхронний RS -тригер в базисі І-НІ. Перетворимо логічний вираз (12.43) до виду, зручного для реалізації на елементах І-НІ. Скористаємося аксіомою подвійного інвертування та першою формою закону де Моргана:

$$Q_{t+1} = S + \bar{R} \cdot Q = \overline{\overline{S + \bar{R} \cdot Q}} = \overline{\bar{S} \cdot \overline{\bar{R} \cdot Q}} \quad (12.47)$$

Перехід від булевої функції (12.47) до схеми тригера (рис. 12.47,а)) очевидний: достатньо два двоххідні логічні елементи І-НІ охопити відповідними логічними зв'язками. Особливістю такої схемної реалізації є інверсне керування за інформаційними входами, тому такий тригер називають **тригером з інверсним керуванням** (тригер реагує на вхідні сигнали лог. 0) і позначають умовним зображенням з інверсними входами (рис. 12.47,а)). Для тригера з інверсним керуванням **забороненою є комбінація** двох вхідних сигналів $R = S = \text{лог. } 0$.

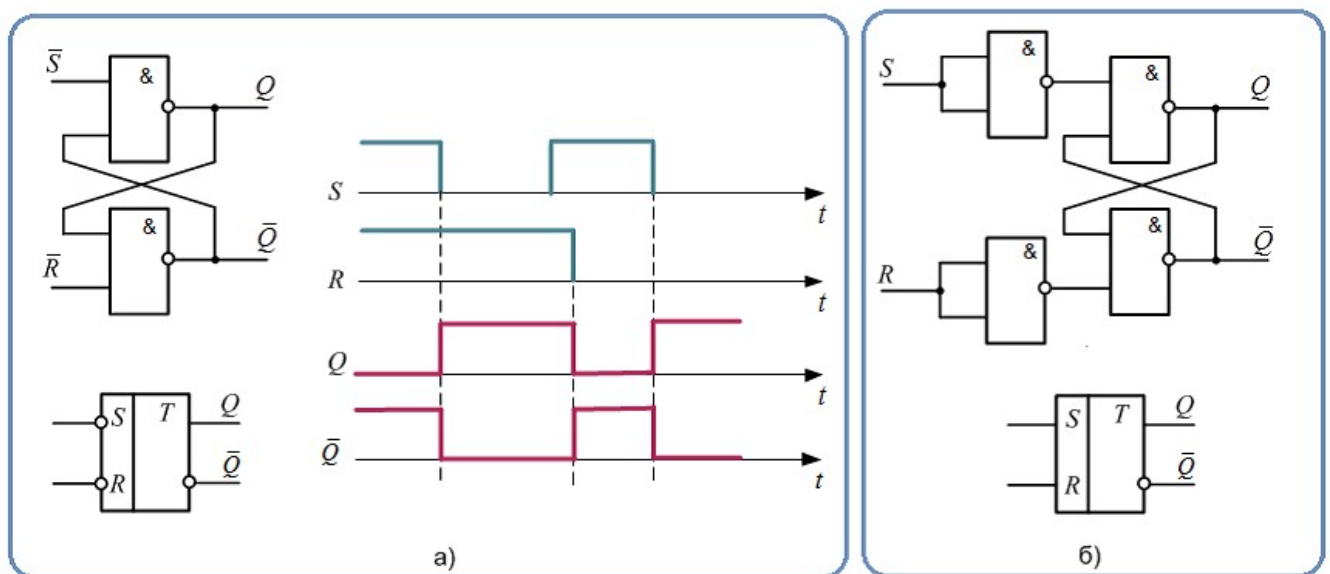


Рис. 12.47. Асинхронний RS -тригер на елементах І-НІ:

схема, умовне зображення і часові діаграми роботи тригера з *інверсним керуванням* (а);

схема і умовне зображення тригера з *прямим керуванням* (б)

Схему можна доповнити ще двома двоххідними логічними елементами І-НІ (рис. 12.47,б)) і отримати **тригер з прямим керуванням**, який реагує на сигнали лог. 1 на входах R і S , тобто працює аналогічно асинхронному RS -тригеру на елементах АБО-НІ (рис. 12.46).

У складі більшості цифрових пристроїв є, як мінімум, декілька RS -тригерів. Тому виникає необхідність синхронізації перемикань тригерів у часі, оскільки неодночасна їх

робота може привести до виникнення заборонених комбінацій вхідних сигналів та виникнення непередбачених станів. В таких випадках використовують **синхронні тригери**, які мають додатковий тактовий вхід і сприймають інформацію на входах лише за наявності тактового імпульсу.

Синхронний RS -тригер в базисі І-НІ. Для побудови тригера спочатку запишемо логічну функцію, яка описує алгоритм його роботи. Для цього у виразі (12.47) замінимо змінні R і S на кон'юнкції CR і CS , де C – синхросигнал:

$$Q_{t+1} = \overline{\overline{C \cdot S} \cdot \overline{C \cdot R} \cdot Q}. \quad (12.48)$$

Схема синхронного RS -тригера на чотирьох елементах І-НІ з логічними зв'язками на основі виразу (12.48) показана на рис. 12.48,а). Елементи DD1 і DD2 утворюють схему керування, а елементи DD3 і DD4 – елемент пам'яті. За відсутності тактового сигналу $C = \text{лог.0}$ на входах елемента пам'яті (RS -тригера на елементах І-НІ з інверсним керуванням) встановлюються логічні одиниці, отже, вихідні сигнали тригера Q, \bar{Q} залишаються незмінними. Інформаційний сигнал лог. 0 подається на один із входів елемента пам'яті тільки у разі одночасної наявності синхроімпульсу $C = \text{лог.1}$ та вхідного сигналу $R = \text{лог. 1}$ або $S = \text{лог.1}$. Комбінація вхідних сигналів $C = R = S = \text{лог.1}$ заборонена для синхронного тригера на елементах І-НІ, оскільки призводить до невизначеного стану. Умовне зображення синхронного тригера наведено на рис. 12.48,б), часові діаграми роботи – на рис. 12.48,в).

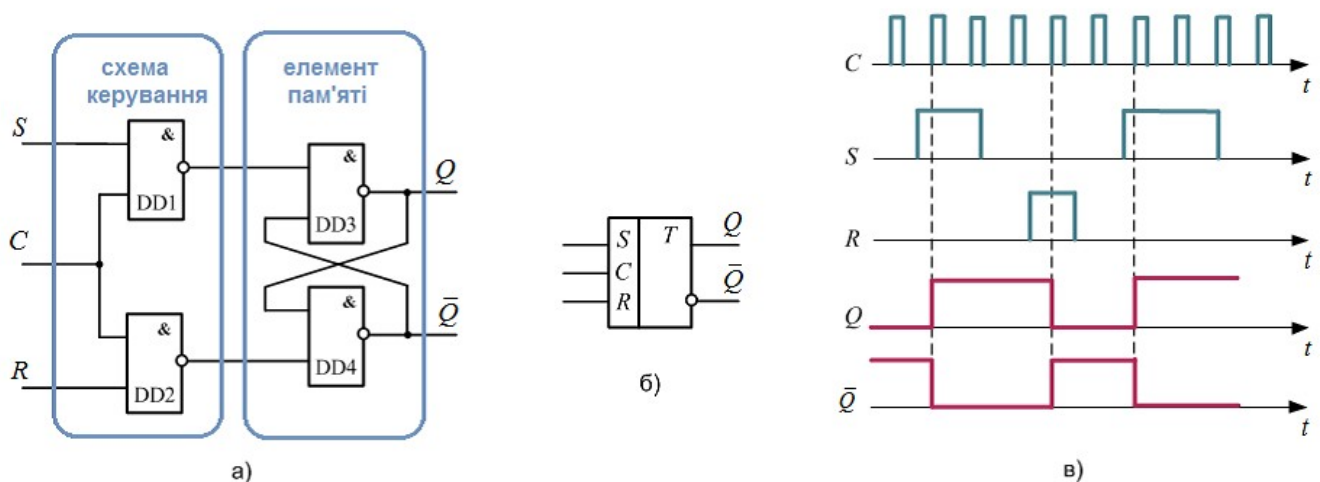


Рис. 12.48. Синхронний RS -тригер на елементах І-НІ: схема (а), умовне зображення (б), часові діаграми роботи (в)

Синхронний RS -тригер в базисі АБО-НІ. Для побудови тригера спочатку запишемо логічну функцію, яка описує алгоритм його роботи. Для цього у виразі (12.46) замінимо змінні R і S на кон'юнкції CR і CS , де C – синхросигнал, і скористаємося аксіомою подвійного інвертування та другою формою закону де Моргана для перетворення логічного виразу до вигляду (12.49):

$$Q_{t+1} = \overline{\overline{C \cdot R + (C \cdot S + Q)}} = \overline{\overline{C \cdot R} + \overline{\overline{C \cdot S + Q}}} = \overline{\overline{C} + \overline{R} + (\overline{C} + \overline{S} + Q)}. \quad (12.49)$$

Схема синхронного RS -тригера на чотирьох елементах АБО-НІ з логічними зв'язками на основі виразу (12.49) показана на рис. 12.49,а). Це синхронний тригер з інверсним керуванням, що і відображено на його умовному зображенні (рис. 12.49,б)). При наявності синхроімпульсу $\overline{C} = 0$ з надходженням вхідного сигналу $\overline{S} = 0$ на виході елемента DD1 встановлюється лог. 1 і тригер перемикається у стан $Q = 1$. При наявності синхроімпульсу $\overline{C} = 0$ з надходженням вхідного сигналу $\overline{R} = 0$ на виході елемента DD2 встановлюється лог. 1 і тригер перемикається у стан $Q = 0$. Комбінація вхідних сигналів $\overline{C} = \overline{S} = \overline{R} = 0$ заборонена для синхронного тригера на елементах АБО-НІ, оскільки призводить до невизначеного стану.

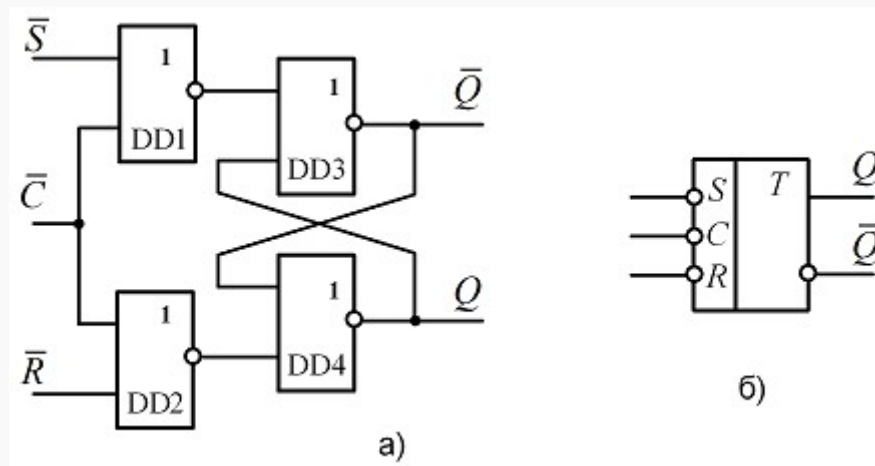


Рис. 12.49. Синхронний RS -тригер на елементах АБО-НІ: схема (а), умовне зображення (б)

D -тригер – це синхронний запам'ятовуючий елемент з двома стійкими станами і одним інформаційним D -входом (рис. 12.50,а)). Після перемикання стан D -тригера повторює значення сигналу на D -вході в тактові моменти часу. Тому D -тригер часто називають тригером затримки (від *delay* – затримка). Тригер затримує вхідний сигнал на

один такт. Такий алгоритм функціонування можна описати коротким логічним рівнянням:

$$Q_{t+1} = C_t \cdot D_t \quad (12.50)$$

Схему D -тригера легко побудувати на основі синхронного RS -тригера, якщо сигнал по входу S одночасно подавати через інвертор на вхід R (рис. 12.50,б)). Із повної таблиці переходів RS -тригера (табл. 12.16) алгоритм функціонування D -тригера описують четвертий і п'ятий рядки: інформаційні сигнали мають протилежні значення, а вихідний сигнал не змінюється (табл. 12.17):

Таблиця 12.17

R_t	$D = S_t$	Q_t	Q_{t+1}
0	1	1	1
1	0	0	0

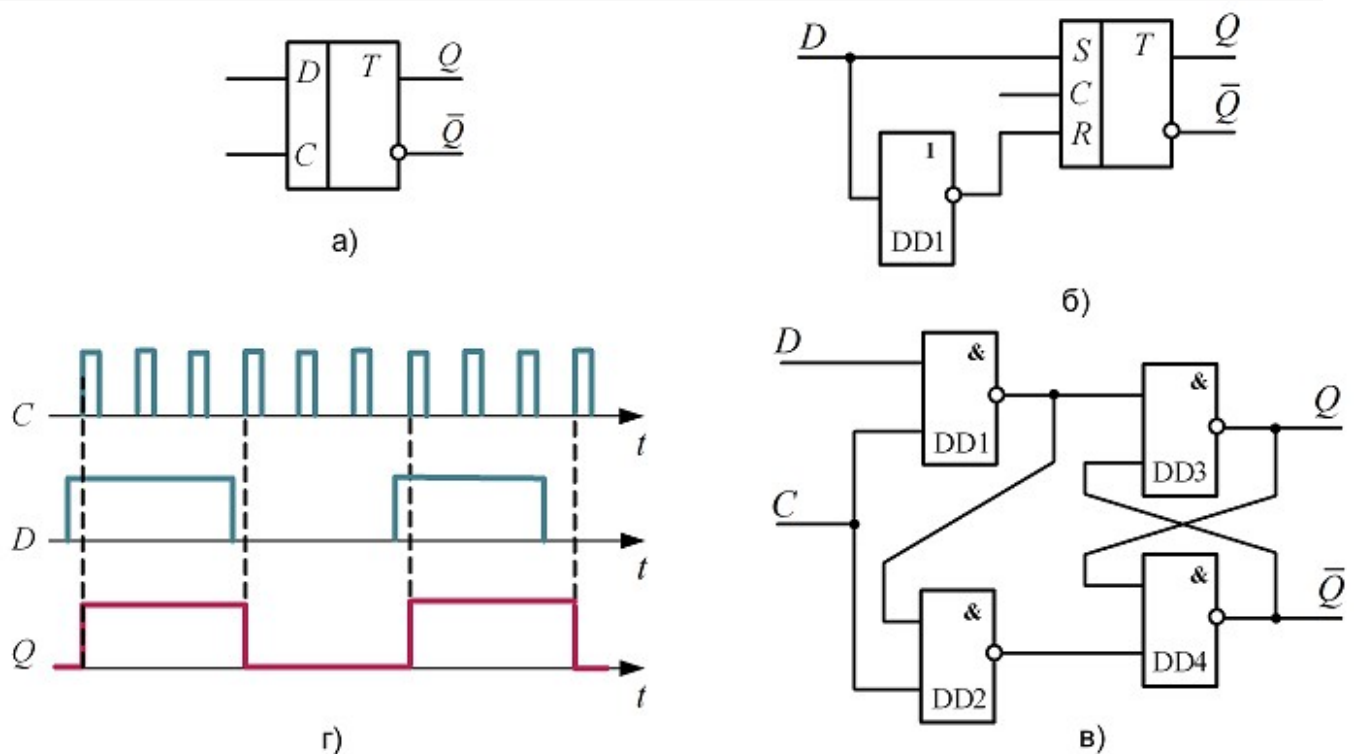


Рис. 12.50. D -тригер:

умовне зображення (а), схема на основі RS -тригера (б), схема на елементах І-НІ (в), часові діаграми роботи (г)

Схему D -тригера будують також на основі самостійного логічного рівняння (12.51), яке отримують із рівняння синхронного тригера на елементах І-НІ (12.48) після заміни $S = D$ і $R = \bar{D}$:

$$Q_{t+1} = \overline{\overline{C \cdot S} \cdot \overline{C \cdot R} \cdot Q} = \overline{C \cdot D \cdot C \cdot \bar{D} \cdot Q} \quad (12.51)$$

Схема D -тригера на чотирьох елементах І-НІ з логічними зв'язками на основі виразу (12.51) показана на рис. 12.50,в)). Часові діаграми роботи тригера (рис. 12.50,г)) ілюструють, як D -тригер «відслідковує» за зміною сигналу на D -вході під час дії синхросигналу C і зберігає цю інформацію.

Для затримки інформації в D -тригері на довільне число тактів використовують дозволяючий V - вхід, як по казано штриховою лінією на рис. 12.51,а). Якщо $V = 1$, то DV – тригер функціонує як звичайний тригер затримки. Якщо $V = 0$, то робота схеми за входами D і S блокується і DV –тригер зберігає попередню інформацію (рис. 12.51,б)).

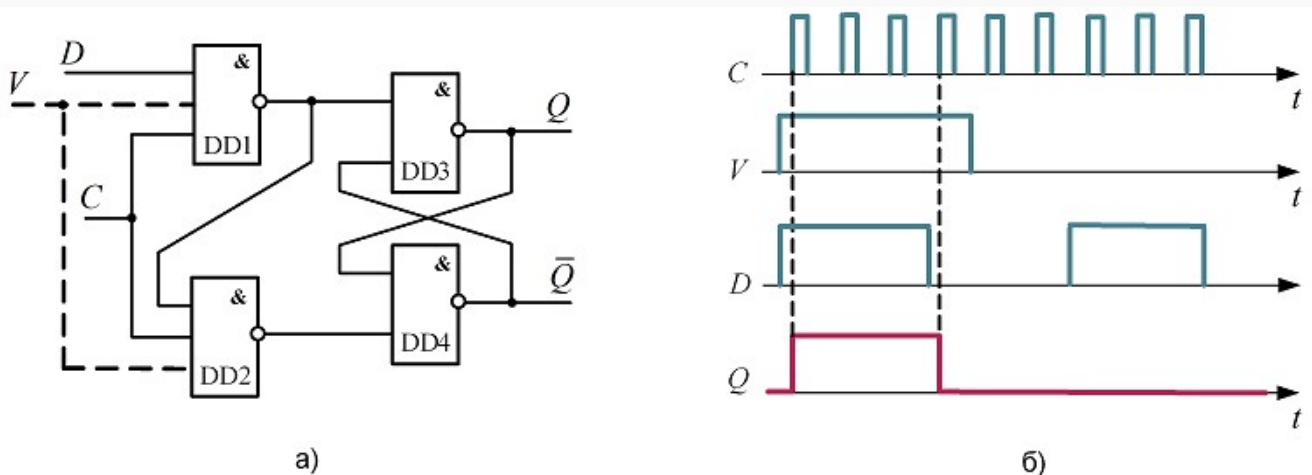


Рис. 12.51. DV -тригер: схема (а), часові діаграми роботи (б)

Зауваження. В усіх синхронних тригерах із статичним керуванням (за рівнем) можливе фальшиве перемикання у випадку зміни сигналів на інформаційних входах під час дії синхросигналу C . Наприклад, якщо в D -тригері інформаційний сигнал змінює своє значення від одиниці до нуля до закінчення синхросигналу C , то тригер може знову перекинутися із одиничного в нульовий стан. На відміну від тригерів зі статичним керуванням у тригерах з динамічним керуванням записування інформації відбувається на короткому інтервалі часу в області фронту або спаду, що значно підвищує заводозахищеність пристрою.

***T*-тригер** – це запам'ятовуючий елемент з двома стійкими станами і одним інформаційним *T*-входом. За способом запису інформації *T*-тригери бувають асинхронними і синхронними, що відображено на умовному зображенні елемента (рис. 12.52). Стан *T*-тригера змінюється на протилежний після кожного надходження лічильного сигналу лог. 1 на *T*-вхід, звідси і назва пристрою (від *tumble* – перекидатися). Іншою для *T*-тригер є назва **лічильний тригер**.

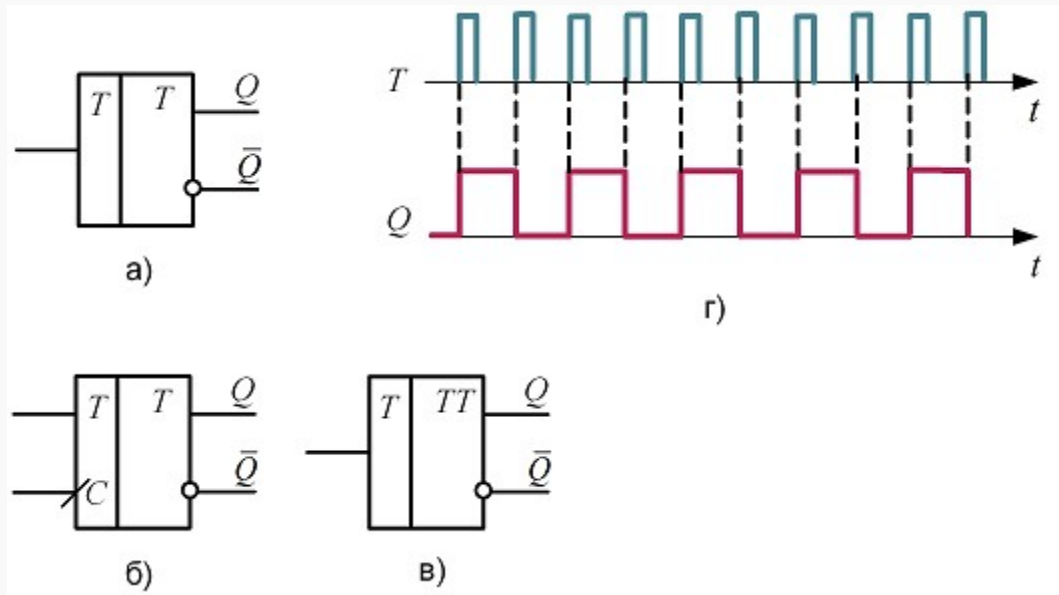


Рис. 12.52. Умовне зображення *T*-тригера:

асинхронного (а), синхронного з динамічним керуванням І-НІ (б), двоступеневого (в) і часові діаграми роботи асинхронного *T*-тригера (г)

Логіка функціонування асинхронного лічильного тригера може бути задана таблицею переходів (табл. 12.18):

Таблиця 12.18

T_t	Q_t	Q_{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Часові діаграми роботи тригера (рис. 12.52,г)) ілюструють, що частота повторення сигналу на виході вдвічі менша від частоти вхідних імпульсів T , тобто тригер ділить вхідну частоту імпульсів на 2.

Від таблиці переходів легко перейти до запису логічної функції у досконалій диз'юнктивній нормальній формі (12.52):

$$Q_{t+1} = \bar{T}_t \cdot Q_t + T_t \cdot \bar{Q}_t. \quad (12.52)$$

Логічне рівняння (12.52) описує роботу **асинхронного** T -тригера. Для побудови асинхронного T -тригера на елементах І-НІ потрібно виконати еквівалентні перетворення логічного виразу, скориставшись законами та властивостями алгебри логіки. Після застосування аксіоми подвійного інвертування та першої форми закону де Моргана маємо:

$$Q_{t+1} = \overline{\overline{\bar{T}_t \cdot Q_t + T_t \cdot \bar{Q}_t}} = \overline{\overline{\bar{T}_t} \cdot \overline{Q_t} + \overline{T_t} \cdot \overline{\bar{Q}_t}}. \quad (12.53)$$

Щоб уникнути інвертування тактового сигналу у виразі (12.53) виконаємо перетворення кон'юнкції $\bar{T}_t \cdot Q_t$, скориставшись послідовно аксіомою доповнення, дистрибутивним законом та другою формою закону де Моргана:

$$\bar{T}_t \cdot Q_t = \bar{T}_t \cdot Q_t + \bar{Q}_t \cdot Q_t = (\bar{T}_t + \bar{Q}_t) \cdot Q_t = \overline{\overline{\bar{T}_t} \cdot \overline{\bar{Q}_t}} \cdot Q_t.$$

Остаточно,

$$Q_{t+1} = \overline{\overline{\bar{T}_t} \cdot \overline{\bar{Q}_t} \cdot \overline{\overline{\bar{T}_t} \cdot \overline{\bar{Q}_t}} \cdot \overline{\overline{\bar{T}_t} \cdot \overline{\bar{Q}_t}}} = \overline{\overline{\bar{T}_t} \cdot \overline{\bar{Q}_t} \cdot \overline{\overline{\bar{T}_t} \cdot \overline{\bar{Q}_t}}}. \quad (12.54)$$

Схема T -тригера на чотирьох елементах І-НІ з логічними зв'язками на основі виразу (12.54) показана на рис. 12.53,а).

Якщо порівняти логічне рівняння T -тригера (12.54) з логічним рівнянням D -тригера (12.51), то можна помітити, що рівняння (12.54) виходить із (12.51) після заміни $C = T$ і $D = \bar{Q}$:

$$Q_{t+1} = \overline{\overline{\overline{C} \cdot \overline{\overline{D}} \cdot \overline{\overline{C} \cdot \overline{\overline{D}}}} \cdot \overline{\overline{Q}}} = \overline{\overline{\overline{T}_t \cdot \overline{\overline{\bar{Q}_t}} \cdot \overline{\overline{T}_t \cdot \overline{\overline{\bar{Q}_t}}}} \cdot \overline{\overline{Q}}}. \quad (12.55)$$

Це означає, що D -тригер легко перетворити на лічильний тригер, якщо вхід з'єднати з інверсним виходом, а лічильні імпульси подавати та тактовий вхід C (рис. 12.53,б)).

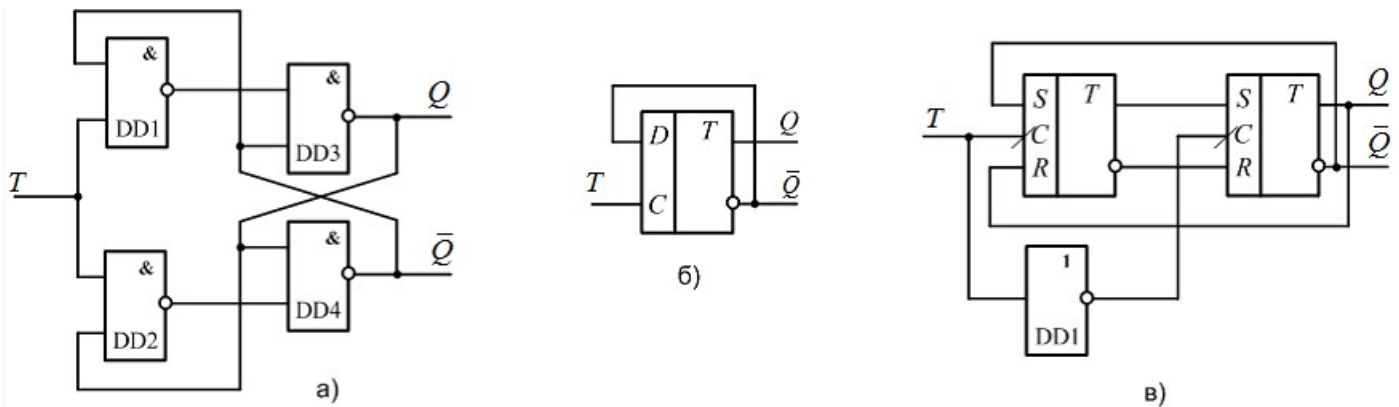


Рис. 12.53. Асинхронний T -тригер:

схема на елементах І-НІ (а), схема на D -тригері (б), двоступенева схема на RS -тригерах (в)

Перемикання тригера визначаються сумісною дією лічильних сигналів T та сигналів зворотного зв'язку з виходів Q та \bar{Q} . Для виключення хибних спрацьовувань під час дії лічильного сигналу T сигнали з виходів Q та \bar{Q} не повинні змінюватися. У цифрових пристроях неможливо використати запропоновані на рис. 12.53,а,б) схеми. Надійні структури лічильних тригерів будують з використанням **синхронних тригерів з динамічним керуванням** по фронту тактового сигналу C або використовують **двоступеневі тригери** (рис. 12.53,в)).

JK-тригер – це запам'ятовуючий елемент з двома стійкими станами та двома інформаційними входами J і K . JK -тригер функціонує подібно до RS -тригера: входи J (аналог S) та K (аналог R) забезпечують роздільну установку станів лог. 1 та лог. 0 на виходах тригера. Відмінність полягає у тому, що комбінація двох вхідних сигналів $J = K = \text{лог. } 1$ не є забороненою, а перекидає тригер у протилежний стан. Такий алгоритм функціонування можна описати скороченою таблицею переходів (табл. 12.19) і повною таблицею переходів (табл. 12.20).

Таблиці переходів 12.20 відповідає **Карта Карно** (12.56):

$K_i J_i$	00	01	11	10
0	0	1	1	0
1	1	1	0	0

(12.56)

Таблиця 12.19

K_t	J_t	Q_{t+1}
1	0	0
0	1	1
0	0	Q_t
1	1	\bar{Q}_t

Таблиця 12.20

K_t	J_t	Q_t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Після вибору покриття одиниць (12.57) записуємо диз'юнктивну нормальну форму (12.58):

$K_t J_t$		00	01	11	10
Q_t	0	0	1	1	0
	1	1	1	1	0

(12.57)

$$Q_{t+1} = J_t \cdot \bar{Q}_t + \bar{K}_t \cdot Q_t.$$

(12.58)

Логічний вираз (12.58) є **логічним рівнянням асинхронного JK-тригера**, який визначає новий стан тригера Q_{t+1} залежно від вхідних сигналів J_t , K_t та попереднього стану тригера Q_t . Якщо бажаною є реалізація у базисі І-НІ, то логічне рівняння (12.58) слід еквівалентно перетворити, скориставшись аксіомою подвійного інвертування та другою формою закону де Моргана:

$$Q_{t+1} = J \cdot \bar{Q} + \bar{K} \cdot Q = \overline{\overline{J \cdot \bar{Q} + \bar{K} \cdot Q}} = \overline{J \cdot \bar{Q} \cdot \bar{K} \cdot Q}.$$

Зважаючи на незручність використання інвертованого сигналу на вході K продовжимо еквівалентні перетворення, скориставшись другою формою аксіоми доповнення та другою формою розподільного закону:

$$Q_{t+1} = \overline{\overline{J \cdot \bar{Q}} \cdot \overline{\overline{\bar{K} \cdot Q + Q \cdot \bar{Q}}}} = \overline{J \cdot \bar{Q} \cdot (\bar{K} + \bar{Q}) \cdot Q} = \overline{J \cdot \bar{Q} \cdot \bar{K} \cdot Q \cdot Q}. \quad (12.59)$$

На рис. 12.54 наведені умовне зображення асинхронного JK-тригера, часові діаграми його функціонування та схема реалізації на елементах І-НІ з логічними зв'язками на основі виразу (12.59).

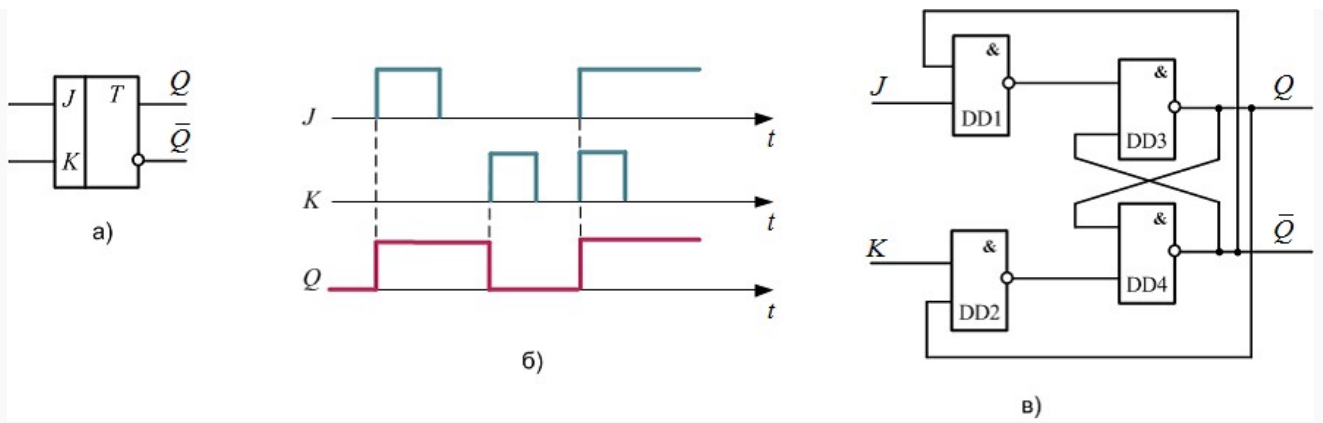


Рис. 12.54. Асинхронний JK -тригер:

умовне зображення (а), часові діаграми роботи (б), схема на елементах І-НІ (в)

Синхронний JK -тригер нічим не відрізняється від асинхронного JK -тригера, якщо на синхровході C наявний тактовий імпульс. Якщо тактовий імпульс відсутній $C = 0$, то тригер просто зберігає попередній стан незалежно від станів інформаційних входів. Для побудови синхронного JK -тригера потрібно у виразах (12.58) і (12.59) замінити сигнали J і K на кон'юнкції $J \cdot C$ і $K \cdot C$.

$$Q_{t+1} = J \cdot C \cdot \bar{Q} + \overline{K \cdot C} \cdot Q = \overline{J \cdot C \cdot \bar{Q} \cdot K \cdot C \cdot \bar{Q} \cdot Q} \quad (12.60)$$

На рис. 12.55 наведені умовне зображення синхронного одноступеневого синхронного JK -тригера, часові діаграми його функціонування та схема реалізації на елементах І-НІ з логічними зв'язками на основі виразу (12.59).

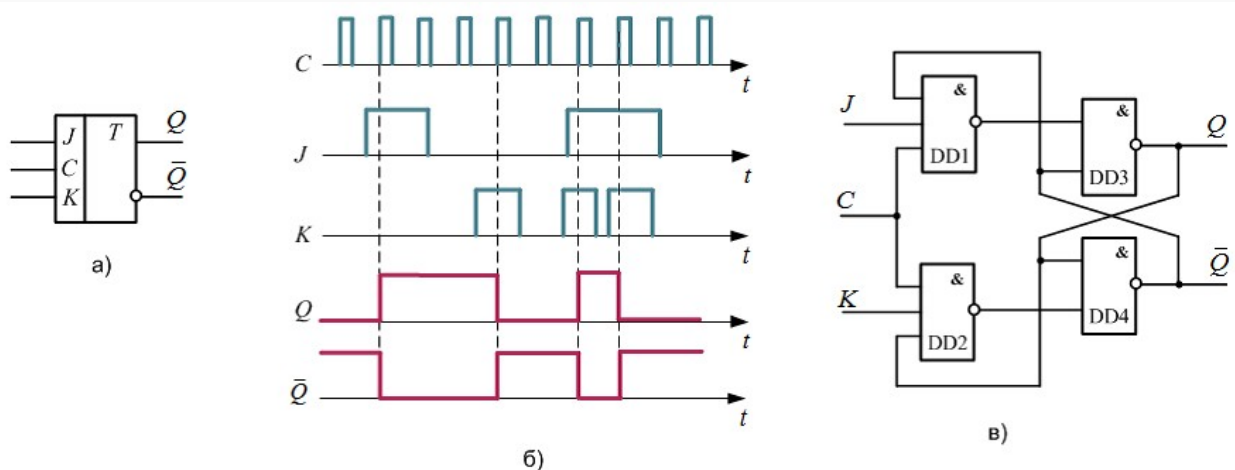


Рис. 12.55. Синхронний JK -тригер:

умовне зображення (а), часові діаграми роботи (б), схема на елементах І-НІ (в)

JK-тригер є **універсальним**, оскільки може виконувати функції *RS*-тригера (при роздільному надходженні сигналів на інформаційні входи *J* і *K*), *D*-тригера (при надходженні сигналу на вхід *K* від входу *J* через інвертор) та *T*-тригера (при одночасному надходженні сигналів на інформаційні входи *J* і *K*).

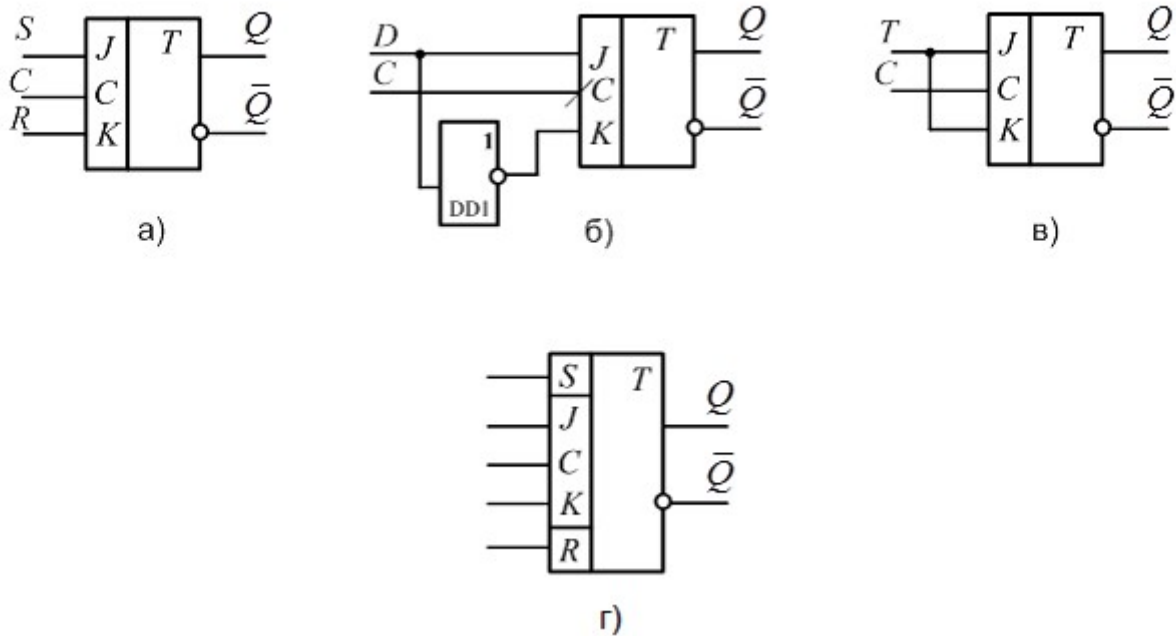


Рис. 12.55. Організація подавання вхідних сигналів для роботи *JK*-тригера в режимах: *RS*-тригера (а), *D*-тригера (б), *T*-тригера (в);

умовне зображення синхронного *JK*-тригера з установчими входами *R* і *S* (г)

Промисловість випускає готові *JK*-тригери у вигляді мікросхем, які мають додаткові установчі входи *R* і *S* (рис. 12.55, г)). Ці входи асинхронні. Після подачі сигналів $R = 0, S = 1$ тригер миттєво встановлює на виході $Q_{t+1} = 1$, а після надходження сигналів $R = 1, S = 0$ на виході встановлюється лог.0: $Q_{t+1} = 0$.