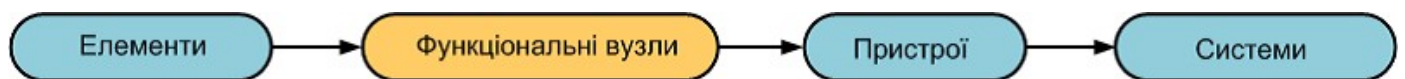


ДЕШИФРАТОРИ

ШИФРАТОРИ

Пристрої, які призначені для оброблення дискретних цифрових сигналів, називаються цифровими. Як було зазначено технічні засоби комп'ютерної схемотехніки поділяють за складністю на елементи, функціональні вузли, пристрої та системи.



Функціональні вузли – це мікроелектронні схеми, які призначені для виконання однієї або декількох **мікрооперацій**. За принципом дії функціональні вузли розподіляються на **комбінаційні** та **послідовнісні**. Функціональні вузли будують на основі елементів комп'ютерної схемотехніки. Логічні елементи, які реалізуються на двопозиційних ключових схемах, були детально розглянуті у попередніх лекціях.

Мікрооперацією називають елементарну дію (зсув, інверсію, додавання), яка виконується за один машинний такт. До складу усіх цифрових систем входять генератори тактових імпульсів (ГТІ). Такий генератор виробляє періодичну послідовність прямокутних імпульсів, які називаються **тактовими імпульсами С** або **синхроімпульсами**. Початок кожного тактового імпульсу називається **тактовим моментом**. Часовий інтервал між двома сусідніми тактовими моментами називають **машинним тактом** T_c (рис. 24.1, а)). Частота тактових імпульсів вимірюється десятками і сотнями мегагерц. Амплітуда і полярність синхроімпульсів залежить від фізичних принципів побудови цифрової системи.

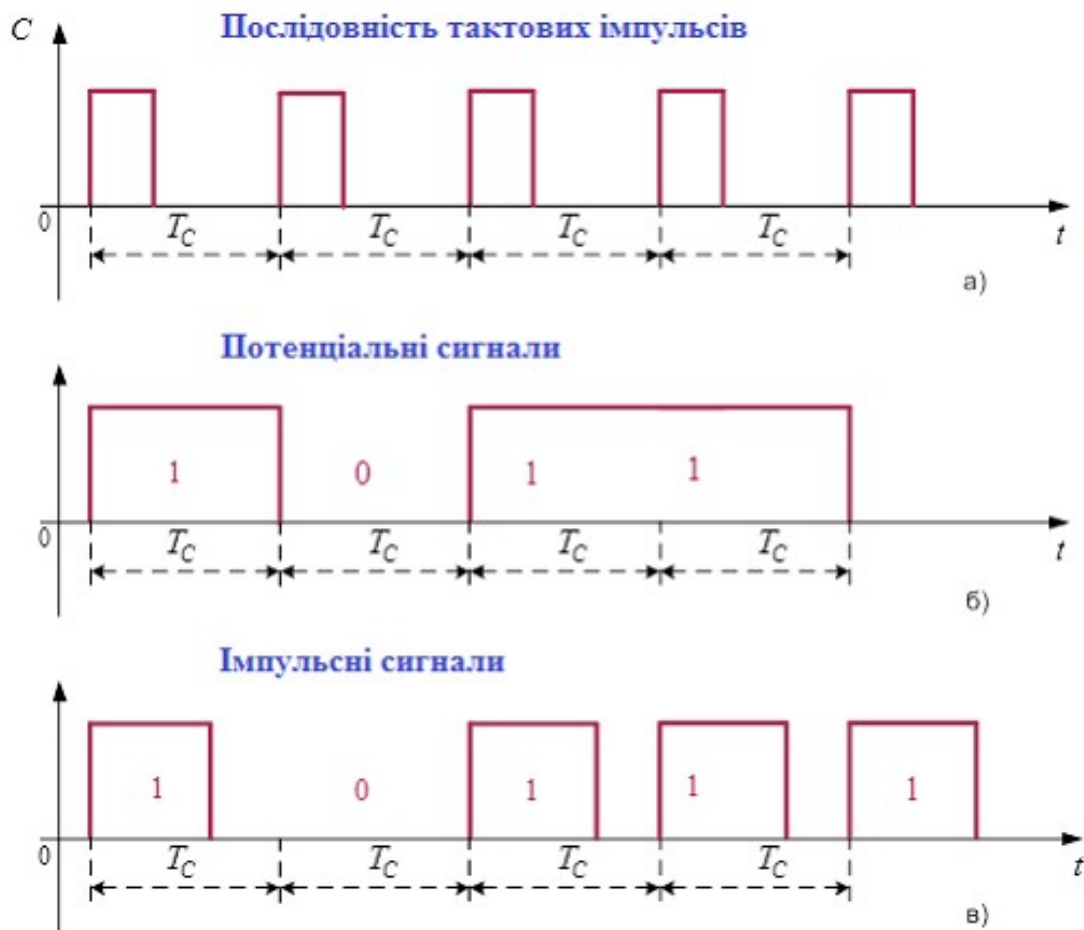


Рисунок 24.1 – Часові діаграми тактових імпульсів (а), потенціальних (б) та імпульсних (в) сигналів

Синхроімпульси надходять на входи елементів і функціональних вузлів і керують моментами зміни інформації на цих входах. У цифровій схемотехніці застосовують два основних види двійкових сигналів: потенціальні та імпульсні. Потенціальний сигнал змінюється тільки в тактові моменти часу, тому тривалість потенціального сигналу дорівнює або кратна тривалості машинного такту (рис. 24.1, б)). Імпульсний сигнал наростає в тактовий момент і спадає в границях одного машинного такту (рис. 24.1, в)). Розрізняють два способи кодування логічних сигналів X_i потенціальними сигналами – позитивний та негативний. При позитивному кодуванні (позитивна логіка) більший рівень напруги відображає лог. 1 (рис. 24.1, б)), при негативному (негативна логіка) більший рівень напруги відповідає лог. 0. Для імпульсних сигналів також можливі два роди кодування: наявність імпульсу відображає лог. 1, відсутність – лог. 0 (рис. 24.1, в)) та наявність імпульсу однієї полярності

відображає лог. 1, а іншої полярності – лог. 0.

У **комбінаційній схемі** логічний стан виходів функціонального вузла залежить тільки від комбінації вхідних сигналів у даний момент часу. До функціональних вузлів комбінаційного типу відносяться суматори, дешифратори, шифратори, мультиплексори, демультимплексори, компаратори, кодоперетворювачі, схеми контролю за парністю та інші.

У **послідовнісній схемі** логічний стан виходів функціонального вузла визначають як комбінація вхідних сигналів, так і стан пристрою у попередній момент часу. До функціональних вузлів послідовнісного типу відносяться регістри, лічильники, генератори чисел і керуючі автомати.

На основі типових функціональних вузлів будують різноманітні цифрові пристрої.

Комбінаційні функціональні вузли цифрової схемотехніки або цифрові автомати без пам'яті – це такі пристрої, логічні значення на виході яких однозначно визначаються сукупністю або комбінацією сигналів на входах у даний момент часу. До функціональних вузлів комбінаційного типу відносяться суматори, дешифратори, шифратори, мультиплексори, демультимплексори, компаратори, кодоперетворювачі, схеми контролю за парністю та інші пристрої.

Будь-який комбінаційний вузол проектують за логічною функцією, яка описує алгоритм функціонування пристрою. Здебільшого, орієнтуються на функціонально повний базис логічних елементів І-НІ, АБО-НІ, враховуючи **серії інтегральних схем**, які випускаються промисловістю.

Цифрові пристрої комбінаційного типу випускаються у вигляді інтегральних мікросхем або входять до складу великих інтегральних мікросхем, таких як процесори, запам'ятовувальні та інші пристрої.

ДЕШИФРАТОРИ

Дешифратор – це комбінаційний функціональний вузол, який для кожної комбінації вхідного двійкового коду формує на одному із виходів сигнал лог. 1 (або лог. 0). У загальному випадку дешифратор має n входів та $m = 2^n$ виходів. Дешифратор з максимально можливим числом виходів називають **повним** (кажуть дешифратор «із n в m »), а якщо кількість виходів $m < 2^n$ – **неповним**.

На рис. 24.2, а) показано умовне зображення дешифратора. Логічна функція дешифратора позначається буквами DC (від англ. *decoder*). Мітки лівого додаткового поля відображають ваги позицій двійкового коду вхідних змінних, а мітки правого додаткового поля нумеруються десятковими еквівалентами відповідних їм вхідних кодових комбінацій. Часто схеми дешифраторів доповнюються **входом дозволу роботи E** (від англ. *enable*). Якщо на цей вхід надходить одиниця, то дешифратор функціонує, в іншому випадку на виходах дешифратора наявні логічні нулі незалежно від вхідних сигналів. Сигнали на дозволяючому вході визначають момент спрацьовування і використовуються для нарощування розрядності вхідного коду дешифратора. Широке застосування знаходять дешифратори, на входи яких подаються не лише прямі, але і інверсні вхідні сигнали. Умовне позначення такого дешифратора з **парафазними входами** наведено на рис. 24.2, б).

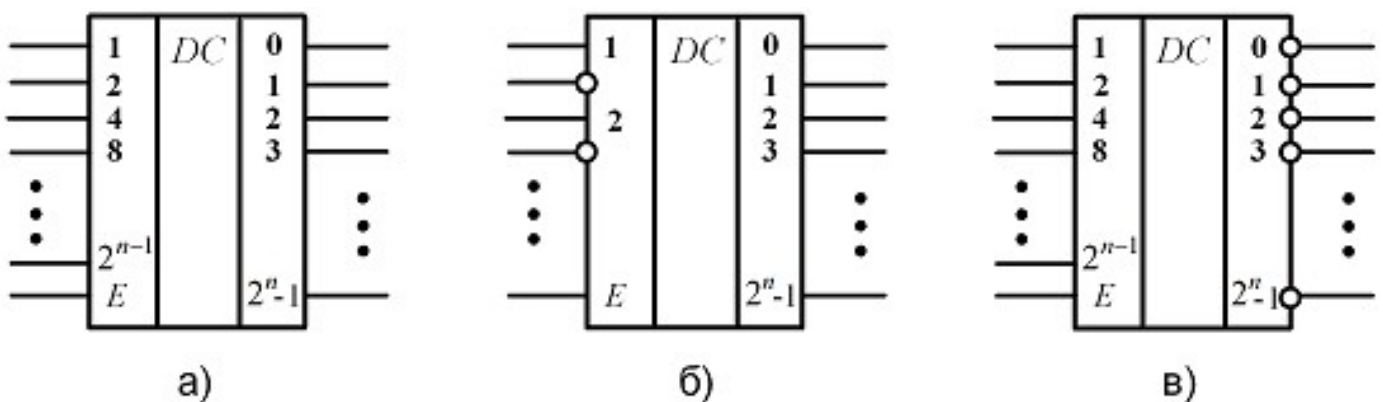


Рисунок 24.2 – Умовне позначення повного дешифратора з n входами:
з лог. 1 на активному виході (а) і парафазними входами (б),
з лог. 0 на активному виході (в)

Дешифратор формує логічну одиницю на одному виході, номер якого відповідає десятковому значенню двійкового числа на вході. Вихід, на якому з'являється керуючий сигнал, називається **активним**. Двійковий код, який вміщує завжди тільки одну одиницю, а інші – нулі, має назву **унітарний**. Отже, дешифратор перетворює вхідний позиційний двійковий код в унітарний. Функціонування повного дешифратора, стан активного виходу якого відображається логічною одиницею, описується системою логічних функцій (24.1):

$$\begin{cases} F_0 = \bar{X}_n \cdot \bar{X}_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot \bar{X}_1, \\ F_1 = \bar{X}_n \cdot \bar{X}_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot X_1, \\ F_2 = \bar{X}_n \cdot \bar{X}_{n-1} \cdot \dots \cdot X_2 \cdot \bar{X}_1, \\ \dots \dots \dots \\ F_{2^{n-1}} = X_n \cdot \bar{X}_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot \bar{X}_1, \end{cases} \quad (24.1)$$

де X_1, X_2, \dots, X_n – вхідні двійкові змінні, F_0, F_1, \dots, F_{m-1} – вихідні логічні функції, які являють собою **мінтерми** n вхідних змінних.

Якщо у дешифратора активний стан виходу відображається лог. 0, а на інших виходах установлюються лог.1, то алгоритм роботи описується системою логічних функцій (24.2):

$$\begin{cases} P_0 = X_n + X_{n-1} + \dots + X_2 + X_1, \\ P_1 = X_n + X_{n-1} + \dots + X_2 + \bar{X}_1, \\ P_2 = X_n + X_{n-1} + \dots + \bar{X}_2 + X_1, \\ \dots \dots \dots \\ P_{2^{n-1}} = \bar{X}_n + X_{n-1} + \dots + X_2 + X_1. \end{cases} \quad (24.2)$$

де X_1, X_2, \dots, X_n – вхідні двійкові змінні, P_0, P_1, \dots, P_{m-1} – вихідні логічні функції, які являють собою **макстерми** n вхідних змінних.

Між вихідними функціями дешифраторів зі значеннями активних виходів лог. 1 та лог. 0 існує простий зв'язок: $F_i = \bar{P}_i$.

За способом структурної реалізації систем рівнянь (24.1), (24.2) розрізняють дешифратори **одноступеневі** ([лінійні](#)) і **багатоступеневі** ([пірамідальні](#) та [прямокутні](#)).

Лінійні дешифратори. У лінійному дешифраторі «із n в m » кожна вихідна функція F_i або P_i реалізується повністю окремим n -вхідним логічним елементом. Зручно використовувати парафазний вхідний код. Якщо використовується однофазний вхідний код, то інверсії вхідних змінних утворюються елементами НІ. На рис. 24.3 зображена схема лінійного дешифратора на три входи «із 3 в 8» і його умовне зображення. Логіка роботи повного дешифратора на три входи наведена у таблиці 24.1 і описується системою логічних рівнянь (24.3).

Таблиця 24.1 – Таблиця істинності дешифратора

Вхідний двійковий код			Вихідний унітарний код							
X_1	X_2	X_3	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

$$\left\{ \begin{array}{l} F_0 = \bar{X}_3 \cdot \bar{X}_2 \cdot \bar{X}_1, \\ F_1 = \bar{X}_3 \cdot \bar{X}_2 \cdot X_1, \\ F_2 = \bar{X}_3 \cdot X_2 \cdot \bar{X}_1, \\ F_3 = \bar{X}_3 \cdot X_2 \cdot X_1, \\ F_4 = X_3 \cdot \bar{X}_2 \cdot \bar{X}_1, \\ F_5 = X_3 \cdot \bar{X}_2 \cdot X_1, \\ F_6 = X_3 \cdot X_2 \cdot \bar{X}_1, \\ F_7 = X_3 \cdot X_2 \cdot X_1. \end{array} \right. (24.3)$$

Пірамідальні дешифратори реалізуються на двовходових логічних елементах і мають кількість ступенів на 1 менше розрядності вхідного коду, тобто $n-1$. На першому ступені використовуються лінійні дешифратори «із 2 в 4». Кожен наступний ступінь має в два рази більше елементів, ніж попередній. Для прикладу на рис. 24.4 зображена схема пірамідального дешифратора на три входи «із 3 в 8». Перший ступінь являє собою лінійний дешифратор на два входи з чотирма виходами, на яких отримують логічні функції $\bar{X}_2 \cdot \bar{X}_1$, $\bar{X}_2 \cdot X_1$, $X_2 \cdot \bar{X}_1$, $X_2 \cdot X_1$. На восьми виходах другого ступеня реалізуються функції (24.3).

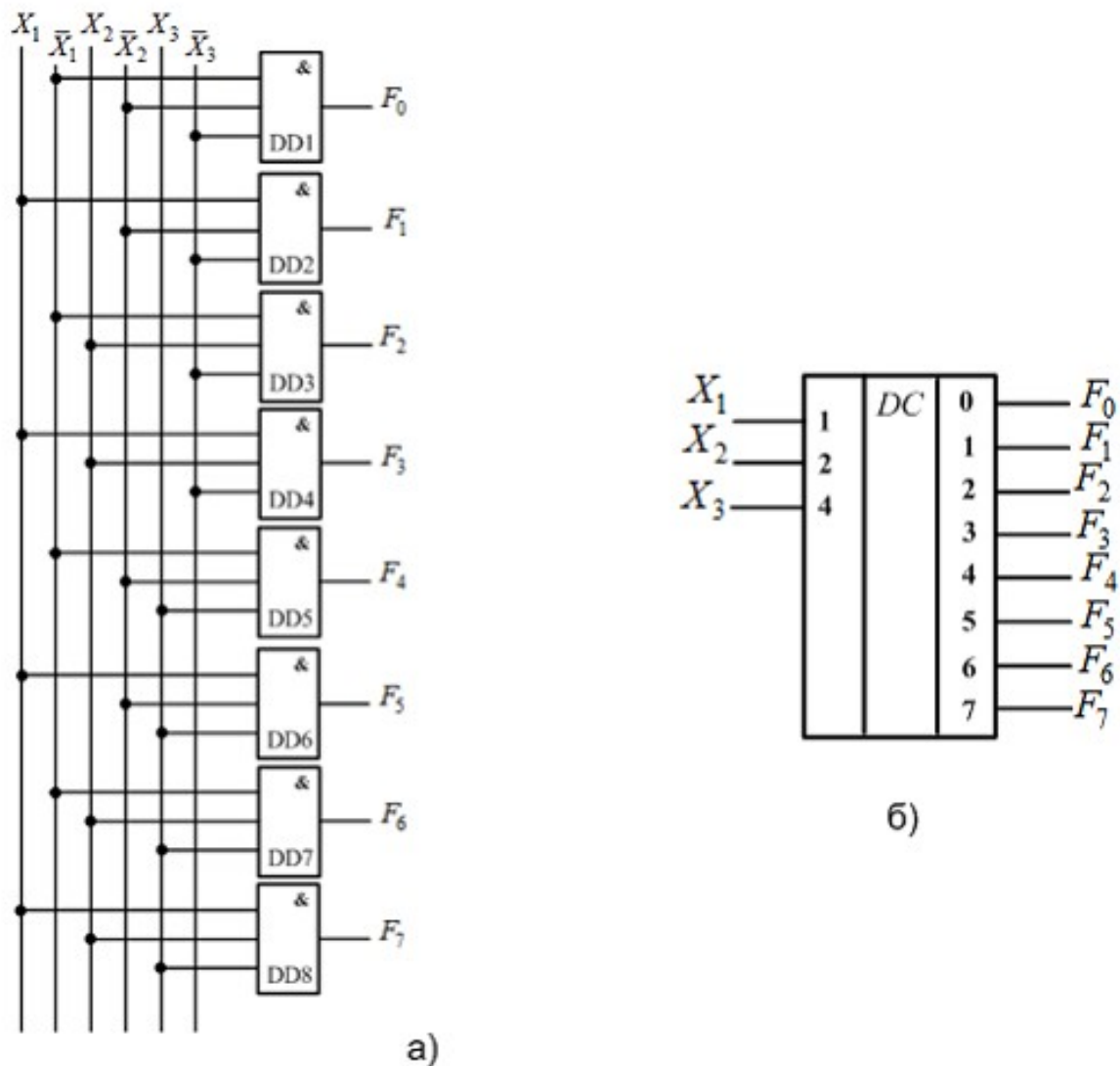


Рисунок 24.3 – Лінійний дешифратор на три входи: схема (а), умовне зображення (б)

При числі розрядів вхідного коду $n > 10$ дешифратор стає економічнішим за лінійний у $n/4$ разів. Основним недоліком пірамідального дешифратора є збільшений порівняно з лінійним час дешифрації внаслідок багатоступеневості.

Прямокутні (матричні) дешифратори будуються за двоступеневою схемою. Перший ступінь являє собою два лінійні або пірамідальні дешифратори, а другий ступінь – схеми збігу, кількість яких m дорівнює кількості виходів дешифратора. Змінні вхідного коду дешифратора розділяються на дві групи по $n/2$ розрядів при парному n і на нерівні групи при непарному n . Один із дешифраторів першого ступеня називають дешифратором рядків, а інший – дешифратором стовпчиків, умовно припускаючи, що кожний з них формує адреси рядків та стовпчиків матриці

схем збігу другого ступеня. При парному n матриця вентилів, які формують вихідні функції, квадратна, при непарному n – прямокутна. Звідси назва дешифраторів – матричні або прямокутні.

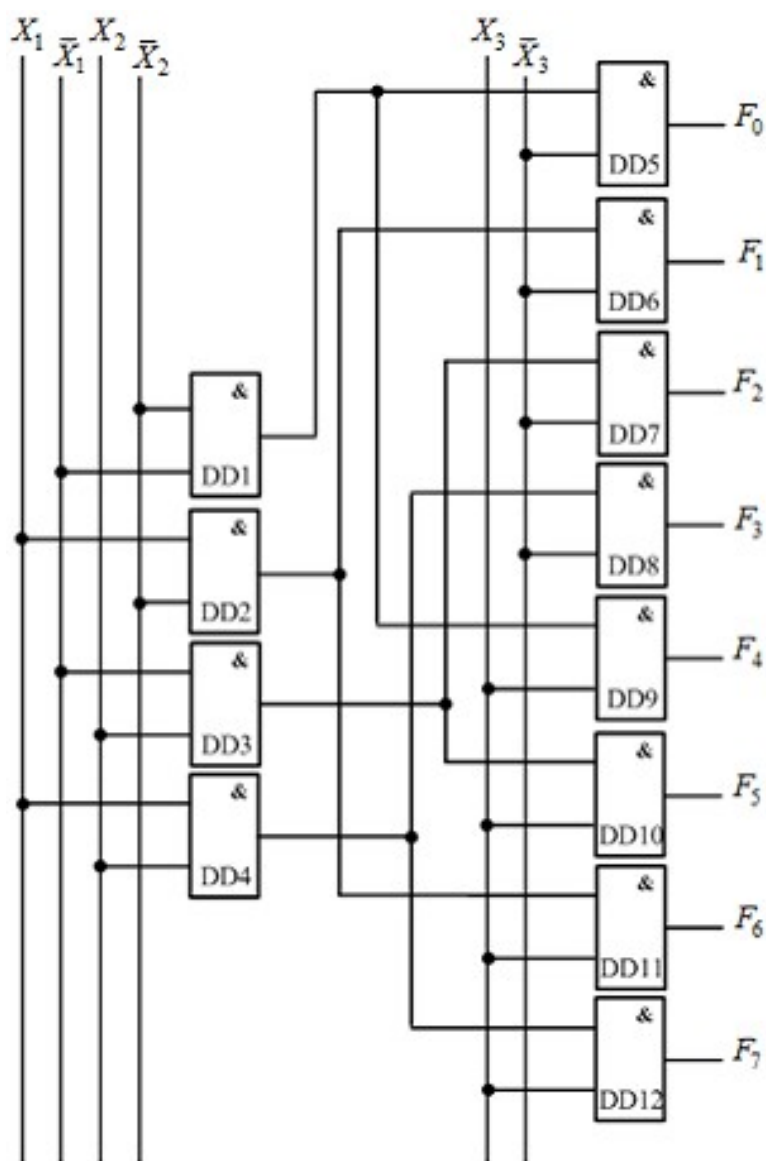


Рисунок 24.4 – Схема пірамідального дешифратора на три входи

Для дешифратора на три входи прямокутна структура містить всього один дешифратор і подібна до структури пірамідального дешифратора на три входи (рис. 24.4). Тому для прикладу розглянемо схему матричного дешифратора «з 4 в 16», яка зображена на рис. 24.5. Робота схеми описується системою логічних рівнянь (24.4). Перший ступінь утворюють дешифратори на два входи з чотирма виходами, на яких отримують, відповідно, логічні функції $\bar{X}_2 \cdot \bar{X}_1$, $\bar{X}_2 \cdot X_1$, $X_2 \cdot \bar{X}_1$, $X_2 \cdot X_1$.

Другий ступінь – це 16 логічних елементів І, на виходах яких реалізуються функції (24.4).

$$\begin{aligned}
 F_0 &= \bar{X}_4 \cdot \bar{X}_3 \cdot \bar{X}_2 \cdot \bar{X}_1, & F_0 &= X_4 \cdot \bar{X}_3 \cdot \bar{X}_2 \cdot \bar{X}_1, \\
 F_1 &= \bar{X}_4 \cdot \bar{X}_3 \cdot \bar{X}_2 \cdot X_1, & F_1 &= X_4 \cdot \bar{X}_3 \cdot \bar{X}_2 \cdot X_1, \\
 F_2 &= \bar{X}_4 \cdot \bar{X}_3 \cdot X_2 \cdot \bar{X}_1, & F_2 &= X_4 \cdot \bar{X}_3 \cdot X_2 \cdot \bar{X}_1, \\
 F_3 &= \bar{X}_4 \cdot \bar{X}_3 \cdot X_2 \cdot X_1, & F_3 &= X_4 \cdot \bar{X}_3 \cdot X_2 \cdot X_1, \\
 F_4 &= \bar{X}_4 \cdot X_3 \cdot \bar{X}_2 \cdot \bar{X}_1, & F_4 &= X_4 \cdot X_3 \cdot \bar{X}_2 \cdot \bar{X}_1, \\
 F_5 &= \bar{X}_4 \cdot X_3 \cdot \bar{X}_2 \cdot X_1, & F_5 &= X_4 \cdot X_3 \cdot \bar{X}_2 \cdot X_1, \\
 F_6 &= \bar{X}_4 \cdot X_3 \cdot X_2 \cdot \bar{X}_1, & F_6 &= X_4 \cdot X_3 \cdot X_2 \cdot \bar{X}_1, \\
 F_7 &= \bar{X}_4 \cdot X_3 \cdot X_2 \cdot X_1, & F_7 &= X_4 \cdot X_3 \cdot X_2 \cdot X_1,
 \end{aligned}
 \tag{24.4}$$

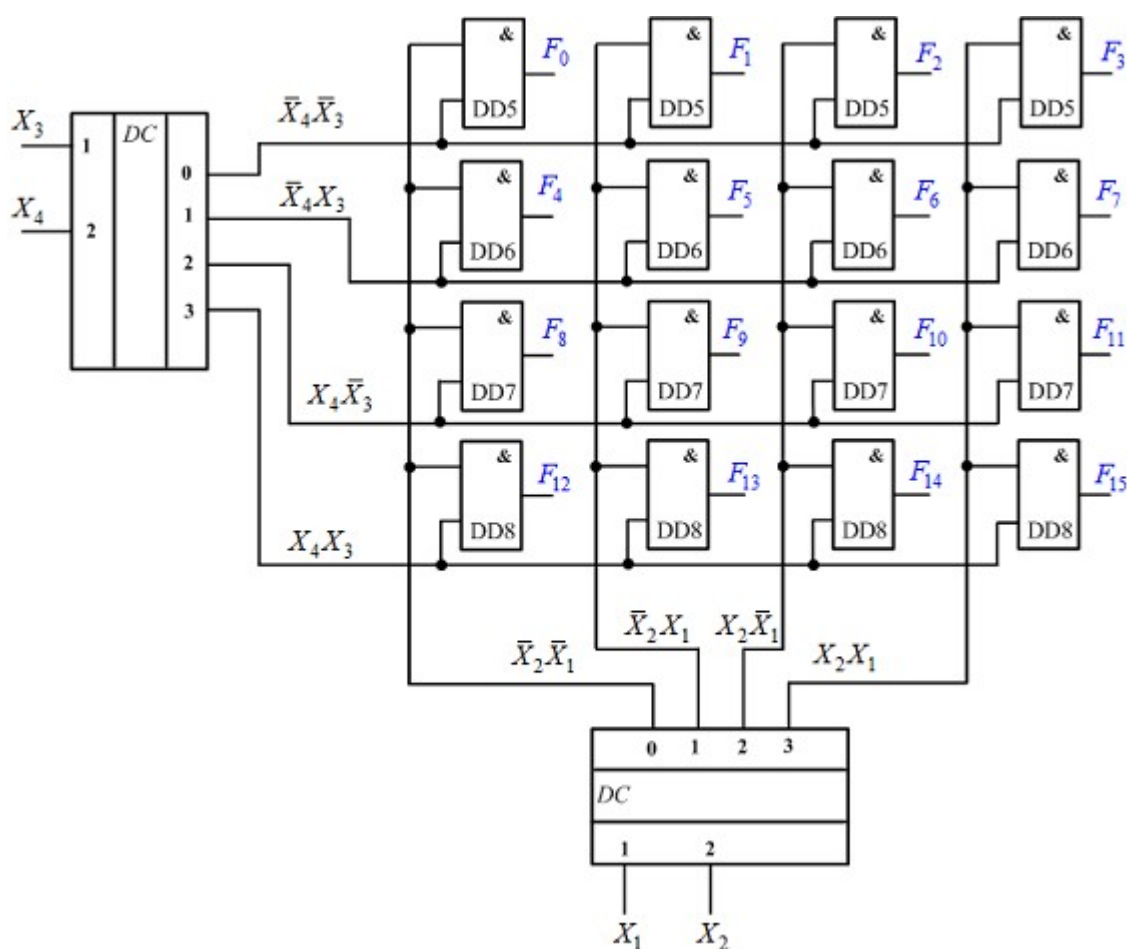


Рисунок 24.5 – Схема матричного дешифратора на чотири входи

Чим більше розрядів у вхідному коді, тим економнішим є матричний дешифратор. При великій кількості розрядів вхідного коду прямокутний дешифратор у $n/2$ економніше за лінійний дешифратор і у 2 рази – за пірамідальний.

Дешифратори ставляться на виходах регістрів і лічильників і широко використовують для перетворення двійкового коду на керуючий сигнал на одному зі своїх виходів (наприклад, для селекції певної мікросхеми, мікропроцесором), в пристроях виводу інформації для забезпечення десяткової індикації та інші. Якщо вхід дешифратора з'єднати з виходом лічильника імпульсів, то дешифратор може виконувати функції розподільвача імпульсів, якій буде подавати селекційні сигнали на виходи, відповідно до кількості поданих імпульсів.

Зауваження. Операцію зміни коду числа називають перекодуванням. Схеми, які виконують перетворення кодів, мають назву **перетворювачів кодів**. Перетворювачі кодів поділяють на прості і складні. До простих перетворювачів кодів відносять дешифратори, які виконують стандартну операцію перетворення двійкового коду в унітарний, і шифратори, які виконують обернену операцію. **Складні перетворювачі** кодів виконують нестандартні перетворення кодів, тому схеми таких перетворювачів доводиться розроблювати кожну окремо з використанням алгебри логіки.

Промисловістю випускаються інтегральні мікросхеми для перетворень двійкового коду на двійко-десятковий, код Грея, код керування семисегментним індикатором; перетворювачі двійко-десятькового коду на двійковий та перетворювачі двійкового та двійко-десятькового кодів на код керування шкальним або матричним індикаторами.

ШИФРАТОРИ

Шифратор – це комбінаційний функціональний вузол, який при подачі унітарного коду на m входів формує на n виходах двійковий позиційний код, який відображає номер активного входу. Повний двійковий шифратор має $m = 2^n$ входів та n виходів.

На рис. 24.6 показано умовне зображення шифратора. Логічна функція шифратора позначається буквами CD (від англ. *coder*). Мітки лівого додаткового поля нумерують входи шифратора послідовними десятковими цифрами $0, 1, 2, \dots, m-1$, а мітки правого додаткового поля відображають ваги позицій двійкового коду $2^0, 2^1, \dots, 2^{n-1}$.

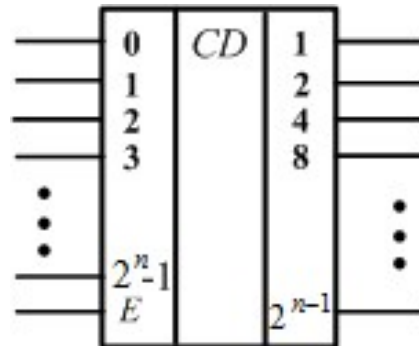


Рисунок 24.6 – Умовне позначення повного дешифратора з m входами і n виходами

Логіка роботи шифратора описується системою логічних рівнянь, на основі яких будується схема функціонального вузла. Найбільше застосування шифратори знаходять в приладах введення інформації (пультах управління) для перетворення десяткових чисел у двійкову систему числення. Припустимо, на пульті десять клавіш з позначками від 0 до 9. При натисканні будь-якої з них на вхід шифратора подається одиничний сигнал X_1, \dots, X_9 . На виході шифратора повинен з'явитися двійковий код відповідного десяткового числа. Функціонування такого неповного шифратора задано таблицею 12.2 і описується системою логічних рівнянь (24.5).

Таблиця 24.2 – Таблиця істинності шифратора

Вхідний унітарний код										Вихідний двійковий код			
X_9	X_8	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	F_3	F_2	F_1	F_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

$$\begin{cases} F_0 = X_9 + X_7 + X_5 + X_3 + X_1, \\ F_1 = X_7 + X_6 + X_3 + X_2, \\ F_2 = X_7 + X_6 + X_5 + X_4, \\ F_3 = X_9 + X_8. \end{cases} \quad (24.5)$$

Як видно з таблиці істинності для реалізації шифратора знадобляться чотири елементи АБО: один п'ятивходовий, два чотиривходові та один двохвходовий (рис. 24.7, а)). Можна не використовувати вхід X_0 і вважати, що на усіх виходах сигнали мають значення лог. 0 за відсутності сигналів на входах $X_1 = \dots = X_9 = 0$. Умовне зображення шифратора «із 10 в 4» показано на рис. 24.7, б).

Шифратор, який при одночасному натисканні декількох клавіш виробляє код тільки старшої цифри, називають **пріоритетним**. У цьому випадку кожному входу X_i шифратора назначають свій пріоритет. Зазвичай вважають, що чим більший номер входу, тим вищим є його пріоритет. Пріоритетний шифратор повинен видавати на виході двійковий код числа i , якщо $X_i = 1$, а на всі інші входи з більшими номерами надходять сигнали лог. 0. В схемах пріоритетних шифраторів використовують дозволяючий сигнал на вході E (лог. 1 – шифратор увімкнено, лог. 0 – шифратор вимкнено); вихідний сигнал

G , який свідчить про наявність хоча б одного активного входу у увімкненого шифратора, і вихідний сигнал E_0 , який вказує на відсутність активних входів у увімкненого шифратора.

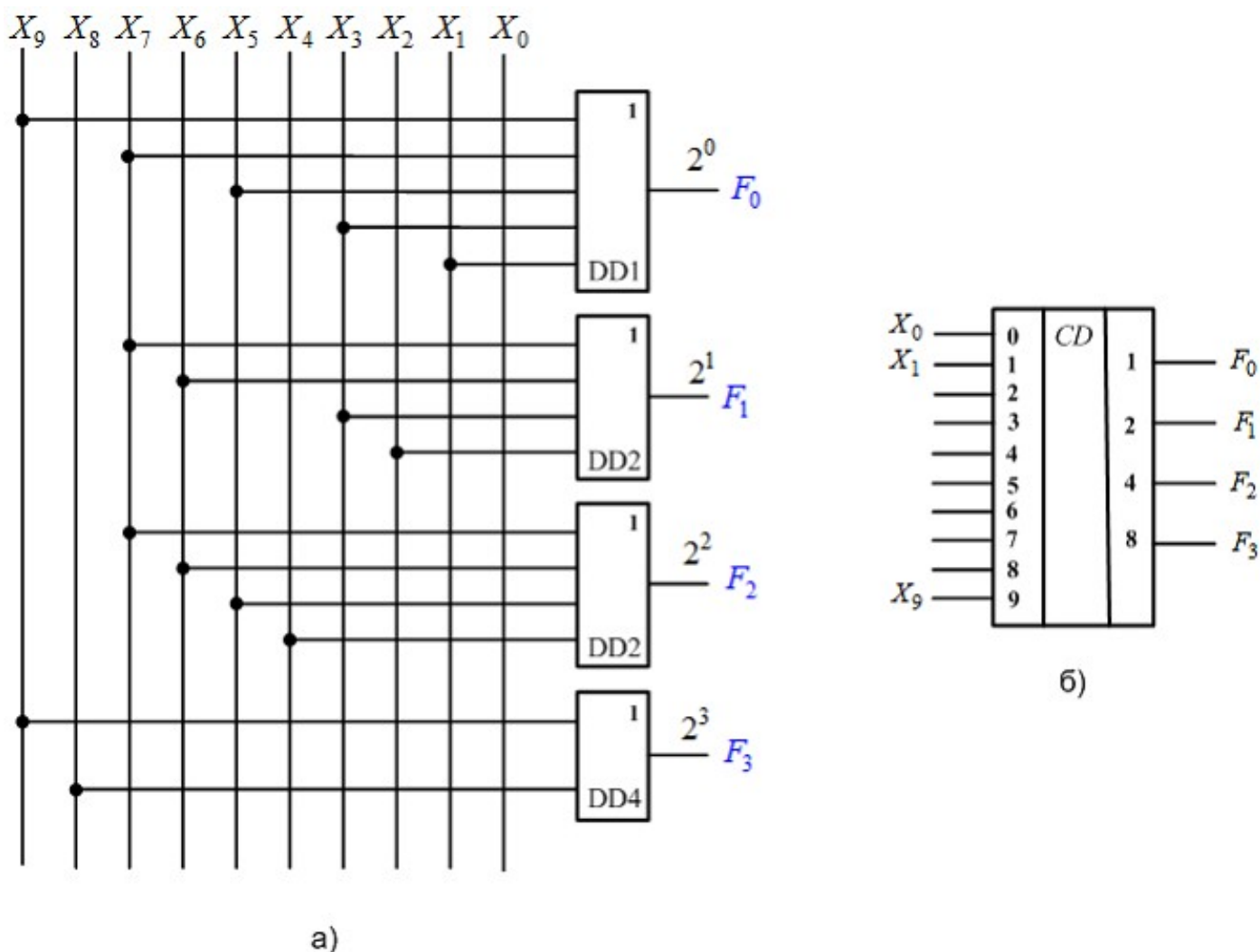


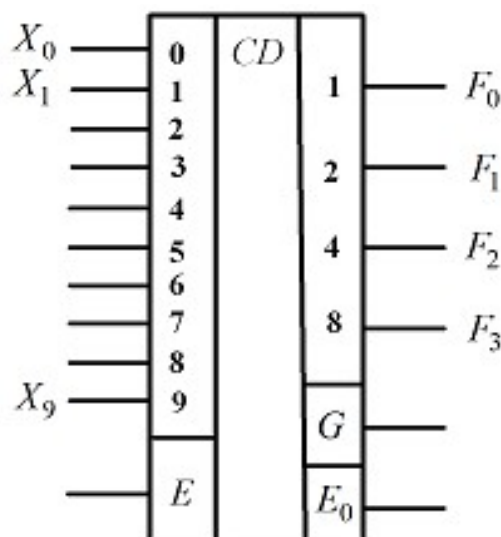
Рисунок 24.7 – Шифратор «із 10 в 4»: схема (а), умовне зображення (б)

Функціонування пріоритетного неповного шифратора «із 10 в 4» задано таблицею 24.3, а умовне зображення наведене на рис. 24.8. Хрестиками у таблиці позначені змінні, які не повинні визначати вихідний код, тому що сигнал з більшим пріоритетом блокує запити з меншими пріоритетами.

У цифрових пристроях шифратори використовують для таких операцій: перетворення унітарного коду на вихідний двійковий код, введення десяткових даних з клавіатури, показання старшої одиниці в слові, передачі інформації між різними пристроями при обмеженій кількості ліній зв'язку.

Таблиця 24.3

Вхідний унітарний код											Вихідний двійковий код					
E	X_9	X_8	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	F_3	F_2	F_1	F_0	G	E_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	1	*	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	*	*	0	0	1	0	1	0
1	0	0	0	0	0	0	1	*	*	*	0	0	1	1	1	0
1	0	0	0	0	0	1	*	*	*	*	0	1	0	0	1	0
1	0	0	0	0	1	*	*	*	*	*	0	1	0	1	1	0
1	0	0	0	1	*	*	*	*	*	*	0	1	1	0	1	0
1	0	0	1	*	*	*	*	*	*	*	0	1	1	1	1	0
1	0	1	*	*	*	*	*	*	*	*	1	0	0	0	1	0
1	1	*	*	*	*	*	*	*	*	*	1	0	0	1	1	0



Риунок 24.8 – Умовне зображення пріоритетного шифратора «із 10 в 4»

Вказівник старшої одиниці (HPRI) вирішує, по-суті, ту ж саму задачу, що і пріоритетний шифратор, але виробляє результат у вигляді коду “1 із N”. Тобто, при наявності на входах кількох збуджених ліній на виході буде збудженою лише та, що відповідає старшій за пріоритетом. Число входів в цьому випадку рівне числу виходів схеми. Вказівники старшої одиниці застосовуються в пристроях нормалізації чисел з плаваючою крапкою. Вказівник старшої одиниці можна реалізувати підключенням двійкового дешифратора до виходу шифратора пріоритету.