

Практична робота №8

Моделювання суматорів і компараторів

Мета: навчитись проектувати і моделювати суматори і компаратори багаторозрядних чисел, перетворювачі.

1. Основні теоретичні відомості

8.1 Суматори.

Суматор – логічний комбінаційний пристрій, який виконує арифметичне додавання кодів двох чисел.

За кількістю входів і виходів однорозрядних двійкових суматорів суматори поділяють на чвертьсуматори (елементи —сума за модулем 2|| або —виключаюче АБО||), напівсуматори і повні однорозрядні двійкові суматори.

Чвертьсуматори характеризуються наявністю двох входів, на які подаються однорозрядні числа і одним виходом, на якому реалізується сума.

Напівсуматор – це пристрій (рис. 8.1), який має два входи (для доданків a і b) і два виходи (суми S і переносу P) і призначений для виконання арифметичних дій за правилами, наведеними у таблиці істинності (табл. 8.1). Позначають напівсуматор буквами HS (half sum – половина суми).

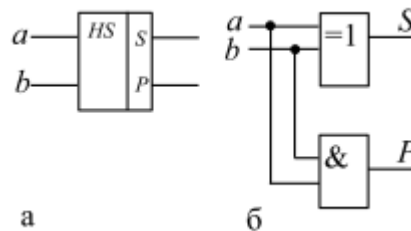


Рис. 8.1. Графічне позначення (а) та схема (б) напівсуматора.

Таблиця істинності напівсуматора.

Таблиця 8.1

a	b	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Напівсуматор виконує додавання двох однорозрядних двійкових чисел та формує перенос у наступний старший розряд. Роботу напівсуматора відображають наступні рівняння

$$S = a\bar{b} \vee \bar{a}b;$$

$$P = ab$$

У логіці роботи напівсуматора не передбачено входу і додавання переносу з сусіднього молодшого розряду, тому напівсуматор може здійснювати додавання тільки у молодшому розряді двійкових чисел.

Повний однорозрядний двійковий суматор (рис. 8.2) реалізує процедуру додавання двох однорозрядних двійкових чисел з урахуванням переносу з молодшого розряду. Повний однорозрядний двійковий суматор має три входи (a_i , b_i , P_i) і два виходи (S_i і P_{i+1}), де a_i , b_i – доданки двійкових чисел в i -му розряді; P_i , P_{i+1} – переноси, відповідно з молодшого розряду i у сусідній старший розряд $i+1$; S – утворена сума в i -му розряді. Таблиця істинності повного суматора відображена у табл. 8.2.

Для додавання двох n -розрядних двійкових чисел A і B використовуються n однорозрядних повних суматорів. При цьому можуть бути два способи підсумовування –

послідовне і паралельне. Додавання чисел в послідовних суматорах відбувається порозрядно, послідовно в часі. У паралельних суматорах додавання всіх розрядів багаторозрядних чисел відбувається одночасно, що забезпечується схемами генерування перенесення і схемами прискореного перенесення.

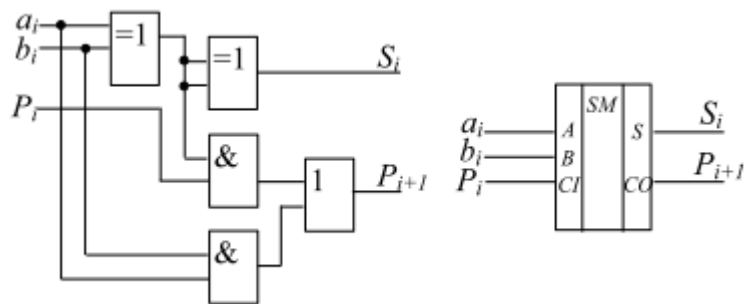


Рис.8.2. Схема та графічне позначення повного однорозрядного двійкового суматора.

Таблиця істинності однорозрядного двійкового суматора.

Таблиця 8.2

a	b	P	P_{i+1}	S_i
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

Багаторозрядний суматор створюється на базі одного напівсуматора і повних суматорів.

8.2 Цифрові компаратори

До сімейства інтегральних схем середнього ступеню інтеграції належить компаратор величин.

Цифрові компаратори – це комбінаційні схеми, призначені для порівняння величин двох чисел, поданих у двійковому або двійково-десятковому коді, і формування сигналів результату порівняння. Найпростіший компаратор виявляє лише факт рівності або нерівності двох поданих на його входи n -розрядних чисел (операндів) A і B і формує на виході однобітовий сигнал рівності (1) або нерівності (0) цих чисел.

Рівність двох однорозрядних операндів a і b визначається логічною операцією рівнозначності, або еквівалентності

$$Y = \begin{cases} 1 & \text{при } a = b; \\ 0 & \text{при } a \neq b. \end{cases}$$

тобто логічною операцією (виключне АБО)-НЕ.

Синтез компараторів для порівняння n -розрядних чисел здійснюється за двома принципами – логічним та арифметичним. Перший принцип (логічний) базується на синтезі за таблицею істинності, другий (арифметичний) – на синтезі схеми, що виконує дію віднімання з наступним аналізом результату на рівність нулю та наявність переносу з найстаршого розряду.

Наприклад, інтегральна схема 74HC85 (а також 74LS85) здійснює порівняння двох чотирирозрядних чисел без знаків.

Схема порівняння двох чотирирозрядних чисел A і B наведена на рис. 8.4.

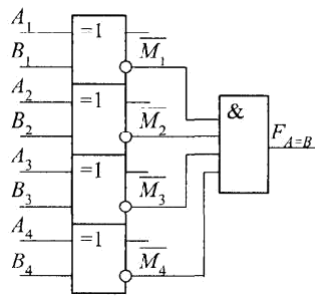


Рис. 8.4. Схема порівняння двох чотирирозрядних чисел A і B .

8.3 Перетворювачі кодів.

Перетворювачем кодів називається функціональний вузол, призначений для перетворення двійкового коду із одної форми в іншу.

Найчастіше використовуються наступні кодові перетворення: прямий код в обернений, прямий в доповнювальний, двійковий в код Грея, двійково-десятковий код в семисегментний, двійково-десятковий в двійковий, двійковий в двійково-десятковий.

Приклад 8.1. Перетворювач прямого коду в обернений.

У прямому двійковому коді старший розряд відображає знак числа. Для додатного числа старший розряд дорівнює 0, для від'ємного – дорівнює 1. Обернений код додатного числа співпадає з прямим кодом, а для від'ємного числа цифрові розряди інвертуються. Значення розрядів числа X в оберненому коді одержують згідно співвідношень

$$Y_i = X_i \bar{X}_{zn} + \bar{X}_i X_{zn} = X_i \oplus X_{zn},$$

де X_i – значення i -го розряду, X_{zn} – знак числа.

Схема п'ятирозрядного перетворювача прямого коду в обернений, побудована на елементах Виключаюче АБО, наведена на рис. 8.5.

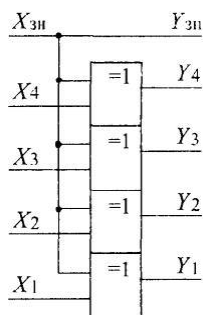


Рис. 8.5. Схема перетворювача прямого коду в обернений.

Приклад 8.2. Перетворювач прямого коду в доповнювальний.

Прямий код додатного числа співпадає з його оберненим і доповнювальним кодом. Доповнювальний код числа утворюється із оберненого додаванням одиниці до його молодшого розряду. Значення розрядів числа X в доповнювальному коді одержують згідно співвідношень

$$Y_i = X_i \oplus (X_{i-1} \vee X_{i-2} \vee \dots \vee X_i) X_{zn}$$

На рис. 8.6 наведена схема перетворювача прямого коду в доповнювальний.

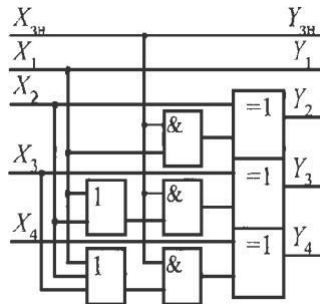


Рис. 8.6. Схема перетворювача прямого коду в доповнювальний.

2. Порядок виконання роботи

1. Змоделювати схему однорозрядного цифрового компаратора згідно рис. 8.5.

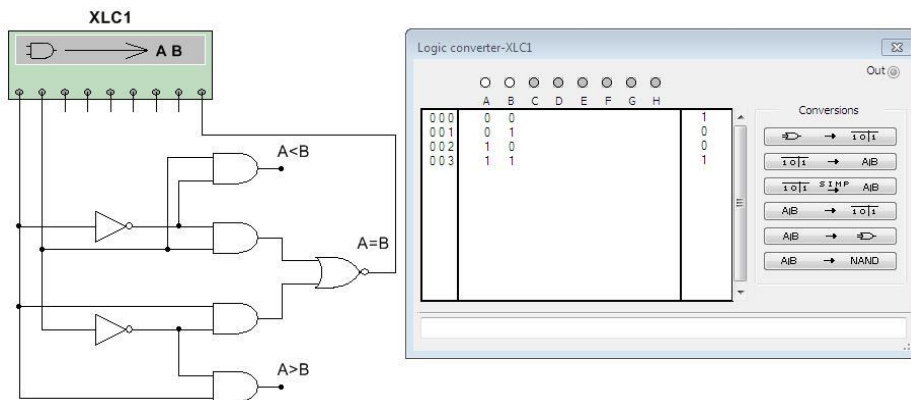
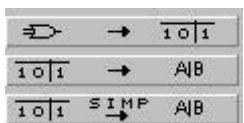


Рис. 8.5. Моделювання схеми однорозрядного цифрового компаратора.

2. Сформувати таблицю істинності для трьох режимів роботи компаратора: випадки $A=B$, $A>B$, $A<B$, під'єднуючи вихід логічного перетворювача до кожного виходу компаратора.

3. Дослідити роботу однорозрядного напівсуматора.

З метою побудови таблиці істинності і логічного виразу необхідно під'єднати напівсуматор до перетворювача згідно рис.8.6 і послідовно натиснути кнопки



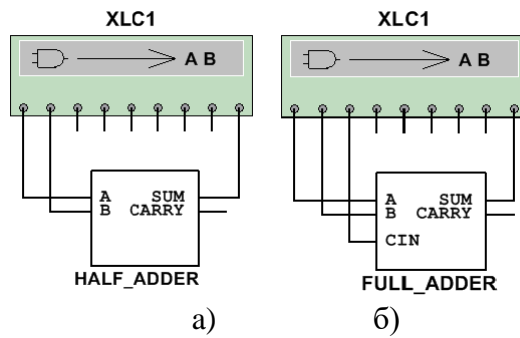


Рис. 8.6. Приклад під'єднання напівсуматора (а) та повного суматора (б) до логічного перетворювача.

4. Дослідити роботу однорозрядного повного суматора, змоделювати схему згідно рис.8.6 (б).

5. Спроекувати та здійснити моделювання трирозрядного суматора з послідовним перенесенням. Приклад моделювання дворозрядного суматора наведено на рис. 8.7.

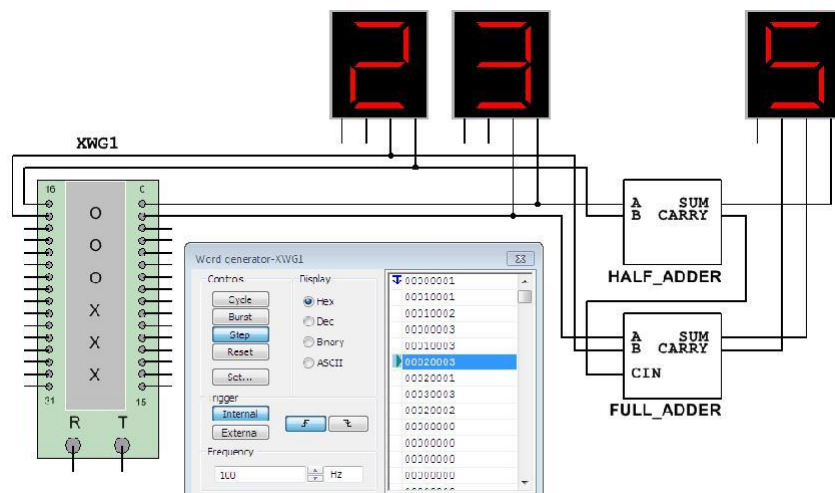


Рис. 8.7. Моделювання дворозрядного суматора.

7. Синтезувати схему і змоделювати компаратор для порівняння двох дворозрядних чисел з трьома виходами: якщо перше число більше другого, якщо перше число дорівнює другому, якщо перше число менше другого,

8. Здійснити моделювання трирозрядного перетворювача прямого коду в обернений відповідно до прикладу 8.1. Побудувати часові діаграми рівнів сигналів на входах і виходах схеми.

9. Реалізувати схему комбінаційного пристрою відповідно до варіанту (табл..8.3).

Варіанти завдань

Таблиця 8.3

Номер варіанта	Функції
1.	Суматор двох 4-розрядних двійкових чисел
2.	Компаратор двох 2-розрядних двійкових чисел (при рівності на виході 0, інакше 1)
3.	Суматор двох 4-розрядних двійкових чисел
4.	Суматор двох 2-розрядних двійкових чисел з формуванням переносу на додатковому виході (1, якщо сума перевищує 3, інакше 0)
5.	Компаратор двох 3-розрядних двійкових чисел (при рівності на виході 1, інакше 0)

6.	Перетворювач 3-розрядного прямого коду в доповнювальний.
7.	Суматор двох 2-розрядних двійкових чисел, якщо 1-ше в прямому коді, а 2-ге в доповнювальному коді
8.	Компаратор двох 3-розрядних двійкових чисел (якщо 1-ше число більше 2-го, на виході 1, інакше 0)
9.	Перетворювач 4-розрядного двійкового коду в обернений.
10.	Компаратор двох 3-розрядних двійкових чисел (якщо 1-ше число менше 2-го, на виході 1, інакше 0)
11.	Перетворювач 4-розрядного двійкового коду в доповнювальний.
12.	Суматор двох 3-розрядних двійкових чисел, якщо 1-ше в прямому коді, а 2-ге в доповнювальному коді
13.	Суматор по модулю 4 двох 2-розрядних двійкових чисел
14.	Перетворювач 5-розрядного двійкового коду в обернений.
15.	Пристрій для визначення кількості нулів у 3-розрядному двійковому коді

3. Звіт повинен містити:

1. Завдання.
2. Таблиці істинності компараторів.
3. Функціональні і структурні схеми пристроїв.
4. Висновки.

4. Контрольні питання

1. Дати означення чверть суматора, напівсуматора, повного суматора.
2. Назвіть відмінності напівсуматора і повного суматора.
3. Які є способи побудови n-розрядних суматорів.
4. Які функції компаратор?
5. Назвіть способи синтезу схем компараторів.