

## Практична робота № 5

### Дослідження шифраторів і дешифраторів

Мета: Закріпити знання етапів і процедур синтезу комбінаційних схем. Сформувані практичні навички та уміння проектування, абстрактного синтезу та аналізу комбінаційних схем шифраторів та дешифраторів.

#### 1. Основні теоретичні відомості

##### 5.1. Дешифратори.

Цифрові системи здійснюють обробку інформації у двійковому кодi. До основних операцій належать кодування і декодування, мультиплексування, демультимплексування, порівняння, перетворення кодів. Наведені операції виконуються інтегральними схемами (ІС) середнього ступеню інтеграції (ССІ).

У комбінаційних схемах вихідний стан схеми залежить тільки від комбінації значень вхідних сигналів. До комбінаційних схем належать шифратори, дешифратори, мультиплексори, демультимплексори, комбінаційні суматори, цифрові компаратори та деякі інші пристрої.

*Дешифратор* – це комбінаційний пристрій, який перетворює комбінацію вхідних змінних в активний сигнал — лог. 1 або — лог. 0 тільки на одному із виходів.

Дешифратор перетворює двійковий код числа на вході в активний сигнал на тому виході, номер якого відповідає десятковому еквіваленту двійкового коду на вході.

Повним дешифратором називають дешифратор, який має  $n$  входів і  $m=2^n$  виходів. У неповного дешифратора кількість виходів  $m < 2^n$ . Наприклад, якщо дешифратор має 3 входи, то максимальна кількість виходів дорівнюватиме  $2^3=8$ .

В умовних позначеннях дешифраторів і шифраторів використовують сполучення букв DC (decoder) і CD (coder).

Деякі дешифратори мають один або декілька входів дозволу, які використовуються для управління роботою дешифратора. При наявності активного сигналу на вході дозволу робота дешифратора дозволена (на одному з виходів є активний сигнал), інакше на всіх виходах дешифратора присутні неактивні сигнали.

Активним сигналом може бути 0 або 1 в залежності від типу входів чи виходів (відповідно інверсні або прямі). Інверсні входи і виходи позначаються кружком. Наприклад, на рис.5.1(а) показано двовходовий дешифратор з прямим входом дозволу OE та інверсними виходами (тобто при наявності 1 на OE на одному з виходів буде "0", на всіх інших "1", інакше на всіх виходах буде "1"), на рис.3.1(б) вхід OE інверсний, виходи прямі (див. часові діаграми), на рис.3.1(в) вхід OE та виходи інверсні, на рис.3.1(г) вхід OE і виходи прямі.

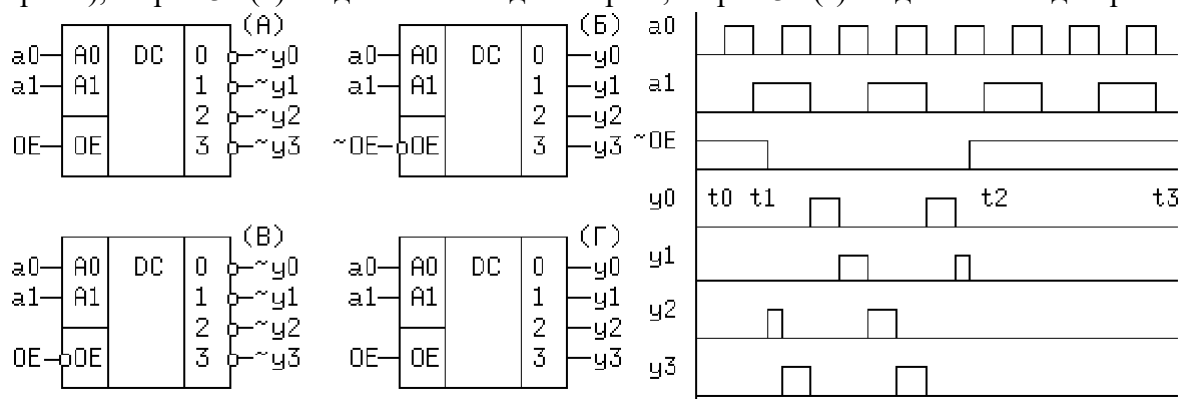


Рис. 5.1. Позначення дешифраторів та приклад часових діаграм для дешифратора.

Робота двовходового дешифратора (2:4) описується системою рівнянь, складених на основі таблиці істинності (табл.5.1).

Таблиця істинності двовходового дешифратора. Таблиця 5.1

DEC число	Входи			Виходи							
	$a_1$	$a_0$	OE	$y_0$	$y_1$	$y_2$	$y_3$	$\bar{y}_0$	$\bar{y}_1$	$\bar{y}_2$	$\bar{y}_3$
0	0	0	1	1	0	0	0	0	1	1	1
1	0	1	1	0	1	0	0	1	0	1	1
2	1	0	1	0	0	1	0	1	1	0	1
3	1	1	1	0	0	0	1	1	1	1	0

Рівняння виходів, складені на основі таблиці істинності (табл. 5.1):

$$y_0 = \bar{a}_0 \wedge \bar{a}_1; y_1 = a_0 \wedge \bar{a}_1; y_2 = \bar{a}_0 \wedge a_1; y_3 = a_0 \wedge a_1$$

Робота дешифратора із трьома входами подається таблицею істинності (табл. 5.2) і системою логічних рівнянь, складених на основі таблиці істинності.

Таблиця істинності дешифратора із трьома входами. Таблиця 5.2

DEC число	Входи			Виходи							
	$a_2$	$a_1$	$a_0$	$y_0$	$y_1$	$y_2$	$y_3$	$y_4$	$y_5$	$y_6$	$y_7$
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

Рівняння виходів, складені на основі таблиці істинності:

$$y_0 = \bar{a}_0 \wedge \bar{a}_1 \wedge \bar{a}_2; y_1 = a_0 \wedge \bar{a}_1 \wedge \bar{a}_2; y_2 = \bar{a}_0 \wedge \bar{a}_1 \wedge a_2; y_3 = a_0 \wedge \bar{a}_1 \wedge a_2;$$

$$y_4 = \bar{a}_0 \wedge a_1 \wedge \bar{a}_2; y_5 = a_0 \wedge a_1 \wedge \bar{a}_2; y_6 = \bar{a}_0 \wedge a_1 \wedge a_2; y_7 = a_0 \wedge a_1 \wedge a_2$$

Дешифратори на велику кількість виходів будуються на базі дешифраторів з меншим числом виходів, при цьому застосовують принцип каскадування. Під каскадуванням розуміють спосіб з'єднання дешифраторів у вигляді мікросхем середнього ступеню інтеграції для одержання більшої розрядності вхідного коду. При цьому всі дешифратори повинні бути керованими, тобто мати входи дозволу або вільний вхід старшого розряду. З'єднання двох три розрядних дешифраторів для декодування чотири розрядного коду наведено на рис.5.2.

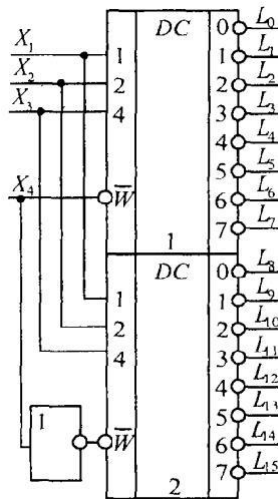


Рис.5.2. Каскадування дешифраторів

## 5.2. Шифратори.

Шифратор перетворює код  $n$  із  $N$  у двійковий. Шифратор виконує функцію, обернену до функції дешифратора, і може бути неперіоритетним, якщо допускається подавання тільки одного активного сигналу, або пріоритетним, якщо допускається подавання одночасно декількох активних сигналів на входи.

Неперіоритетний шифратор здійснює перетворення номера активного входу у двійковий код. У пріоритетному шифраторі відбувається перетворення максимального номера активного входу в двійковий код. Кількість входів  $n$  і виходів  $m$  пов'язана співвідношенням  $m=2^n$ .

На рис. 5.3 наведено приклад використання 4-входового шифратора для кодування номера натиснутої клавіші (кл). Якщо, наприклад, буде натиснута клавіша 0 ("1" на вході  $x_0$ ), то на виходах буде комбінація 00 (0 на  $y_1$ , 0 на  $y_0$ ); якщо буде натиснута клавіша 2 ("1" на вході  $x_2$ ), то на виходах буде комбінація 10 (1 на  $y_1$ , 0 на  $y_0$ ); якщо буде натиснута клавіша 3 ("1" на вході  $x_3$ ), то на виходах буде комбінація 11 (1 на  $y_1$ , 1 на  $y_0$ ).

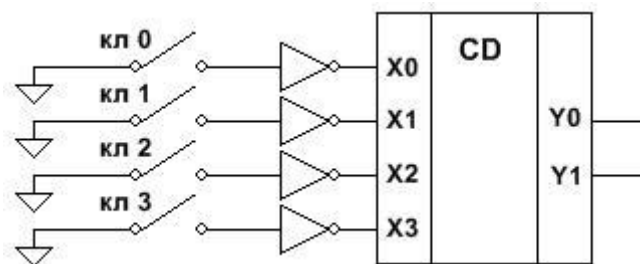


Рис. 5.3. Приклад використання шифратора.

## 5.3 Мікросхеми дешифраторів і шифраторів

Мікросхеми дешифраторів і шифраторів Таблица 5.3

Найменування	Функціональний опис
7442	4-входовий дешифратор, 10 інверсних виходів. Перетворює двійково-десятковий код в двійковий. Аналогічні ІС інших серій ТТЛ: 74LS42, 74НС42.
7445	Дешифратор перетворює двійково-десятковий код в десятковий.
74138	3-входовий дешифратор, 8 інверсних виходів
74139	два 2-входових дешифратора з інверсними виходами
74141	4-входовий дешифратор, 10 інверсних виходів
74145	4-входовий дешифратор, 10 інверсних виходів

74154	4-входовий дешифратор, 16 інверсних виходів
74155	два 2-входових дешифратора з інверсними виходами
74147	10-входовий шифратор, 4 виходи
74148	8-входовий шифратор, інверсні входи, 3 інверсні виходи

## 2. Порядок виконання роботи.

1. Скласти схему згідно рис.5.6 і проаналізувати роботу мікросхеми дешифратора 74ALS138.

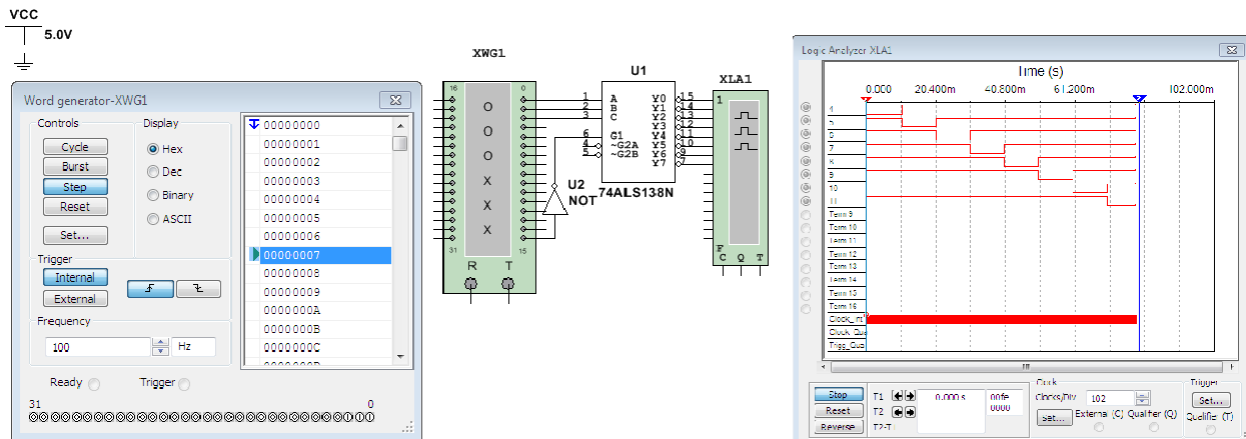


Рис. 5.6. Аналіз мікросхеми дешифратора.

2. Запрограмувати цифровий генератор на циклічне подання на входи схеми 74ALS138 чисел від 0 до 7 або таким чином, як подано на рис. 5.6.
3. Здійснити моделювання роботи схеми. Активізувати вікно логічного аналізатора і ввімкнути живлення схеми. Проаналізувати роботу дешифратора в покроковому (Step) та циклічному (Cycle) режимах. Скласти таблицю істинності дешифратора та часові діаграми роботи, записати їх у звіт.
4. Синтезувати комбінаційну схему дешифратора на логічних елементах. Здійснити моделювання роботи схеми (рис. 3.7).

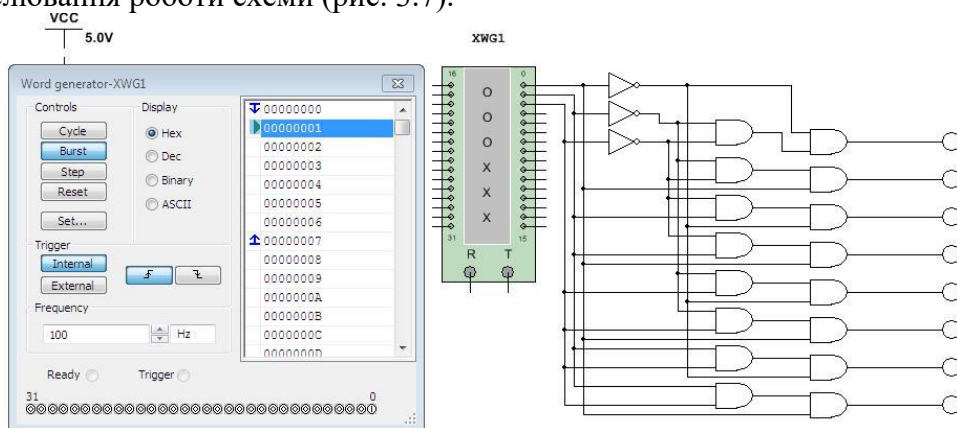


Рис. 5.7. Функціональне моделювання схеми дешифратора.

5. Проаналізувати рівні сигналів на виходах схеми за допомогою індикаторів або логічного аналізатора, переконатись в ідентичності роботи обох схем.
6. Дослідити роботу мікросхеми шифратора 74148. Здійснити моделювання роботи схеми згідно рис. 5.8.

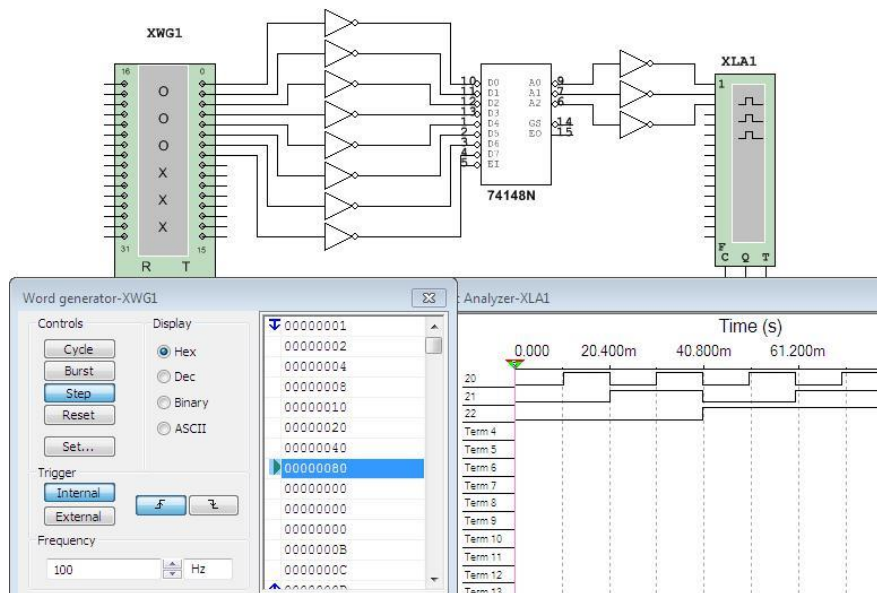


Рис. 5.8. Дослідження мікросхеми шифратора.

7. Побудувати таблицю істинності шифратора, часові діаграми роботи, записати їх у звіт.
8. Синтезувати функціональну схему реалізації дешифратора чотирирозрядного двійкового коду за допомогою двох дешифраторів 74ALS138.
10. Цифрова схема містить три пристрої з заданими адресами. Спроекувати фрагмент схеми – дешифратор адрес з виходами заданого типу відповідно до варіанту:
  - 1) на логічних елементах;
  - 2) використовуючи стандартні мікросхеми дешифраторів.

### Варіанти завдань.

Таблиця 5.4

Варіант	Тип виходів дешифратора	Адреси		
1.	прямі	0000	1001	1101
2.	інверсні	0001	1010	1011
3.	прямі	0010	1011	1110
4.	інверсні	0011	1100	1111
5.	прямі	0100	0111	1101
6.	інверсні	0101	1001	1111
7.	прямі	0110	1011	1101
8.	інверсні	0001	0111	0110
9.	прямі	0010	1001	1100
10.	інверсні	0011	0111	1001
11.	прямі	0100	1011	1100
12.	інверсні	0101	1001	1101
13.	прямі	0110	0100	0011
14.	інверсні	0001	1101	1111
15.	прямі	0111	1001	1011

### 3. Звіт повинен містити:

1. Завдання
2. Таблиці істинності шифратора та дешифратора.
3. Функціональні схеми шифраторів і дешифраторів.
4. Часові діаграми сигналів на входах і виходах схем.
5. Структурну і функціональну схеми дешифратора чотирирозрядного двійкового коду.

#### **4. Контрольні запитання**

1. Чим шифратор відрізняється від дешифратора?
2. Чим відрізняється пріоритетний шифратор від звичайного?
3. Яке призначення входів дозволу дешифратора?
4. Чим відрізняється інтегральна схема 7445 від інтегральної схеми 7442?
5. У чому полягає принцип каскадування дешифраторів?