

СУМАТОРИ

Суматор – це комбінаційний функціональний вузол, призначений для додавання двох n -розрядних чисел, представлених у двійковому коді. Багаторозрядні суматори складаються з окремих схем, які виконують додавання значень однойменних розрядів двох чисел і називаються однорозрядними суматорами. Однорозрядні схеми додавання поділяють на **напівсуматори** і **повні однорозрядні суматори**.

Напівсуматор – це функціональний вузол з двома входами, на які подаються два однорозрядні числа A і B , та двома виходами: на одному S формується результат додавання за модулем два чисел A і B , а на іншому виході P – сигнал перенесення у наступний (старший розряд). На умовному зображенні логічна функція напівсуматора позначається буквами **HS** (від англ. half adder, sum). Функціонування напівсуматора описується таблицею істинності 12.12. Це найзагальніший опис вузла, якому можуть відповідати безліч різних формул і схем. Запишемо логічне рівняння для побудови схеми напівсуматора у досконалій диз'юнктивній нормальній формі для вихідної функції S (12.30). Найпростішою є реалізація напівсуматора за допомогою двох елементів: «виключального АБО» для отримання суми двох однорозрядних двійкових чисел та логічного елемента 2І для отримання сигналу перенесення (рис. 12.39, б)). Логічна схема, що складена на елементах основного базису елементів І, АБО, НІ, зображена на рис. 12.39,в).

Таблиця 12.12

Входи		Виходи	
A	B	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$\begin{aligned} S &= \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B, \\ P &= A \cdot B. \end{aligned} \quad (12.30)$$

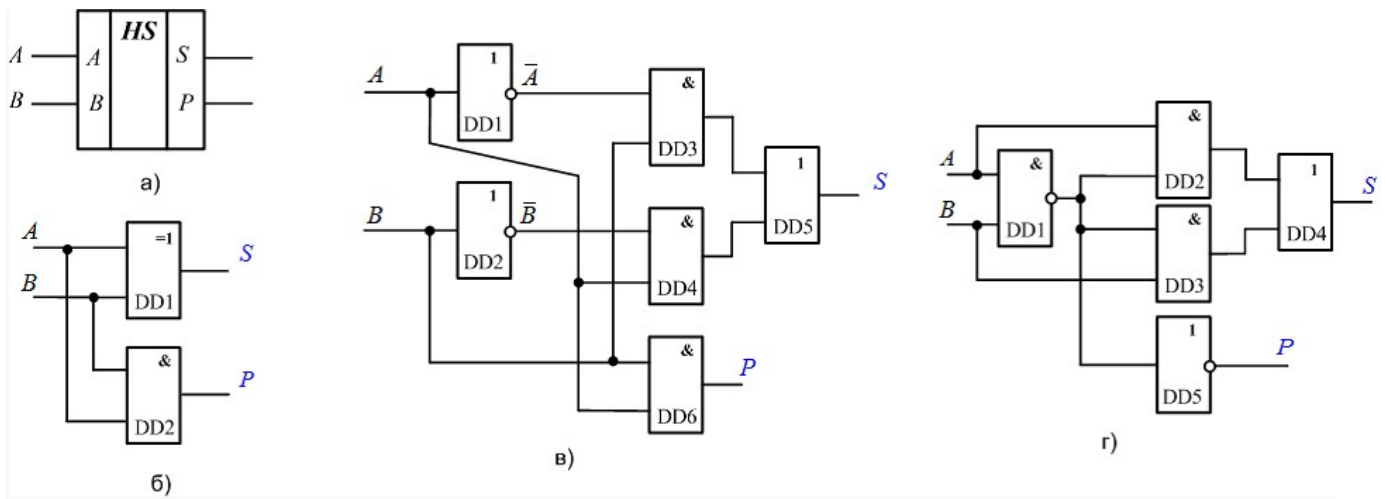


Рис. 12.39. Напівсуматор:

умовне зображення (а), схема на елементі «виключальне АБО» (б), схема на логічних елементах базису І, АБО, НІ (в),
схема на логічних елементах базису І-НІ, І, АБО, АБО-НІ (в),

Основними параметрами, які характеризують якісні показники функціональних вузлів, є **швидкодія** і **кількість** елементів, що визначає складність схеми. Швидкодія визначається сумарним часом затримки сигналу при проходженні через елементи схеми. Окрім кількості елементів складність схеми характеризується числом входів елементів, за якими виконуються логічні операції. Цей параметр називається «число Квайна». У схемі на рис. 12.39,в) швидкодія визначається затримкою в трьох логічних елементах, а сама схема складається із 6 елементів і має 10 входів («число Квайна» дорівнює 10). Недоліком цієї схеми є те, що на її входи необхідно подавати як прямі, так і інверсні значення операндів. Застосовуючи закони алгебри логіки, а саме аксіому подвійного інвертування, закони де Моргана, аксіому доповнення, логічну функцію (12.30) можна еквівалентно перетворити до вигляду (12.31) і побудувати відповідну схему без інверторів вхідних сигналів (рис. 12.39,г).

$$\begin{aligned}
 S &= \overline{A} \cdot B + A \cdot \overline{B} = \overline{\overline{\overline{\overline{A} \cdot B + A \cdot \overline{B}}}} = \overline{\overline{\overline{A} \cdot B} \cdot \overline{\overline{A \cdot \overline{B}}}} = \overline{(A + \overline{B}) \cdot (\overline{A} + B)} = \\
 &= \overline{A \cdot \overline{A} + A \cdot B + \overline{B} \cdot A + B \cdot \overline{B}} = \overline{A \cdot B \cdot \overline{B} \cdot \overline{A}} = \overline{A \cdot B} \cdot \overline{\overline{B} \cdot \overline{A}} = \overline{A \cdot B} \cdot (B + A) = \overline{A \cdot B} \cdot B + \overline{A \cdot B} \cdot A. \quad (12.31) \\
 P &= A \cdot B.
 \end{aligned}$$

Схеми напівсуматорів формують перенесення у наступний розряд, але не можуть врахувати перенесення з попереднього розряду. Звідси і назва – неповний суматор. Неповні суматори використовують тільки для додавання двох однорозрядних чисел або підсумовування молодших розрядів двох багаторозрядних чисел.

Суматор (повний суматор) – це функціональний вузол з трьома входами, на які подаються два однорозрядні числа A, B і сигнал перенесення з молодшого сусіднього

розряду P_{in} , та з двома виходами: на одному S формується результат додавання чисел A, B і P_{in} , а на іншому виході P_{out} – сигнал перенесення у наступний (старший розряд). Повний двійковий однорозрядних суматор зображується на схемах як показано на рис. 12.40,а). На умовному зображенні логічна функція суматора позначається буквами **SM** або Σ . На основі однорозрядних схем додавання на три входи та два виходи будуються багаторозрядні суматори будь-якого типу.

Алгоритм роботи однорозрядного суматора відображається таблицею істинності (табл. 12.13). Перші чотири рядки таблиці 12.13 являють собою таблицю істинності напівсуматора.

Таблиця 12.13

Входи			Виходи	
A	B	P_{in}	S	P_{out}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

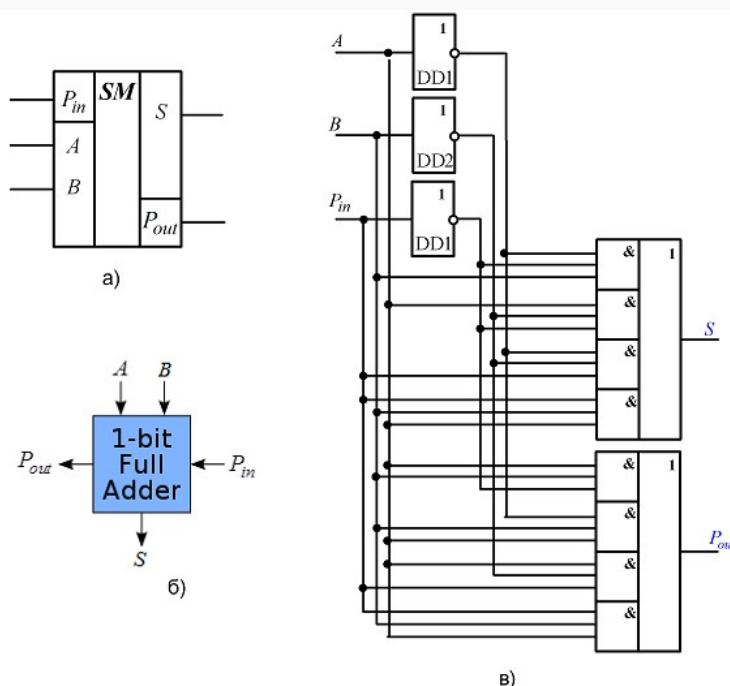


Рис. 12.40. Повний однорозрядний суматор: умовне зображення (а), функціональна схема (б), схема на логічних елементах (в)

Повний суматор може бути реалізований різними способами. Стандартний підхід побудови логічної схеми вузла полягає у запису на основі табл. 12.13 системи логічних функцій для результату додавання S та перенесення у наступний розряд P_{out} у досконалій диз'юнктивній нормальній формі (12.33):

$$\begin{aligned}
 S &= \bar{A} \cdot B \cdot \bar{P}_{in} + A \cdot \bar{B} \cdot \bar{P}_{in} + \bar{A} \cdot \bar{B} \cdot P_{in} + A \cdot B \cdot P_{in}, \\
 P_{out} &= A \cdot B \cdot \bar{P}_{in} + \bar{A} \cdot B \cdot P_{in} + A \cdot \bar{B} \cdot P_{in} + A \cdot B \cdot P_{in}.
 \end{aligned}
 \tag{12.32}$$

Схема однорозрядного суматора, яка реалізує логічні функції (12.33), зображена на рис. 12.40,в).

Рівняння (12.33) можуть бути виражені через функцію «виключальне АБО»

$$A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B = \overline{\bar{A} \cdot \bar{B}} + A \cdot B:$$

$$S = (\bar{A} \cdot B + A \cdot \bar{B}) \cdot \bar{P}_{in} + (\bar{A} \cdot \bar{B} + A \cdot B) \cdot P_{in} = (A \oplus B) \cdot \bar{P}_{in} + \overline{(A \oplus B)} \cdot P_{in} = A \oplus B \oplus P_{in},$$

$$P_{out} = A \cdot B \cdot (\bar{P}_{in} + P_{in}) + (\bar{A} \cdot B + A \cdot \bar{B}) \cdot P_{in} = A \cdot B + (A \oplus B) \cdot P_{in}. \quad (12.33)$$

Схема однорозрядного суматора на елементах «виключальне АБО», 2І та 2АБО на основі рівнянь (12.33) зображена на рис. 12.41,а). Схема характеризується «числом Квайна», що дорівнює 8, і має 2 каскади. Ця схема еквівалентна реалізації повного суматора на основі двох схем напівсуматорів і схеми «АБО», як показано на рис. 12.41,б). Один напівсуматор використовується для додавання двійкових чисел A і B , а інший визначає суму результату першого напівсуматора з перенесенням із молодшого розряду P_{in} . Схема не є оптимальною за швидкодією, оскільки в ній сигнал проходить послідовно через дві схеми напівсуматорів і схему АБО.

Для мінімізації логічних функцій (12.32) складають карти Карно (12.34), аналіз яких показує неможливість мінімізації логічної функції S та зменшення рангу P_{out} (12.35).

AB	00	01	11	10
S	0	1	0	1
	1	0	1	0

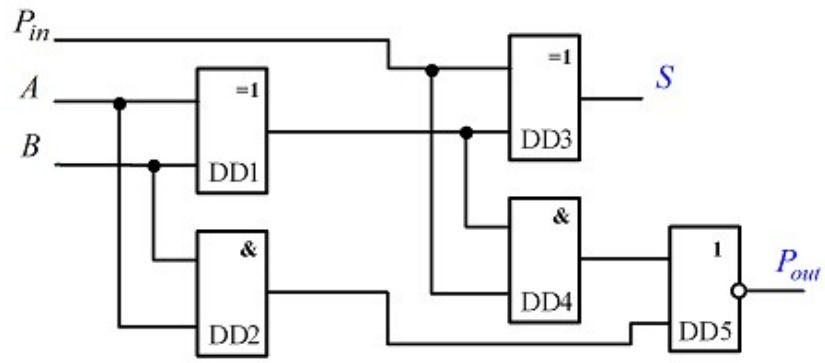
AB	00	01	11	10
P_{in}	0	0	1	0
	1	0	1	1

(12.34)

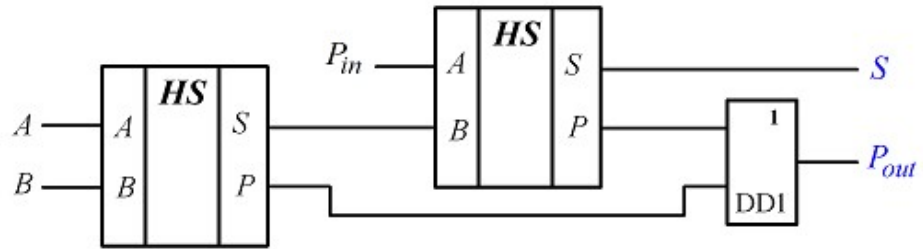
Аналіз карти Карно для функції S показує неможливість її мінімізації, а у карті Карно для функції P_{out} можна обрати покриття одиниць і записати диз'юнктивну нормальну форму:

$$S = \bar{A} \cdot B \cdot \bar{P}_{in} + A \cdot \bar{B} \cdot \bar{P}_{in} + \bar{A} \cdot \bar{B} \cdot P_{in} + A \cdot B \cdot P_{in},$$

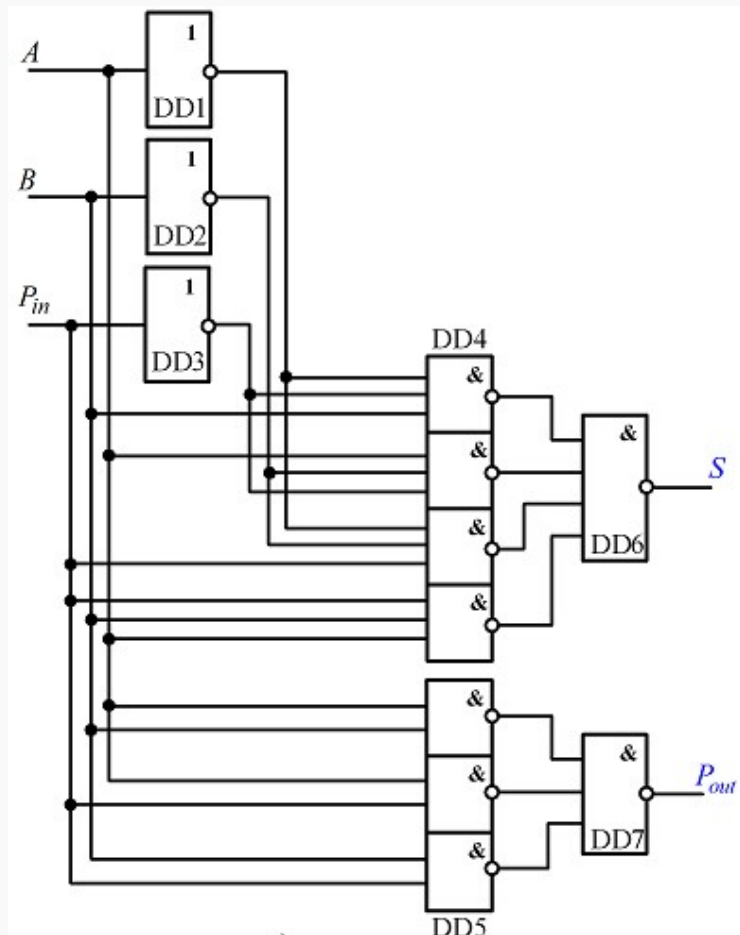
$$P_{out} = A \cdot B + A \cdot P_{in} + B \cdot P_{in} = A \cdot B + (A + B) \cdot P_{in}. \quad (12.35)$$



a)



б)



в)

Рис. 12.41. Повний однорозрядний суматор: схема на елементах «виключальне АБО» (а), схема на напівсуматорах (б), схема на елементах І-НІ (в)

Для побудови схеми однорозрядного суматора на універсальних логічних елементах І-НІ рівняння (12.35) еквівалентно перетворюються з застосуванням аксіом подвійного інвертування та законів де Моргана до вигляду (12.36):

$$\begin{aligned} S &= \overline{(\overline{A} \cdot B \cdot \overline{P_{in}})} \cdot \overline{(A \cdot \overline{B} \cdot \overline{P_{in}})} \cdot \overline{(\overline{A} \cdot \overline{B} \cdot P_{in})} \cdot \overline{(A \cdot B \cdot P_{in})}, \\ P_{out} &= \overline{(A \cdot B)} \cdot \overline{(A \cdot P_{in})} \cdot \overline{(B \cdot P_{in})}. \end{aligned} \quad (12.36)$$

Схема однорозрядного суматора, яка побудована на елементах І-НІ відповідно до рівнянь (12.36), показана на рис. 12.41,в). Схема характеризується «числом Квайна», що дорівнює 27 і має 3 каскади.

В інтегральній схемотехніці часто використовують схему, зображену на рис. 12.42, в якій для отримання логічної функції S використовують перенесення у старший розряд P_{out} . Схему будують за рівняннями (12.40), які отримують із (12.35), причому рівняння для логічної функції перенесення P_{out} повторює відповідне рівняння у системі (12.35), а логічне рівняння для суми S отримують після ряду еквівалентних перетворень. Спочатку за таблицею істинності 12.13 записують логічну функцію $\overline{P_{out}}$:

$$\overline{P_{out}} = \overline{A} \cdot \overline{B} \cdot \overline{P_{in}} + \overline{A} \cdot B \cdot \overline{P_{in}} + A \cdot \overline{B} \cdot \overline{P_{in}} + \overline{A} \cdot \overline{B} \cdot P_{in}. \quad (12.37)$$

Потім помножують ліву і праву частину цього рівняння на логічну суму $(A + B + P_{in})$ і спрощують праву частину співвідношення з використанням другої форми аксіом ідемпотентності ($x \cdot x = x$) та другої форми аксіом доповнення ($x \cdot \overline{x} = 0$):

$$(A + B + P_{in}) \cdot \overline{P_{out}} = A \cdot \overline{B} \cdot \overline{P_{in}} + \overline{A} \cdot B \cdot \overline{P_{in}} + \overline{A} \cdot \overline{B} \cdot P_{in}. \quad (12.38)$$

Підставляють ліву частину отриманого співвідношення у логічне рівняння для суми із системи (12.35):

$$S = (A + B + P_{in}) \cdot \overline{P_{out}} + A \cdot B \cdot P_{in}. \quad (12.39)$$

Остаточно, система рівнянь для побудови схеми набуває вигляду (12.40):

$$S = (A + B + P_{in}) \cdot \bar{P}_{out} + A \cdot B \cdot P_{in},$$

$$P_{out} = A \cdot B + A \cdot P_{in} + B \cdot P_{in}.$$
(12.40)

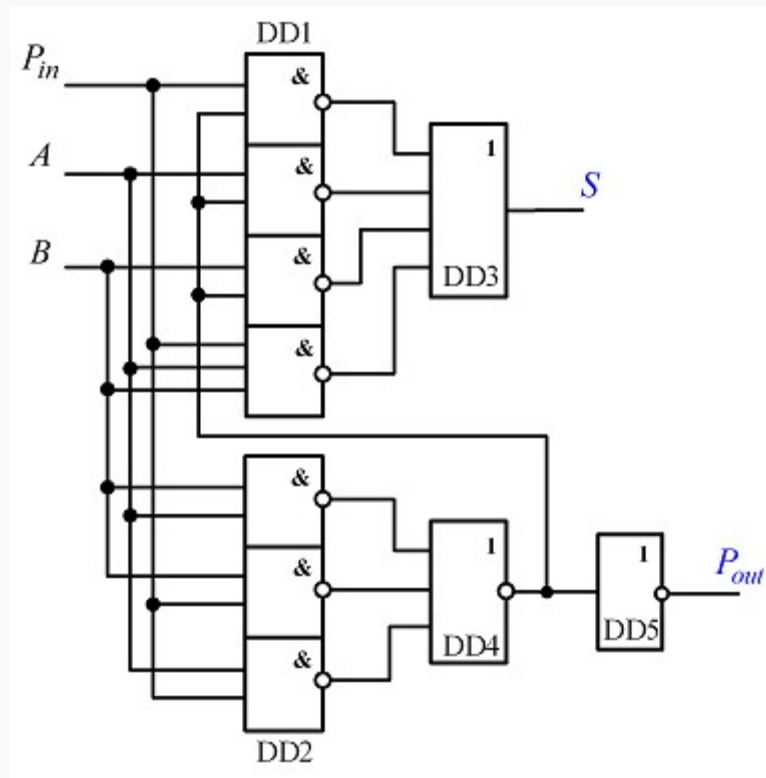


Рис. 12.42. Повний однорозрядний суматор:
схема з використанням перенесення у старший розряд

Багаторозрядні суматори виконують операцію арифметичного додавання двох багаторозрядних чисел. Схеми повного однорозрядного суматора використовується в якості «будівельних блоків» для отримання схем багаторозрядних суматорів.

Класифікують багаторозрядні суматори за різними ознаками:

- **за способом додавання** – паралельні, послідовні та паралельно-послідовні. У **паралельних** *n*-розрядних суматорах значення всіх розрядів операндів поступають одночасно на відповідні входи однорозрядних підсумовуючих схем. У **послідовних** суматорах значення розрядів операндів та перенесення, які запам'ятовувалися в минулому такті, поступають послідовно в напрямку від молодших розрядів до старших на входи одного однорозрядного суматора. В **паралельно-послідовних** суматорах числа розбиваються на частини, наприклад, байти, розряди байтів поступають на входи восьми розрядного суматора паралельно (одночасно), а самі байти — послідовно, в напрямку від молодших до старших байтів з врахуванням запам'ятованого перенесення.

- **за організацією зберігання результату додавання** – **комбінаційні, накопичувальні, комбіновані**. У комбінаційних суматорах результат операції додавання запам'ятовується в регістрі результату. В накопичувальних суматорах процес додавання поєднується зі зберіганням результату. Це пояснюється використанням Т-тригерів як однорозрядних схем додавання.
- **за способом організації перенесення** – розрізняють суматори з **послідовним перенесенням, паралельним перенесенням, перенесенням за умовою, груповим перенесенням**. Організація перенесення практично визначає час виконання операції додавання. Послідовні перенесення схемно створюються просто, але є повільнодіючими. Паралельні перенесення схемно реалізуються значно складніше, але дають високу швидкодію.
- **за розрядністю** – 4-, 8-, 16- розрядні – для мікро- та міні-комп'ютерів та 32-, 64-розрядні і більше – для універсальних машин.
- **за часом додавання** – синхронні та асинхронні. Суматори з постійним інтервалом часу для додавання називаються **синхронними**. Суматори, в яких інтервал часу для додавання визначається моментом фактичного закінчення операції, називаються **асинхронними**. В асинхронних суматорах є спеціальні схеми, які визначають фактичний момент закінчення додавання і повідомляють про це в пристрій керування. На практиці переважно використовуються синхронні суматори.
- та інші.

При послідовному додаванні використовується один суматор, загальний для всіх розрядів (рис. 12.43,а). Операнди A_0, \dots, A_n і B_0, \dots, B_n вводяться в суматор через входи A і B синхронно, починаючи з молодших розрядів. Двоступеневий **D-тригер** використовують для запам'ятовування перенесення і забезпечення затримки імпульсу переносу P_{i+1} на час одного такту, тобто до приходу пари доданків наступного розряду, з якими він буде підсумовуватись. Результати підсумовування також зчитуються послідовно, починаючи з молодших розрядів. Для зберігання та вводу операндів на входи суматора, а також для запису результату підсумовування зазвичай використовуються **регістри зсуву**.

Перевагою послідовних багаторозрядних суматорів є малі апаратні витрати, недоліком – невисока швидкодія. Послідовне додавання виконується за стільки тактів, скільки розрядів у числі. Тому послідовні суматори використовують у відносно повільнодіючих цифрових пристроях.

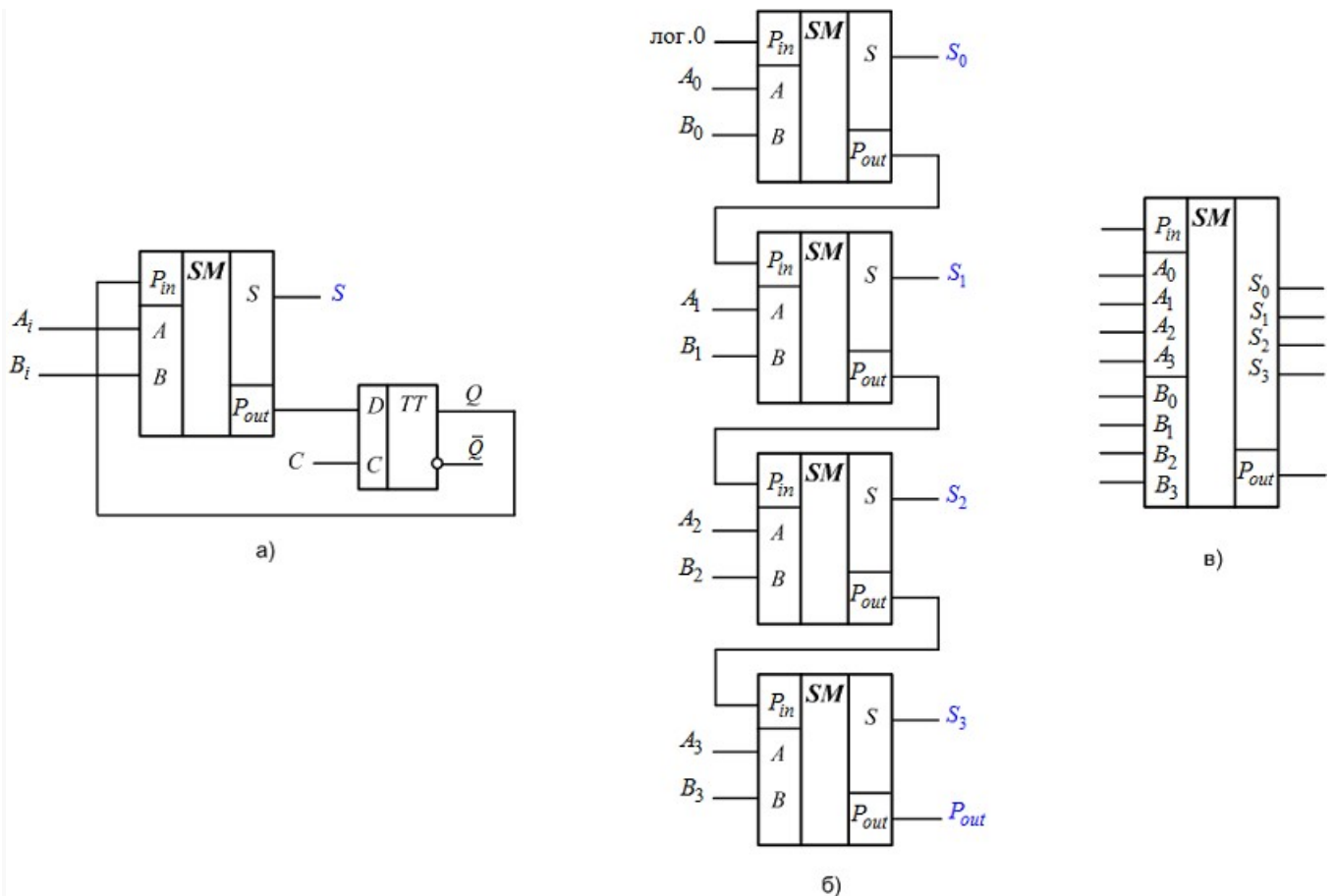


Рис. 12.43. Багаторозрядні суматори: послідовний (а), чотирирозрядний паралельний з послідовним перенесенням: схема (б) і умовне позначення (в)

Схема **паралельного суматора з послідовним перенесенням** наведена на рис. 12.43,б). Кількість суматорів дорівнює числу розрядів операндів A_0, \dots, A_n і B_0, \dots, B_n . Вихід переносу P_{out} кожного суматора з'єднується зі входом переносу P_{in} наступного старшого розряду. На вході перенесення молодшого розряду встановлюється потенціал «0», через те що сигнал перенесення сюди не надходить. Суми розрядних коефіцієнтів A_i і B_i поступають на входи відповідних однорозрядних суматорів паралельно (одночасно), а сигнал перенесення P_{in} передається від розряду до розряду послідовно в часі (асинхронно) і надходить із закінченням операції додавання у попередньому розряді.

Швидкодія таких суматорів обмежена затримкою переносу, тому що формування переносу на виході старшого розряду не може відбутися доти, поки сигнал перенесення не пошириться по всьому ланцюжку суматорів.

Найбільшу швидкодію мають **паралельні суматори з паралельним перенесенням**. Для організації паралельного перенесення застосовуються спеціальні

вузли – схеми прискореного перенесення, які випускаються в інтегральному виконанні у вигляді окремих мікросхем або безпосередньо зі схемою суматора.

Суматор служить, перш за все, центральним вузлом арифметико-логічного пристрою комп'ютера, який виконує арифметичні і логічні дії над операндами. Цікавим є те, що за допомогою суматора виконуються десятки арифметичних операцій: операція віднімання зводиться до додавання слів в оберненому або доповняльному кодах, операції множення та ділення реалізуються як багаторазові операції додавання та зсуву. Багаторозрядні АЛУ випускаються у вигляді інтегральних мікросхем або входять до складу процесорів, будучи їх основою. В таблиці 12.14 наведені основні параметри ІС деяких суматорів, що знайшли широкого застосування.

Таблиця 12.14

ІС	Розрядність	Затримка	Потужність споживання	Напруга живлення
		нс	мВт	В
К500ИМ180	2	7	470	– 5,2
К555ИМ6	4	24	195	5
К555ИМ7	4	25	375	5
К155ИМ1	1	75	175	5
К155ИМ2	2	37	290	5
К155ИМ3	4	55	640	5
К155ИМ4	4	350	55	5
К155ИМ5	1	200	32	5
К561ИМ1	4	140	0,1	3...15