

## МУЛЬТИПЛЕКСОРИ. ДЕМУЛЬТИПЛЕКСОРИ

### Мультиплексори.

### Демультиплексори.

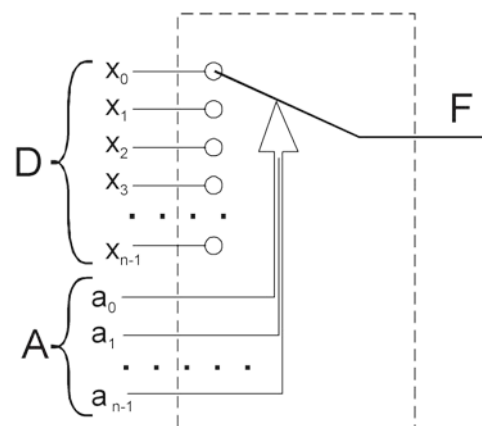
### Універсальні логічні модулі на основі мультиплексорів.

**Мультиплексор** – це комбінаційний функціональний вузол, в якому один вихід з'єднується з одним із  $n$  інформаційних входів залежно від адресного коду, поданого на  $m$  адресних входів. Тобто, мультиплексори виконують підключення одного із вхідних каналів до вихідного під дією керуючого (адресного) слова. Розрядність каналів може бути різною. Для комутації багаторядних слів мультиплексори складають із однорядних. Зв'язок між кількістю інформаційних  $n$  та адресних  $m$  входів визначається

співвідношенням:  $n \leq 2^m$ . Залежно від кількості інформаційних входів і адресних входів розрізняють повні і неповні мультиплексори. Якщо  $n = 2^m$ , то мультиплексор називають **повним**, а якщо  $n < 2^m$  – **неповним**. Символічно мультиплексор часто позначають « $n \rightarrow 1$ ».

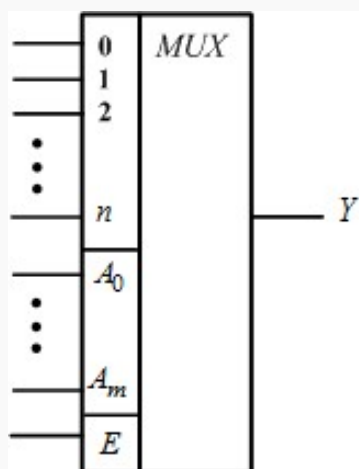
Входи мультиплексора поділяються на дві групи: інформаційні D і адресні A. Роботу мультиплексора можна спрощено уявити з допомогою багатопозиційного ключа (рис. 25.1). Адресний код A задає перемикачу певне положення, з'єднуючи з виходом F один із інформаційних входів. При нульовому адресному коді перемикач займає верхнє положення  $X_0$ , із збільшенням коду на одиницю – переходить в наступне положення:  $X_1$ .

На рис. 25.2 показано умовне зображення мультиплексора. Логічна функція мультиплексора позначається буквами **MUX** (від англ. *multiplex* – ущільнювати), а також **MS** (від англ. *multiplexer selector* – ущільнювач-перемикач). Мітки лівого додаткового поля позначають номери розрядів інформаційних сигналів  $X_0, \dots, X_{n-1}$  та адресні входи  $A_0, \dots, A_{m-1}$  (від англ.



**Рисунок 25.1 - Структурна схема мультиплексора**

address). Мультиплексори можуть мати вхід дозволу роботи  $E$  (від англ. *enable*). Деякі мультиплексори мають як прямий  $Y$ , так і інверсний  $\bar{Y}$  виходи. Найбільше розповсюджені мультиплексори « $2 \rightarrow 1$ », « $4 \rightarrow 1$ », « $8 \rightarrow 1$ », « $16 \rightarrow 1$ ».



**Рисунок 25.2 – Умовне позначення повного мультиплексора з  $m$  адресними входами і  $n$  інформаційними входами**

Логіка роботи мультиплексора описується системою логічних рівнянь, на основі яких будується схема функціонального вузла. Для прикладу розглянемо функціонування мультиплексора « $4 \rightarrow 1$ ». За таблицею істинності (табл. 25.1) запишемо логічне рівняння у диз'юнктивної нормальній формі для вихідної функції  $Y$  мультиплексора (25.1).

$$Y = \bar{A}_1 \cdot \bar{A}_0 \cdot X_0 + \bar{A}_1 \cdot A_0 \cdot X_1 + A_1 \cdot \bar{A}_0 \cdot X_2 + A_1 \cdot A_0 \cdot X_3 \quad (25.1)$$

**Таблиця 25.1 – Таблиця істинності мультиплексора**

Адресні входи		Вихід
$A_1$	$A_0$	$Y$
0	0	$X_0$
0	1	$X_1$
1	0	$X_2$
1	1	$X_3$

Як видно з таблиці істинності для реалізації комбінаційної схеми мультиплексора « $4 \rightarrow 1$ » знадобляться чотири тривходові елементи І, один чотиривходовий елемент АБО і два інвертори. Комбінаційна схема

мультиплексора «4 → 1», яка функціонує за рівнянням (25.1), зображена на рис. 25.3, а), а її умовне зображення – на рис. 25.3, б).

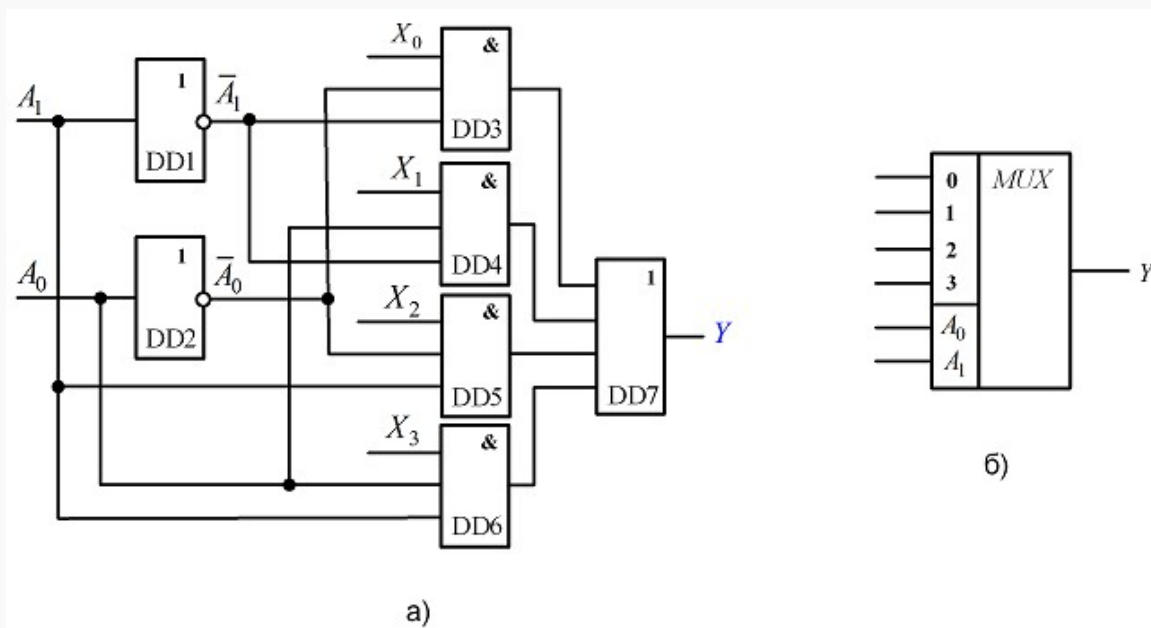


Рисунок 25.3 – Мультиплексор «4 → 1»: схема (а), умовне зображення (б)

В інший спосіб схему мультиплексора можна побудувати з внутрішнім дешифратором, який для кожної комбінації вхідного адресного коду формує на одному із своїх виходів сигнал лог. 1. Розглянемо реалізацію схеми мультиплексора «4 → 1» (рис. 25.4) за таблицею істинності 25.2, яка зв'яже адресний код  $A_1, A_0$  з чотирма виходами дешифратора і вихідною функцією  $Y$ . Вираз для вихідної функції можна представити з використанням виходів  $F_0, \dots, F_3$  внутрішнього дешифратора у вигляді (25.2).

$$Y = F_0 \cdot X_0 + F_1 \cdot X_1 + F_2 \cdot X_2 + F_3 \cdot X_3 \quad (25.2)$$

Таблиця 25.2 – Таблиця істинності мультиплексора з внутрішнім дешифратором

Адресні входи		Виходи дешифратора				Вихід
$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$	$Y$
0	0	1	0	0	0	$X_0$
0	1	0	1	0	0	$X_1$
1	0	0	0	1	0	$X_2$
1	1	0	0	0	1	$X_3$

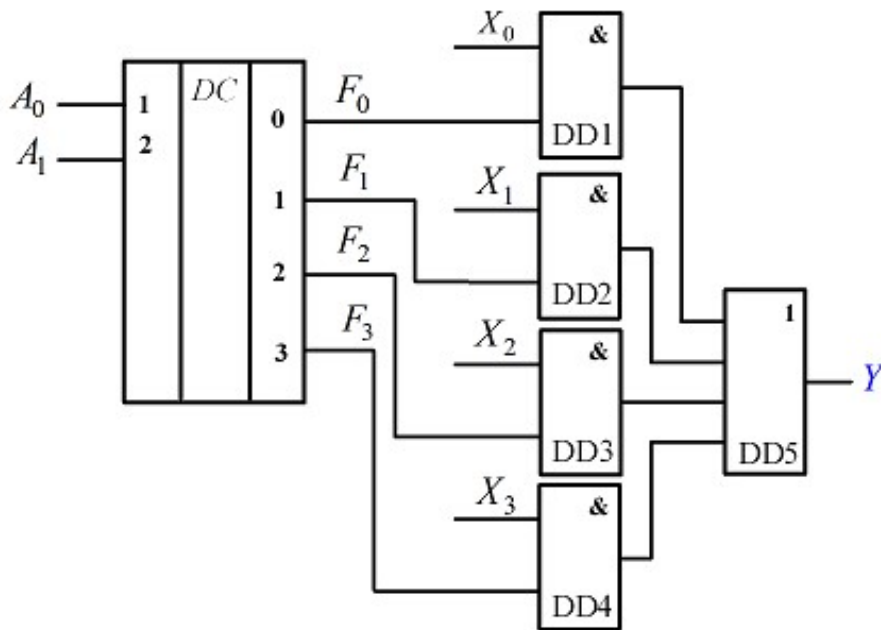


Рисунок 25.4 – Мультиплексор «4 → 1» з внутрішнім дешифратором

Адресний дешифратор  $DC$  перетворює двійковий код на десятковий код для керування роботою мультиплексора. Залежно від комбінації стану адресних входів  $A_0$  та  $A_1$  на одному з чотирьох виходів дешифратора з'являється одиничний потенціал, який дає дозвіл на спрацювання відповідної схеми І ( $DD1 \dots DD4$ ). Наприклад, при адресному числі 01 ( $A_0 = 1$  та  $A_1 = 1$ ) на виході 1 дешифратора  $DC$  установлюється рівень логічної одиниці, а на всіх інших – нульовий. Тому логічний елемент  $DD2$  має дозвіл на спрацювання. Якщо при цьому на інформаційному вході  $X_1$  діє логічна одиниця, то на виході  $DD2$  установлюється лог.1, а при  $X_1 = 0$  на виході логічного елемента  $DD2$  буде також нульовий потенціал. При цьому, незалежно від стану інформаційних входів  $X_0, X_2, X_3$  на виході логічного елемента АБО  $DD5$  інформація повторює стан  $X_1$ .

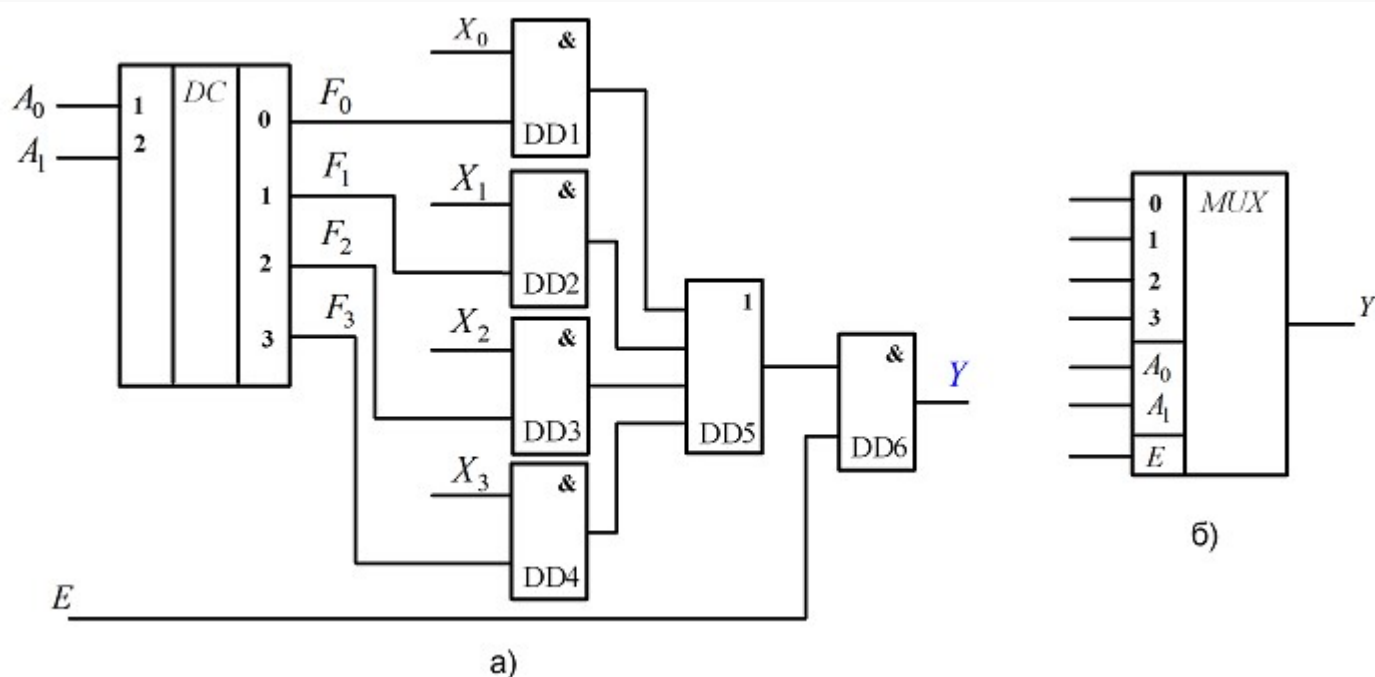
Схема мультиплексора з внутрішнім лінійним дешифратором характеризується меншою швидкодією порівняно зі схемою на логічних елементах (рис. 25.3, а)), але потребує логічні елементи з меншою кількістю входів.

За наявності керуючого входу  $E$  при його активізації  $E=1$  на вихід мультиплексора передається логічний рівень того з інформаційних входів  $X_i$ , номер якого  $i$  наявний на адресних входах.

Як приклад подано таблицю (табл. 25.3), яка описує функціонування мультиплексора « $4 \rightarrow 1$ » з внутрішнім дешифратором та керуючим входом, та схема такого мультиплексора (рис. 25.5). При нульовому керуючому сигналі  $E=0$  зв'язок між інформаційними входами та виходом відсутній. Тому незалежно від стану адресних входів (позначено «\*» у таблиці переходів 12.6) вихід нульовий  $Y=0$ .

**Таблиця 25.3 – Таблиця істинності мультиплексора внутрішнім дешифратором та керуючим входом**

Адресні входи		Виходи дешифратора				Вихід	Керуючий вхід
$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$	$Y$	$E$
*	*	*	*	*	*	0	0
0	0	1	0	0	0	$X_0$	1
0	1	0	1	0	0	$X_1$	1
1	0	0	0	1	0	$X_2$	1
1	1	0	0	0	1	$X_3$	1



**Рисунок 25.5 – Мультиплексор « $4 \rightarrow 1$ » з входом для синхросигналу: схема (а), умовне зображення (б)**

В інтегральному виконанні мультиплексори випускають на чотири, вісім або шістнадцять входів. Каскадування дає змогу реалізувати комутацію довільного числа вхідних ліній на базі серійних мікросхем мультиплексорів меншої розрядності. **Основні функції мультиплексора**: об'єднання декількох входів в єдиний потік даних. Мультиплексори застосовують також для перетворення паралельного коду на послідовний, реалізації логічних функцій, побудови схем порівняння і генераторів кодів.

**Демультиплексор** – це комбінаційний функціональний вузол, який здійснює вибірку одного з  $n$  виходів і з'єднує цей вихід з єдиним інформаційним входом  $X$ . Номер виходу, на який в кожний машинний такт передається значення вхідного сигналу, визначається адресним кодом  $A_0, \dots, A_{m-1}$  (від англ. *address*), який подається на  $m$  адресні входи. Зв'язок між кількістю інформаційних виходів  $n$  та кількістю адресних входів  $m$  визначається співвідношенням:  $n \leq 2^m$ . Залежно від кількості інформаційних виходів і адресних входів розрізняють повні і неповні демультиплексори. Якщо  $n = 2^m$  ( $m = \log_2 n$ ), то демультиплексор називають **повним**, а якщо  $n < 2^m$  – **неповним**. Символічно демультиплексор часто позначають « $1 \rightarrow n$ ». Найбільше розповсюджені мультиплексори « $1 \rightarrow 2$ », « $1 \rightarrow 4$ », « $1 \rightarrow 8$ », « $1 \rightarrow 16$ ».

На рис. 25.6 показано умовне зображення демультиплексора. Логічна функція демультиплексора позначається буквами **DMX** або **DMS** (від англ. *demultiplexor*). Мітки лівого додаткового поля позначають вхід  $X$  та адресні входи  $A_0, \dots, A_{m-1}$ . Мітки правого додаткового поля відображають ваги позицій двійкового коду вихідних змінних  $Y_0, \dots, Y_{n-1}$ . Демультиплексори можуть мати вхід дозволу роботи  $E$  (від англ. *enable*).

Логіка роботи демультиплексора описується системою логічних рівнянь, на основі яких будується схема функціонального вузла. Кожна із  $n$  вихідних функцій  $Y_i$  реалізується окремим логічним елементом.

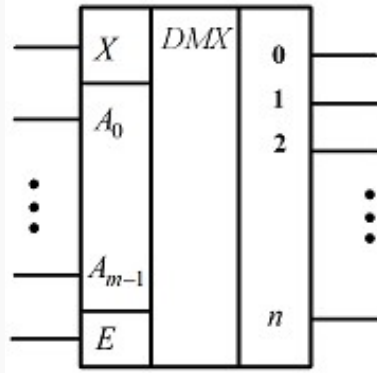


Рисунок 25.6 – Умовне позначення повного демультимплектора з  $m$  адресними входами та  $n$  інформаційними виходами

Для прикладу розглянемо функціонування повного демультимплектора « $1 \rightarrow 4$ », логіка роботи якого наведена у таблиці 25.4 і описується системою логічних рівнянь (25.3).

Таблиця 25.4 – Таблиця істинності повного демультимплектора

Адресні входи		Виходи демультимплектора			
$A_1$	$A_0$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	$X$	0	0	0
0	1	0	$X$	0	0
1	0	0	0	$X$	0
1	1	0	0	0	$X$

$$\begin{cases} Y_0 = \overline{A_1} \cdot \overline{A_0} \cdot X, \\ Y_1 = \overline{A_1} \cdot A_0 \cdot X, \\ Y_2 = A_1 \cdot \overline{A_0} \cdot X, \\ Y_3 = A_1 \cdot A_0 \cdot X. \end{cases} \quad (25.3)$$

Як видно з таблиці істинності для реалізації комбінаційної схеми демультимплектора « $1 \rightarrow 4$ » знадобляться чотири тривходові елементи І та два інвертори для формування адресних сигналів керування. У кожній схемі І два входи задіяні для адресних сигналів  $A_1$  та  $A_0$ , а на третій вхід подається вхідний сигнал  $X$ . Комбінаційна схема демультимплектора « $1 \rightarrow 4$ », яка функціонує за системою рівнянь (25.3 зображена на рис. 25.7, а), а її умовне зображення – на рис. 25.7, б).

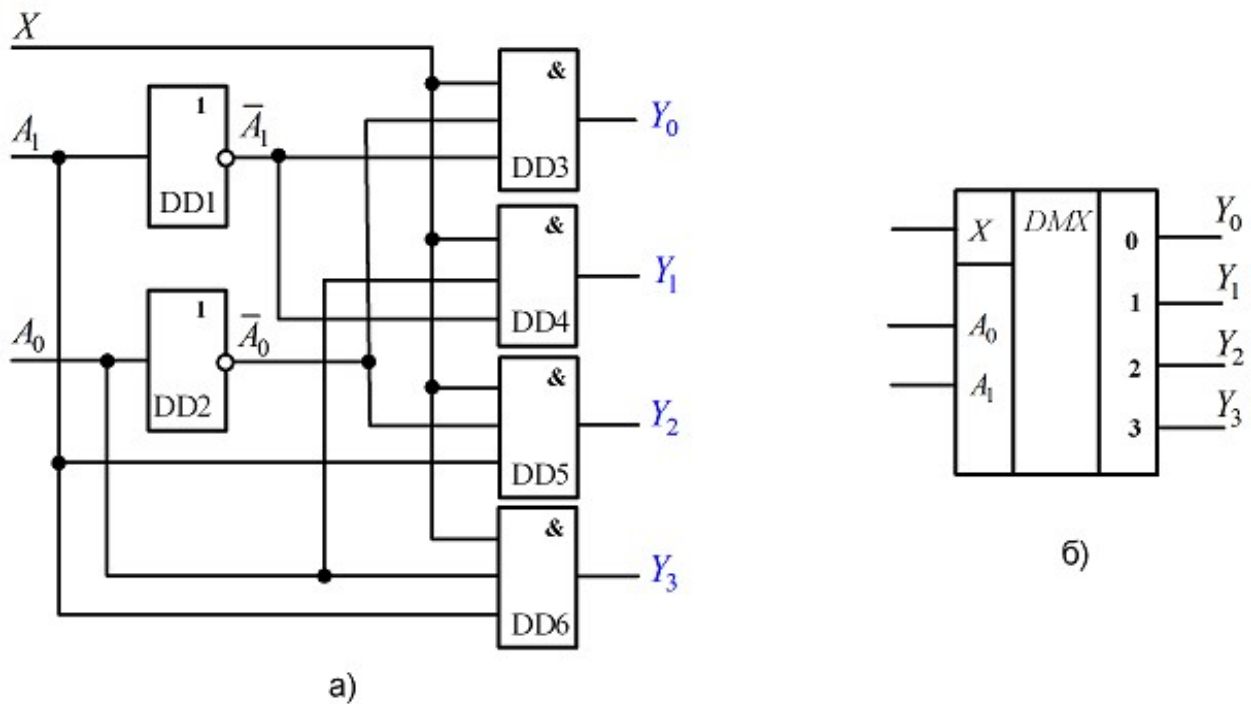


Рисунок 25.7 – Демультимплексор « $1 \rightarrow 4$ »: схема на елементах І (а), умовне зображення (б)

Комбінаційну схему демультимплексора можна реалізувати також на елементах АБО (рис. 25.8) на основі системи рівнянь (25.4), які виходять із системи (25.3) після застосування **першої форми закону де Моргана**.

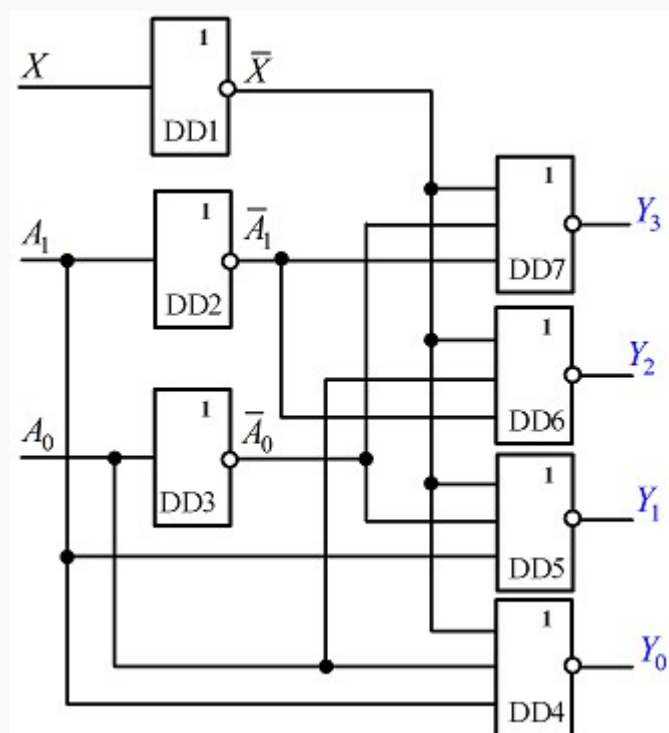


Рисунок 25.8 – Схема демультимплексора « $1 \rightarrow 4$ » на елементах АБО



$$\begin{cases} Y_0 = \overline{A_1} \cdot \overline{A_0} \cdot X = \overline{A_1 + A_0 + \overline{X}}, \\ Y_1 = \overline{A_1} \cdot A_0 \cdot X = \overline{A_1 + \overline{A_0} + \overline{X}}, \\ Y_2 = A_1 \cdot \overline{A_0} \cdot X = \overline{\overline{A_1} + A_0 + \overline{X}}, \\ Y_3 = A_1 \cdot A_0 \cdot X = \overline{\overline{A_1} + \overline{A_0} + \overline{X}}. \end{cases} \quad (25.4)$$

В інший спосіб схему демультиплексора можна побудувати з внутрішнім дешифратором, який для кожної комбінації вхідного адресного коду формує на одному із своїх виходів сигнал лог. 1. Розглянемо реалізацію схеми демультиплексора «1 → 4» (рис. 25.9) за таблицею істинності 25.5, яка зв'яже адресний код  $A_1, A_0$  з чотирма виходами дешифратора і вихідні функції  $Y_0, \dots, Y_3$  з вхідним сигналом  $X$  та виходами дешифратора  $F_0, \dots, F_3$ .

Таблиця 25.5 – Таблиця істинності демультиплексора з внутрішнім дешифратором

Адресні входи		Виходи дешифратора				Виходи демультиплексора			
$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	1	0	0	0	$F_0X$	0	0	0
0	1	0	1	0	0	0	$F_1X$	0	0
1	0	0	0	1	0	0	0	$F_2X$	0
1	1	0	0	0	1	0	0	0	$F_3X$

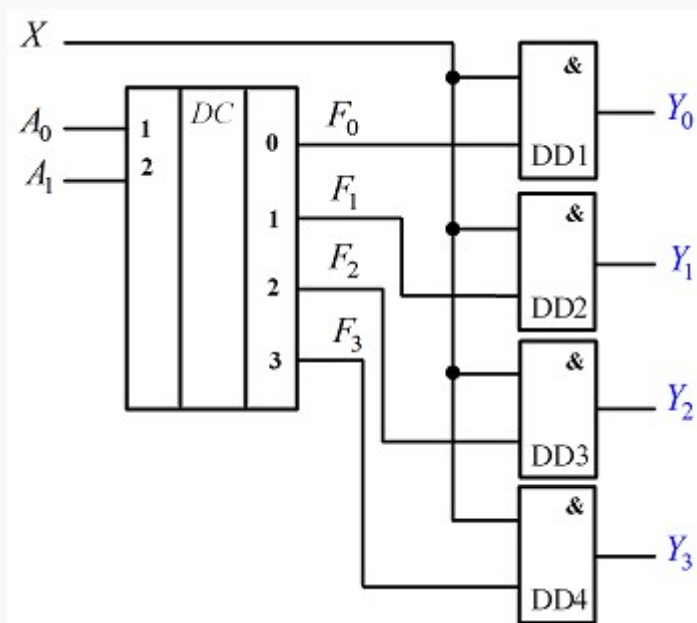


Рисунок 25.9 – Демультиплексор «1 → 4» з внутрішнім дешифратором

Залежно від комбінації стану адресних входів  $A_0$  та  $A_1$  лише на одному з чотирьох виходів дешифратора з'являється сигнал лог. 1, який дає сигнал дозволу на спрацьовування однієї із схем I (DD1...DD4), на виході якої відтворюється вхідний сигнал. Наприклад, при адресному числі 11, коли  $A_0 = A_1 = 1$ , на виході 3 адресного дешифратора DC установлюється рівень логічної одиниці, а на всіх інших – нульовий. Тому логічний елемент DD4 має дозвіл на спрацьовування. Якщо при цьому на інформаційному вході X діє логічна одиниця, то на виході DD4 установлюється лог. 1. При  $X = 0$  на виході логічного елемента DD4 буде також нульовий потенціал, тобто сигнал на виході логічного елемента DD4 повторює вхідний сигнал. На інформаційних виходах  $Y_0, Y_1, Y_2$  при адресному числі 11 наявні сигнали лог. 0. Схема демультимплектора з внутрішнім дешифратором характеризується меншою швидкодією порівняно зі схемами з поєднанням адресних і логічних змінних (рис. 25.7, а) та рис. 25.8).

Можна реалізувати синхронний демультимплексор на основі таблиці істинності 25.6, якщо збільшити на 1 кількість входів всіх логічних елементів, які формують вихідні сигнали у розглянутих схемах на рис. 25.7 – 25.9, і подати на додатковий вхід синхросигнал або сигнал дозволу від зовнішнього джерела. Наприклад, схема синхронного демультимплектора «1→4» з внутрішнім дешифратором представлена на рис. 25.10. За наявності керуючого входу E при його активізації  $E = 1$  на вибраний за адресним кодом вихід демультимплектора передається логічний рівень сигналу з інформаційного входу X. При нульовому керуючому сигналі  $E = 0$  зв'язок між інформаційним входом та виходами відсутній, тому незалежно від стану адресних входів вихід нульовий  $Y = 0$  (позначено «\*» у табл. 25.6).

У функціональному відношенні демультимплексор виконує дію, обернену функції мультиплектора. Тому разом мультиплексор і демультимплексор застосовують для комутацій ліній (шин): мультиплексор об'єднує декілька входів в єдиний потік, а на приймальній стороні демультимплексор розділяє цей єдиний потік даних на оригінальну систему сигналів (рис. 25.11).

Таблиця 25.6 – Таблиця істинності синхронного демультиплексора

Керуючий вхід	Вхід	Адресні входи		Виходи дешифратора				Виходи демультиплексора			
		$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
$E$	$X$	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	*	*	*	*	*	*	*	0	0	0	0
1	$X$	0	0	1	0	0	0	$F_0X$	0	0	0
1	$X$	0	1	0	1	0	0	0	$F_1X$	0	0
1	$X$	1	0	0	0	1	0	0	0	$F_2X$	0
1	$X$	1	1	0	0	0	1	0	0	0	$F_3X$

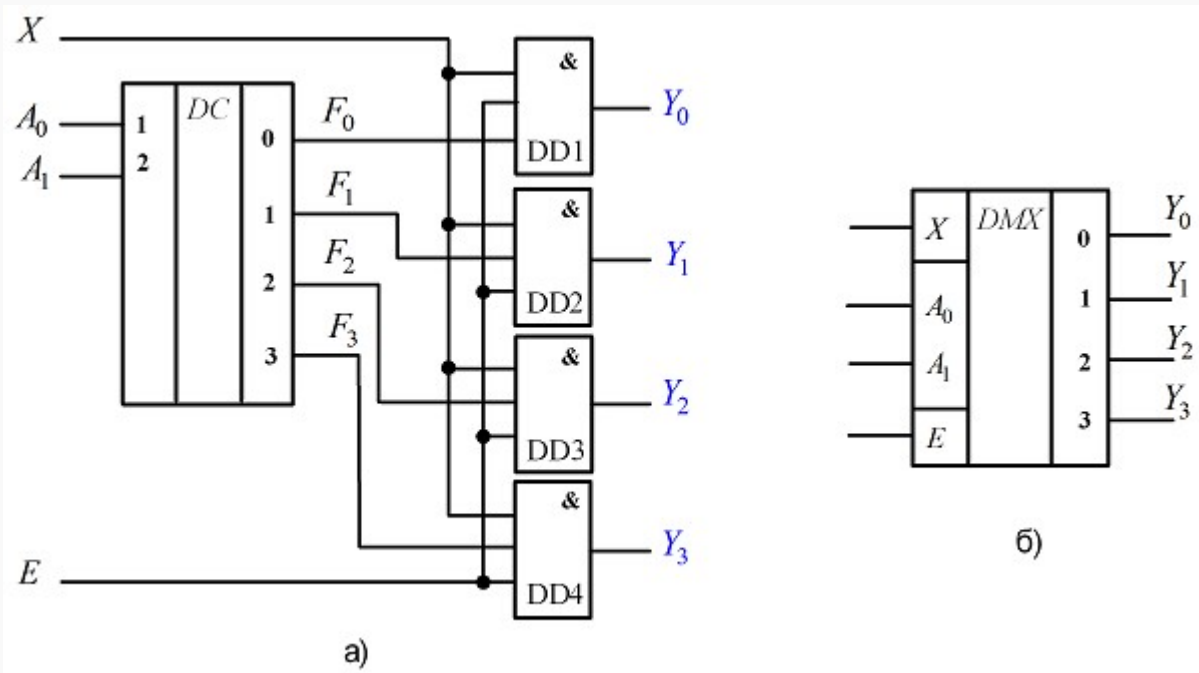


Рисунок 25.10 – Синхронний демультиплексор «1 → 4» з внутрішнім дешифратором: схема (а), умовне зображення

Демультиплексори застосовують також для перетворення послідовного коду на паралельний, реалізації логічних функцій та інші.

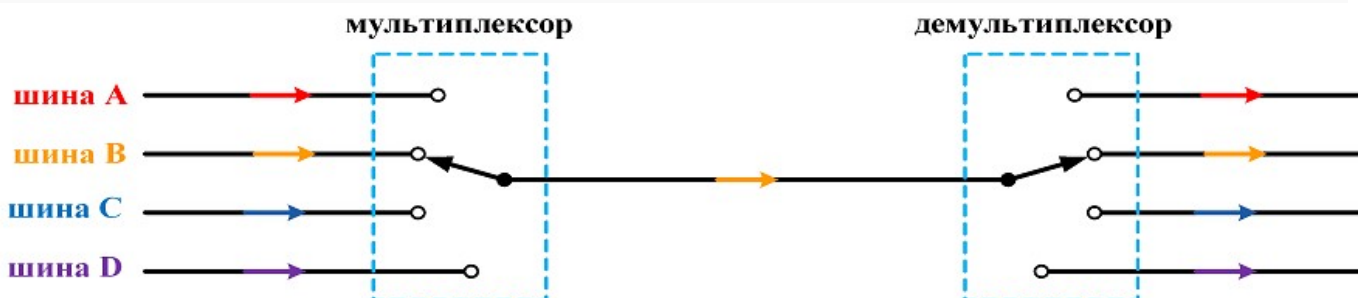
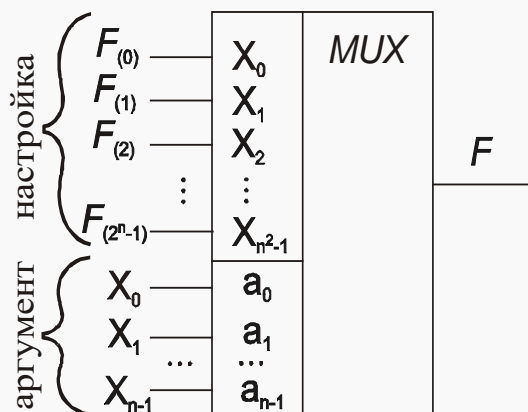


Рисунок 25.11 – До пояснення сумісної роботи мультиплексора і демультиплексора

В інтегральному виконанні мультиплектори випускають на чотири, вісім або шістнадцять виходів. Каскадування дає змогу реалізувати комутацію одного вхідного сигналу на довільну кількість вихідних ліній на базі серійних мікросхем мультиплексорів меншої розрядності.

## УНІВЕРСАЛЬНІ ЛОГІЧНІ МОДУЛІ НА ОСНОВІ МУЛЬТИПЛЕКСОРІВ

**Універсальні логічні модулі (УЛМ)** на основі мультипликаторів відноситься до пристроїв, які настроюються на вирішення тої чи іншої задачі. Універсальність полягає в тому, що для заданого числа аргументів можна налаштувати УЛМ на будь-яку функцію. Відомо, що загальна кількість функцій від  $n$  аргументів визначається як  $2^{2^n}$ . З ростом  $n$  числа функцій росте досить швидко. Хоча практичну цінність представляють не всі існуючі функції, можливість отримати будь-яку функцію свідчить про перспективи застосування УЛМ.



**Рисунок 25.12 – Схема використання мультиплексора в якості логічного модуля**

Першим способом настройки УЛМ є фіксація деяких входів. Для цього способу справедливе співвідношення між числом входів настройки і числом аргументів  $m = 2^n$ , що відповідає співвідношенню між входами мультиплексора. Якщо на адресні входи подавати аргументи функції, а на інформаційні – сигнали настройки, то отримаємо УЛМ. Алфавітом настройки буде  $\{0, 1\}$  - настройка виконується константами. Наприклад,  $F = X_0 \oplus X_1$ , (рис.25.13).

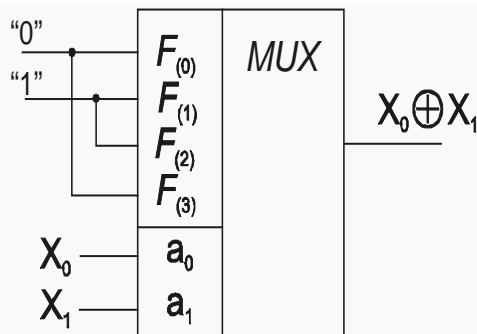


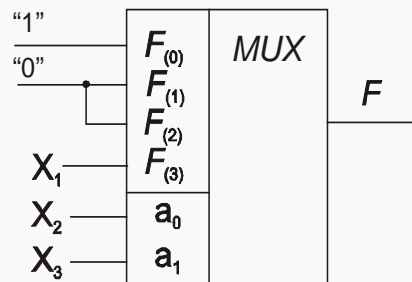
Рисунок 25.13 – УЛМ з фіксацією входів

Велике число входів настройки наштовхує на пошук способів зменшення їх кількості. Якщо від алфавіту  $\{0, 1\}$  перейти до  $\{0, 1, \tilde{x}_i\}$ , де  $\tilde{x}_i$  – літерал одного із аргументів, то число входів аргументів, то число входів аргументів зменшиться на одиницю, а число входів настройки зменшиться вдвоє. (Літерал це сама зміна чи її інверсія). В цьому випадку аргументи крім  $\tilde{x}_i$  подаються на адресні входи, а на вхід настройки переводять аргумент, який має мінімум входжень в терми функції.

Наприклад, для функції  $F = x_1 \cdot x_2 \cdot x_3 \vee \bar{x}_2 \cdot \bar{x}_3$  мінімум входжень -  $x_1$ . Для цієї функції на рис. 25.14 (а) вказана таблиця істинності, на рис. 25.14 (б) - настройка УЛМ.

$x_2$	$x_3$	F
0	0	1
0	1	0
1	0	0
1	1	$x_1$

а



б

Рисунок 25.14 – Таблиця істинності (а) та настройка УЛМ (б) для функції

$$F = x_1 \cdot x_2 \cdot x_3 \vee \bar{x}_2 \cdot \bar{x}_3$$

Якщо в сигнали настройки перевести два аргументи, то необхідно ввести додаткові логічні схеми, які мало ускладнять УЛМ, і це може виявитись компромісним розв'язком. В цьому випадку необхідно для збереження універсальності УЛМ попереду мультиплексора поставити блок вироблення залишкових функцій, які формують всі функції двох змін.

Подальше розширення алфавіту настройки за рахунок переносу трьох і більше змінних в сигнали настройки потребує обчислень залишкових функцій трьох і більше змінних. Обчислення таких залишкових функцій з допомогою мультиплексорів приводить до пірамідальної структури, в якій мультиплексори першого ярусу реалізують залишкові функції, а мультиплексор другого ярусу виробляє шукану функцію. Хоча пірамідальна структура дає канонічне вирішення, але не претендує на оптимальність.

Логічні блоки на мультиплексорах використовується в сучасних НВІС програмованої логіки, що випускаються ведучими світовими фірмами.