

## СХЕМОТЕХНІКА ЛОГІЧНИХ ЕЛЕМЕНТІВ

### 2.1. Класифікація цифрових елементів

Розвиток цифрової техніки став потужним стимулом для швидкого розвитку мікросхемотехніки. Цифрові елементи можна зустріти тільки в мікросхемному виконанні. Цифрові елементи частіше називають *цифрові інтегральні схеми* або *цифрові мікросхеми* – це найменші функціональні частини будь-якого цифрового пристрою й основна база сучасної цифрової техніки. В основі цифрових схем лежать найпростіші транзисторні ключі – аналоги металевих контактів, що характеризуються двома станами: або розімкнені, або замкнені.

Цифрові інтегральні мікросхеми (цифрові елементи) можна розглядати за різною класифікацією: за ступенем інтеграції, за функціональним призначенням, за типом логіки, за технологією виготовлення, за будовою електричної схеми.

*Ступінь інтеграції* – це показник функціональної складності інтегральних мікросхем, який визначається числом елементів на кристалі підшарку. За ступенем інтеграції цифрові мікросхеми підрозділяються на малі, середні, великі (ВІС), надвеликі (НВІС) та супервеликі (СВІС). Чим вище ступінь інтеграції мікросхеми, тим ширше її функціональні можливості.

Мікросхеми *малого ступеня інтеграції*, що мають у складі 1...10 елементів, використовують для розробки апаратури, але при цьому вимагається збільшення кількості мікросхем.

Найбільш функціонально гнучкими є *мікросхеми середнього* (10...100 елементів) та *великого* ( $10^2 \dots 10^3$  елементів) ступенів інтеграції. Тому їх використовують при побудові цифрових пристроїв зі складними алгоритмами роботи.

Мікросхеми надвеликі ( $10^3 \dots 10^4$  елементів) та супервеликі (понад  $10^4$  елементів) – це багатофункціональні пристрої, мікропроцесорні комплекти, однокристальні ЕОМ.

За способом зображення інформації цифрові інтегральні мікросхеми поділяються на потенційні, імпульсні та імпульсно-потенційні.

*Потенційні* цифрові мікросхеми вважаються найпростішими з усіх, бо реагують на рівні напруги, що відповідно означають для цифрових пристроїв логічний нуль 0 та логічну одиницю 1. Для функціонування потенційних мікросхем не потрібна синхронізація. Цей тип мікросхем відрізняється обов'язковою присутністю зв'язків за постійним струмом між виходом та входом. Потенційні мікросхеми можуть працювати як з імпульсними сигналами, так і з потенційними.

*Імпульсні* мікросхеми працюють лише за умови дії синхроімпульсів. Вони сприймають лише імпульсні цифрові сигнали певної тривалості і реагують на параметри цього сигналу: на його фронт чи на зріз (рис. 2.1).

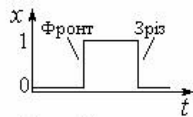


Рис. 9.1.  
Імпульсний сигнал

Імпульсно-потенційні мікросхеми використовують усі попередні способи кодування. Вони найбільш поширені у функціональній схемотехніці, де мікросхеми пристроїв – це середні або великі інтегральні схеми, що потребують різних форм зображення цифрових сигналів.

За способом зображення інформації, тобто методом уведення та виведення даних цифрові мікросхеми поділяються на елементи *послідовної, паралельної та змішаної дії*.

Відзначимо, що в цифрових мікросхемах послідовної дії введення даних здійснюються послідовно за часом, тобто по єдиному каналу. Мікросхеми паралельної дії здійснюють введення та виведення інформації у паралельній формі, тобто одночасно по декількох інформаційних шинах (каналах).

Найбільш часто застосовується змішаний спосіб, який має властивості послідовної та паралельної дії. Цифрові мікросхеми, що мають змішаний спосіб введення та виведення даних, відрізняються більшою схемотехнічною гнучкістю. Такі мікросхеми здійснюють операції перетворення цифрових сигналів з однієї форми зображення в іншу. Мікросхеми змішаного типу належать до так званих інтерфейсних мікросхем.

За функціональним призначенням цифрові мікросхеми поділяються на класи: логічні елементи, запам'ятовувачі та допоміжні мікросхеми.

*Логічні елементи* – це елементарні пристрої, що реалізують одну чи декілька логічних функцій за законами бульової алгебри. Логічні елементи універсальні і тому на їхній основі можна будувати цифрові пристрої будь-якого класу складності.

*Запам'ятовувачі* – це великий клас цифрових пристроїв, які складаються з елементарних комірок пам'яті. Кожна комірка може зберігати один біт інформації. Функціонування таких мікросхем здійснюється під впливом керуючих сигналів.

*Допоміжні мікросхеми* – це елементи, що використовуються для перетворення електричних сигналів або кодів зображення інформації, комування, формування сигналів, індикації, узгодження логічних рівнів тощо.

Логіка буває позитивною та негативною.

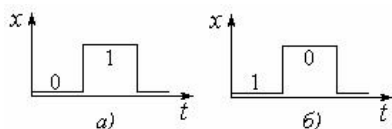


Рис. 9.2. Логіка: а – позитивна;  
б – негативна

*Позитивною* називається логіка, в якій низький рівень напруги кодується логічним нулем, а високий – логічною одиницею (рис. 2.2,а).

Рівні напруги можна трактувати навпаки, тобто за логічну одиницю 1 приймати низький рівень напруги, а

логічний нуль 0 – високий (рис. 2.2,б). Така логіка називається *негативною*.

Позитивна логіка для споживачів найбільш прийнятна і набула

більшого поширення, ніж негативна. Навіть психологічно легше зрозуміти,

коли сигнали високого рівня приймаються за логічну одиницю. Наприклад, включення (будь-чого) – це логічна одиниця 1; а виключення, тобто відсутність включення – це логічний нуль 0.

Усі мікросхеми з'єднують в *серії*. Серією називають групу мікросхем, що виконанні за однією технологією. Мікросхеми, що входять в одну серію, мають подібні технічні характеристики і призначенні для сумісної роботи в цифрових пристроях.

Умовне позначення цифрових мікросхем складається з декількох літер та цифр. Наприклад, K555ЛА2. Перша літера К характеризує стійкість мікросхеми до дії навколишнього середовища та зв'язаний з цим тип корпусу.

Перші три або чотири цифри позначають номер серії мікросхем. У нашому прикладі – це три цифри серії 555. Перша цифра номера серії визначає технологію виготовлення:

- *напівпровідникові*, якщо перша цифра 1 або 3;
- *гібридні*, коли перша цифра парна;
- *комбіновані* мікросхеми, коли перша цифра дорівнює 5.

Наступні за номером серії дві літери характеризують функцію, яку виконує мікросхема (наприклад, ЛА – логічна функція І-НЕ).

Остання цифра (може бути дві цифри) означає тип мікросхеми в колі однієї функціональної групи, наприклад, число входів елемента, тип тригера тощо. Наприкінці іноді є також літери, що характеризують деякі експлуатаційні параметри, наприклад, вихідну потужність.

*Логічні елементи (ЛЕ)* – це інтегральні мікросхеми потенційного типу без пам'яті. В інтегральній схемотехніці – це найбільш поширений клас мікросхем. Логічний стан виходів таких елементів залежить тільки від комбінації логічних сигналів на входах у даний момент часу і тому їх називають комбінаційними пристроями.

## **2.2. Параметри логічних елементів**

До основних параметрів, які характеризують можливості ЛЕ мікросхем різноманітних серій відносяться:

- логічна функція, яку реалізує ЛЕ;
- напруга живлення;
- напруга логічної одиниці;
- напруга логічного нуля;
- навантажувальна спроможність;
- швидкодія;
- коефіцієнт об'єднання по входу;
- середній час затримки передачі сигналу;
- потужність споживання;
- завадостійкість.

За видом реалізованої логічної функції ЛЕ можна поділити на два класи. Логічна функція, яку реалізує ЛЕ, може бути досить проста: НЕ; І;

АБО; І-НЕ; АБО-НЕ. ЛЕ таких мікросхем відносяться до першого класу і носять назву одноступеневої логіки.

До другого класу відносяться функціональні мікросхеми двоступеневої або багатоступеневої логіки, які реалізують більш складні логічні функції: І-АБО; АБО-І; І-АБО-НЕ; І-АБО-І та інші.

Напруга живлення  $E_K$  – характеризується кількістю живлячих напруг та їхніми номінальними значеннями. При цьому, як правило, вказуються допуски на величину наруги живлення, за яких не порушується робота ЛЕ. Частіше за все в логічних схемах використовується  $E_K = 5$  В та  $E_K = 9$  В.

Напруга логічної одиниці  $U^1$  – це значення високого рівня напруги для позитивної логіки.

Напруга логічного нуля  $U^0$  – це значення низького рівня напруги для позитивної логіки.

Навантажувальна здатність визначає число входів ЛЕ, яке можна підключити до виходу кожного елемента мікросхеми, і при цьому забезпечується неперекручена передача двійкових символів 0 та 1. Дуже часто цей параметр називають коефіцієнтом розгалуження виходу  $n_p$  та висловлюють цілим додатним числом, яке показує максимальне число входів аналогічних ЛЕ, які можна одночасно підключити до виходу даної мікросхеми. Для різних типів мікросхем  $n_p$  коливається від 1 до кількох десятків.

Збільшення  $n_p$  обмежене, бо при зростанні навантаження погіршуються такі важливі параметри, як завадостійкість та середній час затримки сигналу.

З цієї причини до складу однієї серії входять ЛЕ з різноманітним коефіцієнтом розгалуження виходу: основні ЛЕ з  $n_p = 4 \dots 10$  та буферні ЛЕ, які носять назву підсилювачів потужності, з  $n_p = 20 \dots 50$ . Це дозволяє найбільш гнучко проектувати цифрові прилади з оптимальними параметрами.

Завдання навантажувальної здатності з урахуванням ємності навантаження використовується для мікросхем, які мають дуже великий вхідний опір ( $R_{вх} > 10^{12}$  Ом), наприклад, мікросхем МДН типу. Їхня навантажувальна здатність висока ( $n_p > 10$ ) і зростання  $n_p$  обмежується тільки погіршенням динамічних параметрів за рахунок зростання постійних часу заряду та розряду паразитної навантажувальної ємності  $C_H$  при великих  $n_p$ , тому що

$$C_H = C_{вх} \cdot n_p + C_{вих}, \quad (2.1)$$

де  $C_{вх}$  – ємність входу одного ЛЕ;  $C_{вих}$  – ємність виходу ЛЕ.

Значення  $C_H$  та максимального вихідного струму логічних нуля та одиниці обов'язково необхідні при стикуванні мікросхем різних серій.

Коефіцієнт об'єднання по входу  $n_{вх}$  визначає максимальне число входів ЛЕ і тим самим число незалежних вхідних змінних  $x_n$ . Збільшення  $n_{вх}$  розширює логічні можливості ЛЕ. Однак при цьому, як правило, погіршуються такі параметри, як швидкодія, завадостійкість та навантажувальна здатність. В окремих серіях мікросхем передбачаються спеціальні входи для підключення так званих логічних розширювачів, які підвищують

за необхідності коефіцієнт  $n_{\text{вх}}$ . В існуючих серіях значення  $n_{\text{вх}}$  коливається від 1 до 8.

Середній час затримки сигналу  $t_{\text{зс}}$  відноситься до динамічних параметрів ЛЕ, який характеризує швидкість роботи мікросхеми. Він визначає середній час проходження одного біта інформації через одну мікросхему. Значення  $t_{\text{зс}}$  одного ЛЕ порівняно мале (1 ... 20 нс). Якщо від входу до виходу сигнал передається через коло послідовно з'єднаних ЛЕ, то сумарний час затримки залежить від числа ЛЕ. Для деяких функціональних пристроїв іноді замість  $t_{\text{зс}}$  використовують обернено пропорційну величину – максимальну частоту переключення.

Потужність споживання – це величина потужності, яку споживає ЛЕ від джерела живлення. Кожний ЛЕ цифрового приладу може при роботі перебувати у двох станах: одиничному або нульовому. Кожний з цих станів характеризується різним значенням потужності споживання. Тому користуються середньою потужністю споживання, яка обчислюється формулою

$$P_{\text{сп}} = \frac{P_0 + P_1}{2}, \quad (2.2)$$

де  $P_1$  – потужність споживання в одиничному стані виходу  $y = 1$ ;  $P_0$  – потужність споживання в нульовому стані виходу  $y = 0$ .

Досить значна кількість мікросхем споживає найбільшу потужність в процесі переключення, доки існують перехідні процеси, і зовсім малу потужність в статичних станах. Для таких мікросхем крім середньої споживаної потужності вводиться середня потужність, яку споживає елемент при максимальній частоті переключення.

Завадостійкість оцінюється максимально припустимою величиною потенційної завади  $U_{\text{з}}$ , при появі якої на вході мікросхеми не виникає хибного перемикавання із стану 0 у стан 1 або навпаки.

Розрізняють статичну та динамічну завади. Статична завадостійкість ЛЕ значно вища за динамічну, бо на неї під час перехідного процесу паразитні ємності впливають менше, ніж при короткочасних динамічних завадах. Динамічну заваду важко виміряти, бо вона залежить не тільки від типу мікросхеми, а й від зовнішніх факторів. Тому у довідниках можна знайти лише величину статичної завадостійкості.

Динамічна завадостійкість в загальному випадку залежить від тривалості, потужності і форми сигналу завади, а також від рівня статичної завадостійкості та швидкості перемикавання базового функціонального елемента. Однак висока статична завадостійкість не завжди визначає високу динамічну завадостійкість даного елемента.

Для кількісної оцінки завадостійкості та деяких інших параметрів мікросхем ЛЕ визначається *передавальна* або *статична характеристика*, якою є залежність вихідної напруги  $U_y$  від вхідної  $U_x$  на одному з входів при незмінних рівнях напруг на інших входах ЛЕ

$$U_y = f(U_x). \quad (2.3)$$

и мікросхемах ЛЕ рівні напруг логічного нуля  $U^0$  та логічної одиниці  $U^1$  задаються не фіксованими потенціалами, а діапазоном чи розкидом напруг. Між цими рівнями існує проміжна невизначена зона, в якій логічний стан є нестійким. Тому важливо для кожного типу мікросхем знати вхідні  $U_x^0$

і  $U_x^1$  та вихідні  $U_y^0$  і  $U_y^1$  рівні, а також межі зони логічної невизначеності  $U$ , від якої залежить завадостійкість мікросхем.

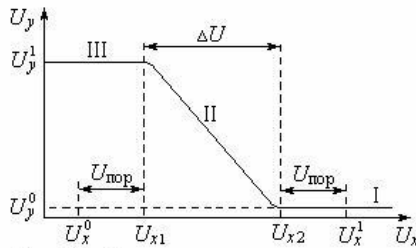


Рис. 9.3. Передавальна характеристика інвертора

Передавальна характеристика зображується для кожної логічної функції окремо, бо треба враховувати не тільки числову залежність вхідного і вихідного сигналів, а і їхній взаємозв'язок за полярністю.

Передавальна характеристика логічної функції НЕ (заперечення або інвертора)  $U_y = f(U_x)$  наведена на рис. 2.3.

На передавальній характерис-

тиці можна розрізнити три ділянки:

I – нульовий стан, за якого на виході  $U_y = U_y^0 = 0$ ;

II – проміжний логічний перепад, в якому інвертор знаходиться у перехідному режимі роботи;

III – одиничний стан, за якого  $U_y = U_y^1 = 1$ .

Вхідна напруга  $U_x$  містить пороги переключення  $U_{x1}$  для логічного нуля 0 і  $U_{x2}$  для логічної одиниці 1 та область між ними  $U$ , яка характеризує зону невизначеності

$$U = U_{x2} - U_{x1}. \quad (2.4)$$

Передавальна характеристика визначає параметри завадостійкості. Так, вхідні рівні напруг  $U_x^0$  та  $U_x^1$ , які наводяться у довідниках, не дорівнюють  $U_{x1}$  та  $U_{x2}$ , тому що враховують напруги завад.

Дійсно, якщо амплітуда завади перевищуватиме зону невизначеності

$$U_m > U, \quad (2.5)$$

то вона змінить  $U_{x1}$  на  $U_{x2}$  або навпаки.

Для збільшення припустимої напруги завади розносять пороги переключення відповідно до  $U_x^0$  та  $U_x^1$  на величину  $U_{пор}$ :

$$U_x^0 = U_{x1} - U_{пор}, \quad (2.6)$$

$$U_x^1 = U_{x2} + U_{пор}. \quad (2.7)$$

Тоді амплітудна напруга завади, яка збиває логічні рівні  $U_x^0$  на  $U_x^1$  або  $U_x^1$  на  $U_x^0$ , становить

$$U_{mз} = U_{пор} + U. \quad (2.8)$$

З формули (2.8) видно, що зміщення порогів переключення на  $U_{пор}$  та збільшення зони невизначеності  $U$  збільшує максимально припустиму амплітуду завади  $U_{mз}$ , тобто підвищує завадостійкість.

Тому в логічних елементах вживають заходів щодо збільшення  $U_{пор}$  та підвищення  $U$ . Так, елементи ТТЛ мають зону невизначеності  $U = 0,7$  В і рівні вхідної напруги  $U_x^0 = 0,4$  В та  $U_x^1 = 2,0$  В, тобто кожний поріг зміщений на  $(2,0 - 0,4)/2 = 0,8$  В, що становить понад  $U$ .

Це забезпечує нечутливість елементів ТТЛ до завад, амплітуда яких не перевищує  $U_{mз} < U_x^1 - U_x^0 = 2,0 - 0,4 = 1,6$  В.

### 2.3. Типи логічних елементів та їхні порівняльні характеристики

Характеристики та параметри цифрових схем залежать від технології виготовлення, тобто від серії мікросхем. У сучасній цифровій схемотехніці домінує положення належить наступним типам мікросхем:

- транзисторно-транзисторна логіка на біполярних транзисторах (ТТЛ);
- транзисторно-транзисторна логіка на транзисторах Шотткі (ТТЛШ);
- структури на польових транзисторах МОН – “метал – оксид – напівпровідник” або МДН – “метал – діелектрик – напівпровідник”);
- з симетричною комплементарною структурою на польових транзисторах (КМОН-структури);
- динамічні МОН-структури;
- інтегрально-інжекційна логіка ( $I^2L$ );
- емітерно-зв’язана логіка на біполярних транзисторах (ЕЗЛ).

Кожна технологія виготовлення мікросхем має свої переваги і недоліки. Тому на етапі схемотехнічного проектування необхідні знання характеристик та параметрів кожної серії мікросхем.

Мікросхеми ТТЛ та ТТЛШ мають високу швидкодію, великий коефіцієнт об’єднання по входу, високу завадостійкість при досить невеликій споживаній потужності і тому популярність мікросхем ТТЛ та ТТЛШ на світовому ринку спостерігається вже понад декількох десятиліть.

Мікросхеми МОН та КМОН будуються на базі МОН-транзисторів з індукованими або вбудованими каналами, які за порівнянням з біполярними транзисторами мають наступні переваги:

- вхідне коло (коло заслону) у статичному режимі не споживає струму;
- простота технології виготовлення, мала площа, яку займає транзистор.

Тому за таким параметром, як потужність споживання, МОН- і КМОН-мікросхеми мають значні переваги. Мікросхеми серії КМОН витрачають потужність тільки в процесі переключення. Сучасні технології МОН і КМОН

широко використовуються в мікропроцесорних комплектах та в цифрових приладах, де найбільш критичним параметром є споживана потужність.

Мікросхеми ЕЗЛ відрізняються найбільш високою швидкістю за рахунок використання транзисторів у ненасиченому режимі роботи і працюють з сигналами до 150 МГц. Суттєвим недоліком цих мікросхем є те, що через відсутність насичення вони досить чутливі до зовнішніх завад.

Мікросхеми серії Г<sup>2</sup>Л забезпечують високу щільність розміщення елементів на кристалі. Вони споживають малу потужність при високій швидкодії, яка досягається за рахунок технології виготовлення. Недоліком серії Г<sup>2</sup>Л є мала вихідна напруга (не більше 0,7 В). Тому ця серія не має самостійного застосування і використовується лише у внутрішніх вузлах мікросхем.

## 2.4. Транзисторно-транзисторна логіка (ТТЛ)

Схемотехніка ТТЛ має найбільше число різновидів. Мікросхеми ТТЛ на світовому ринку стабільно посідають перше місце протягом декількох десятиліть.

Особливістю мікросхем ТТЛ є наявність у вхідному колі багатоємітерного транзистора. Багатоємітерний транзистор (БЕТ) являє собою інтегральний елемент, який має декілька (до 8) емітерних переходів.

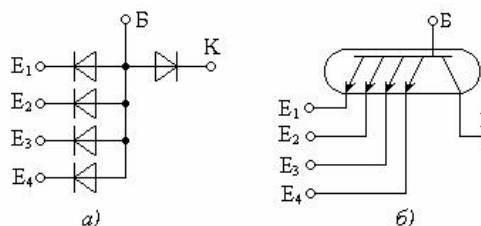


Рис. 9.4. Багатоємітерний транзистор:  
а – діодна схема І – еквівалент БЕТ;  
б – умовне позначення БЕТ

БЕТ у мікросхемах ТТЛ вмикають на вході, реалізуючи при цьому функцію діодної схеми І (рис. 2.4,а). Умовне позначення БЕТ наведено на рис. 2.4,б.

Типова двовходова схема 2І-НЕ наведена на рис. 2.5. Число емітерів БЕТ дорівнює числу входів.

Рівнем логічного нуля є потенціал нульового прово-

ду, тобто фізичний нуль, а рівнем логічної одиниці є напруга живлення  $+E_K$ .

Схема містить багатоємітерний транзистор  $VT1$ , який сумісно з  $R1$

виконує логічну функцію 2І, фазорозщеплювальний каскад на  $VT2$  та складний інвертор на транзисторах  $VT3$  та  $VT4$ .

Фазорозщеплювальний каскад здійснює відкривання лише одного транзистора : або  $VT3$ , або  $VT4$ , забезпечуючи саме тим на виході відповідно або логічну одиницю, або логічний нуль.

При цьому складний інвертор, в якому один із транзисторів  $VT3$  або  $VT4$  завжди закритий, не споживає енергію.

Схема працює наступним чином.

Вхідне коло  $R1$ ,  $VT1$  є несиметричним розгалужувальним з'єднанням:

одне коло містить лише один перехід (емітерний перехід  $VT1$ ), а інше – три



(колекторний  $VT1$ , емітерний  $VT2$  та емітерний  $VT4$ ).

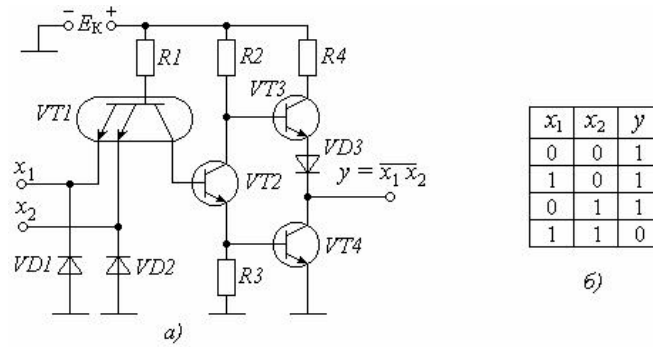


Рис. 9.5. Елемент ТТЛ 2І-НЕ: а – схема; б – таблиця істинності

Через цю несиметричність струм бази  $VT1$  може протікати тільки по *одному* колу: або через емітери, або через колектор  $VT1$ .

Напруга живлення  $E_K$  сумісно з опором резистора  $R1$  створює джерело струму бази  $VT1$ , який тече завжди або по колах емітерів, або по колу колектора в залежності від стану входів  $x_1$  та  $x_2$ .

При обох одиничних входах  $x_1 = 1$  та  $x_2 = 1$  емітерні переходи  $VT1$  закриті, через що струм бази  $VT1$  через його колекторний перехід тече в базу транзистора  $VT2$ , відкриваючи його. Тоді емітерний струм транзистора  $VT2$ , втікаючи в базу  $VT4$ , відкриває і його. Отже при всіх одиничних входах транзистори  $VT2$  та  $VT4$  завжди відкриті. При цьому низький потенціал колектора  $VT2$  закриває транзистор  $VT3$ . Таким чином, при всіх одиничних входах закритий транзистор  $VT3$  відключає вихід  $y$  від напруги  $E_K$ , а відкритий транзистор  $VT4$  підключає вихід  $y$  до нуля. Так за всіх одиничних входах  $x_1 = 1$  та  $x_2 = 1$  вихід  $y = 0$ .

Якщо хоча б до одного входу надходить логічний нуль, тобто  $x_1 = 0$ ;  $x_2 = 1$ , або  $x_1 = 1$ ;  $x_2 = 0$ , або  $x_1 = 0$ ;  $x_2 = 0$ , то хоча б один або всі емітерні переходи  $VT1$  відкриті і вони відгалужують на себе струм бази  $VT1$ . Бази  $VT2$

в  $VT4$  знеструмлені, через що транзистори  $VT2$  та  $VT4$  закриті. Одиничний потенціал колектора  $VT2$  відкриває транзистор  $VT3$ . Тоді закритий транзистор  $VT4$  відключає вихід  $y$  від нуля, а відкритий транзистор  $VT3$  підключає  $y$  до напруги  $E_K$ , тобто до логічної одиниці. Таким чином, при хоча б одному вході під логічним нулем на виході є логічна одиниця  $y = 1$ . Схема здійснює логічну функцію 2І-НЕ і може бути описана таблицею істинності (рис. 2.5,б).

Щодо діодів  $VD1 - VD3$ , то  $VD1$  та  $VD2$  захищають входи схеми від переполюсовки напруги, а діод  $VD3$  в емітері транзистора  $VT3$  сприяє його закриванню.

Емітери БЕТ  $VT1$  можна з'єднувати між собою, зменшуючи при цьому кількість переходів (діодів) на вході мікросхеми. Нарешті, якщо з'єднати всі емітери між собою, то можна одержати одноемітерний транзистор.

Типовий інвертор ТТЛ або логічна схема НЕ наведена на рис. 2.6.

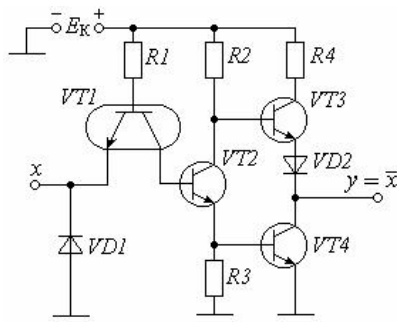


Рис. 9.6. ТТЛ-інвертор

Зіставляючи схему 2І-НЕ (рис. 2.5) зі схемою інвертора (рис. 2.6), переконуємося в тому, що вони відрізняються лише кількістю входів (емітерів  $VT1$ ). Тому принципи дії цих схем збігаються.

Щодо діодів  $VD1$ ,  $VD2$  в схемі (рис. 2.5) та  $VD1$  в схемі (рис. 2.6), то вони необхідні для наступного.

Вхідні кола розглянутих схем мають розподілені ємності та індуктивності. Тому при дії на вході високо-

частотних сигналів може з'явитися деренчання зі значними від'ємними викидами, які є згубними для схеми. З метою знищення цих викидів кожний вхід ТТЛ елемента з'єднують із загальною шиною через діод  $VD1$ , як показано на рис. 2.6. Цей діод зменшує від'ємний викид до 0,7 В, підвищуючи саме тим завадостійкість мікросхеми та час її безвідмовної експлуатації.

Щодо вихідного кола, то через його двотактність слід особливо попередити, що з'єднання елементів по виходах не припустимо.

Організація двотактового виходу в ТТЛ елементах робить неможливим паралельне з'єднання виходів декількох мікросхем, бо якщо з'єднані інвертори при цьому перебувають у різноманітних станах, то через відкриті транзистори  $VT3$  одного з них (рис. 2.5, 2.6) та  $VT4$  іншого потече неприпустимо великий струм, який може вивести з ладу з'єднанні мікросхеми.

Цю проблему можна вирішити за рахунок використання логічного елемента з так званим відкритим колектором. Схема логічного елемента з відкритим колектором створена тим, що з елементів (рис. 2.5, 2.6) вилучений транзистор  $VT3$ , а колектор  $VT4$  виведений на вихід. Спрощена схема логічного елемента з відкритим колектором та її умовне позначення наведені на рис. 2.7.

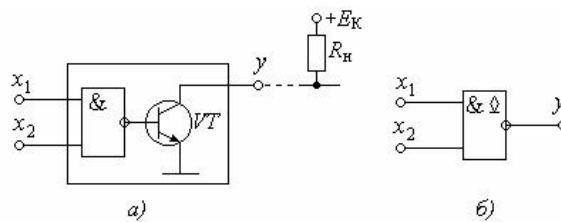


Рис. 9.7. Логічний елемент з відкритим колектором:  
а – спрощена схема, б – умовне позначення

Схема має в своєму складі логічний елемент (в нашому випадку це схема 2І-НЕ), вихід якої підключений до бази транзистора  $VT$  (рис. 2.7,а). Колектор транзистора є виходом  $y$ . Такий вихідний каскад (без опору

навантаження в колекторному колі) не може сам собою сформувати на виході  $y$  високий рівень напруги. Для цього до виходу  $y$  зовнішнім монтажем підключається опір  $R_H$ , який носить назву підтягуючого. Замість резистора  $R_H$  можна підключати будь-яке зовнішнє навантаження: реле, світлодіод та ін. Логічні елементи з відкритим колектором дозволяють підводити до вихідного транзистора напругу  $E_K = 30$  В. За допомогою логічних елементів з відкритим колектором можна збільшувати кількість входів.

Крім схемотехнічних можливостей логічні елементи з відкритим колектором здатні реалізувати додатково і логічні операції завдяки тому, що вони допускають паралельне з'єднання аналогічних виходів на одне спільне навантаження. Таке об'єднання виходів називається монтажною або провідниковою логікою, бо вона утворюється в результаті зовнішнього монтажу. На рис. 2.8 показана схема на логічних елементах 2І-НЕ з відкритим колектором, з'єднання яких на виході  $y$  разом з  $R_H$  утворюють

монтажне І.

На об'єднаному виході  $y$  (рис. 2.8) рівень буде одиничним ( $y = 1$ ) лише тоді, коли усі виходи  $y_i$  будуть одиничними:  $y_1 = 1$ ;  $y_2 = 1$ ;  $y_3 = 1$ . Якщо хоча б один з елементів має на своєму виході низький потенціал  $y_i = 0$ , то на об'єднаному виході  $y$  рівень буде нульовим  $y = 0$ .

Отже виходи  $y_i$  разом з  $R_H$  утворюють монтажне І:

$$y = y_1 \cdot y_2 \cdot y_3 = x_1 x_2 \cdot x_3 x_4 \cdot x_5 x_6 \quad (2.9)$$

Принцип монтажного І широко використовується у ВІС пам'яті та програмованих логічних матрицях (ПЛМ),

З також для побудови двонапрямлених числових шин. Транзисторно-транзисторна логіка має низку переваг, а саме:

– досить мала споживана потужність, що досягається за рахунок ускладнення інвертора парою транзисторів  $VT3$  та  $VT4$  (див. рис. 2.5), які працюють у фазоінверсному режимі під дією керуючого фазорозщеплювача

$VT2$ ;

– у статичному режимі один із транзисторів  $VT3$  або  $VT4$  завжди відкритий, тому вихідний опір, а тому й стала часу вихідного кола є досить малими, що сприяє підвищенню швидкодії;

– у динамічному режимі, коли на час переключення одночасно відкриті обидва транзистори  $VT3$  і  $VT4$  малий вихідний опір логічного елемента сприяє швидкому перезарядженню ємності навантаження та паразитній ємності монтажу, що забезпечує високу навантажувальну здатність логічного елемента ТТЛ.

До недоліків серій ТТЛ відноситься порівняльно низька швидкодія тому, що в статичному режимі окремі транзистори, що складають схему ТТЛ, знаходяться в стані глибокого насичення. Це насичення забезпечує

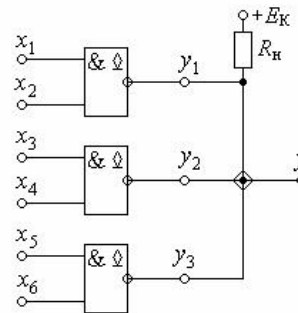


Рис. 9.8. Схема монтажного І

надлишковий вхідний струм, який зміщує емітерний перехід у прямому напрямі і приводить до накопичення рухомих носіїв в базах транзисторів. Після зникнення вхідного струму для переходу транзистора в стан відсікання потрібний тривалий час для подолання перехідного процесу розсмоктування накопичених носіїв, коли протягом десятків наносекунд транзистор залишається відкритим.

Отже, для підвищення швидкодії треба запобігти насиченню транзисторів.

Ці недоліки ліквідовані в елементах ТТЛ з діодом Шоттки \* (ТТЛШ).

## 2.5. Транзисторно-транзисторна логіка з діодом Шоттки (ТТЛШ)

Більш швидкодіючими порівняно із серією ТТЛ значаться логічні елементи на діодах та транзисторах Шоттки (ТТЛШ). Мікросхеми ТТЛШ мають ту саму структуру електричної схеми, що й ТТЛ, тільки замість діодів та транзисторів використовуються напівпровідникові прилади з бар'єром Шоттки.

З діодах Шоттки  $VD$  (рис. 2.9,а) використаний перехід “метал-напівпровідник”. Пряма напруга цього переходу становить 0,35 ... 0,40 В, що значно менше, ніж у звичайних діодів (0,7 В).

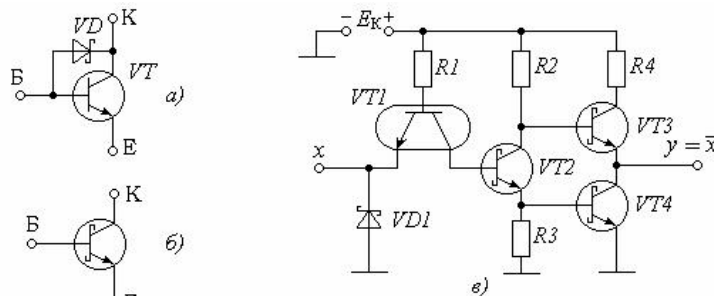


Рис. 9.9. Типовий інвертор ТТЛШ: а – БТ з діодом Шоттки; б – транзистор Шоттки; в – схема інвертора

Для зменшення насичення паралельно до колекторного переходу біполярного транзистора  $VT$  підключається діод Шоттки, чим і утворюється *транзистор Шоттки* (рис. 2.9,б).

При закритому транзисторі  $VT$  потенціал колектора є позитивним відносно бази, через що діод  $VD$  знаходиться під зворотною напругою і не впливає на роботу ключа.

Коли ж транзистор  $VT$  відкритий, то діод  $VD$  знаходиться під прямою напругою і відгалужує частину струму бази  $VT$  у колекторне коло.

у Шоттки (Schottky) – німецький фізик, який відкрив у 1914 р. фізичне явище, що виникає при проходженні струму через контакт “метал-напівпровідник”, так званий бар'єр Шоттки.

Струм бази зменшується, через що зменшується накопичення рухомих носіїв заряду в базі. Тому при переході транзистора в стан відсікання буде зменшений час розсмоктування накопичених носіїв в базі.

Інвертор ТТЛШ (рис. 2.9, в) працює так само, як звичайна ТТЛ. Струм бази  $VT1$  може протікати або по входньому колу  $x$ , або по колу бази  $VT2$ .

При нульовій входній напрузі ( $x = 0$ ) струм бази  $VT1$  тече по входньому колу  $x$  і не втікає в базу  $VT2$ . Транзистори  $VT2$  і  $VT4$  закриті, через що вихід  $y$  відірваний від нуля і через відкритий  $VT3$  підключений до  $+E_K$ , тобто до логічної одиниці  $y = 1$ .

Коли ж напруга на вході  $x$  дорівнює логічній одиниці ( $x = 1$ ), то струм бази  $VT1$  тече через його колекторний перехід в базу транзистора  $VT2$ , відкриваючи його. Відкривається і  $VT4$ , підключаючи вихід  $y$  до нуля і утворюючи тим самим на виході логічний нуль ( $y = 0$ ).

Суттєве зменшення часу розсмоктування надлишкового заряду в схемі  $\dashv$  використанням транзисторів Шоттки скорочує час затримки до 3 ... 5 нс. Проте слід зауважити, що на відміну від ТТЛ, елементи ТТЛШ мають

нижчу завадостійкість внаслідок малого порогу відкривання транзисторів Шоттки і зменшення їхнього насичення.

## 2.6. Емітерно-зв'язана логіка ЕЗЛ

Особливістю мікросхем транзисторної логіки з емітерними зв'язками є ненасичений режим роботи транзисторів, що забезпечує їхню високу швидкість.

Базовою схемою ЛЕ емітерно-зв'язаної логіки (ЕЗЛ) є перемикач струму, який побудований за схемою диференційного підсилювача (рис. 2.10).

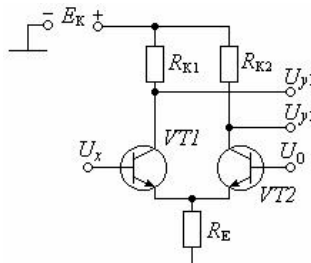


Рис. 9.10. Базова схема ЕЗЛ

Поріг переключення задається зовнішньою опорною напругою  $U_0$ . За будь-якого цього порогу відкриті транзистори не

насичені. В результаті обом транзисторам  $VT1$  та  $VT2$  не потрібний час на розсмоктування надлишкового заряду неосновних носіїв у базах і, через що швидкість досить висока.

Однак разом з тим слід визначити незручність безпосереднього спряження логічних елементів ЕЗЛ з іншими ЛЕ, яка зумовлена від'ємними логічними рівнями. Крім того, ЛЕ ЕЗЛ споживають досить велику потужність.

## 2.7 Інтегральна інжекційна логіка $I^2L$

Логічні елементи інтегральної інжекційної логіки  $I^2L$  реалізують на базі транзисторних структур  $n-p-n$  та  $p-n-p$ -типів, які з'єднують за схемою, що наведена на рис. 2.11. Базовими елементами  $I^2L$  є каскади-інвертори на

транзисторах  $VT1, VT2, VT3 \dots$ , які можуть мати декілька колекторів-виходів

а, що виконані в об'ємі загальної  $p$ -бази, аналогічно емітерам багато емітерного транзистора в ТТЛ.

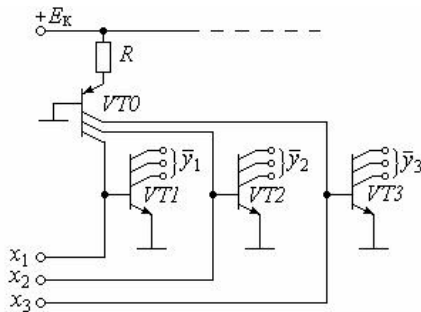


Рис. 9.11. Базові елементи  $I^2L$

Каскад на транзисторі  $VT0$  типу  $p-n-p$  називається *інжектором* і здійснює інжекційне живлення інверторів  $VT1, VT2, VT3 \dots$ . Кількість колекторів транзистора  $VT0$  може досягати 10 – 20 і навіть більше. Тому таку ж кількість каскадів може живити інжектор.

Щодо живлення, то воно охоплює тільки бази  $VT1, VT2, VT3 \dots$ . Колектори ж цих транзисторів залишаються відкритими.

Резистор  $R$  сумісно з напругою живлення  $E_K$  створює джерело струму, тобто обмежує струм, який розгалужується по базах  $VT1, VT2, VT3 \dots$ , здійснюючи їхнє живлення. Без резистора  $R$  струми живлення могли б зростати необмежено.

Навантажувальна здатність ЛЕ  $I^2L$  визначається числом колекторів транзисторів  $VT1, VT2, VT3 \dots$ .

Інвертори  $I^2L$  працюють наступним чином.

Якщо на входах  $x_1, x_2, x_3$  діють логічні одиниці, то бази транзисторів  $VT1, VT2, VT3 \dots$  знаходяться під струмами. Виходи  $y_1, y_2, y_3$  через

насичені транзистори підключаються до загальної шини і тому мають логічні нулі.

Коли ж на входах  $x_1, x_2, x_3$  будуть логічні нулі, то струми колекторів інжектора відгалужуються на ці відповідні входи і бази  $VT1, VT2, VT3 \dots$  знеструмлені. Ці транзистори перейдуть в режим відсікання і відключать виходи  $y_1, y_2, y_3$  від загальної шини. На виходах установаються логічні

одиниці.

Переваги інжекційної логіки наступні:

- живляться не колектори, а бази, через що напруга живлення досить низька і не перевищує 1 ... 1,5 В;
- висока економічність через відсутність у логічних елементах резисторів, на яких завжди розсіюється потужність;
- відкриті колектори зумовлюють насичення транзисторів навіть у режимі мікрострумів, що теж зберігає енергію;
- багатоколекторні транзистори розширюють функціональні можливості і значно полегшують побудову складних логічних схем;
- інтегральна інжекційна логіка вдало поєднує мініатюризацію біполярної структури з досить незначним споживанням потужності на одиницю площі кристалу і дозволяє розмістити на площі, яку займає один елемент ТТЛ, близько десяти аналогічних елементів  $I^2L$ .

Поруч з цими значними перевагами І<sup>2</sup>Л-елементи мають низьку завадостійкість до запираючих завад (не більше 0,1 В). Тому І<sup>2</sup>Л-елементи використовують частіше у внутрішніх вузлах ВІС, НВІС і СВІС.

## 2.8. Логічні елементи на польових структурах

На початку 70-х років при розробці логічних схем почали широко використовуватись польові транзистори (ПТ) з індукованим каналом, що стало серйозним конкурентом мікросхемам ТТЛ. Були створені мікросхеми на МОН- та КМОН-структурах.

Так з'явилися МОН- та КМОН-логіка. Ці мікросхеми набули широкого використання через незначне споживання струму, великим входним опором, повним гальванічним розв'язанням входного та вихідного кіл, малим споживанням потужності, високою густиною розміщення елементів. Вони мають широкий діапазон напруг живлення (від 3 до 15 В), що дозволяє виконувати просте поєднання з мікросхемами ТТЛ та операційними підсилювачами.

За способом формування каналу і видом носіїв ПТ базові ЛЕ на МОН-транзисторах з індукованим каналом можуть бути *n*- або *p*-типів і носять назву відповідно *n*МОН- і *p*МОН-структури. *n*МОН-структури мають низку переваг порівняно з *p*МОН. Вони мають більшу швидкодію, бо носіями струму в *n*-структурах є електрони, що мають більшу рухомість ніж дірки, які відіграють таку ж роль в *p*-структурах. Зауважимо, що ПТ *p*-типу відкриваються негативною напругою на заслоні відносно витoku, а *n*-МОН-транзистори – позитивною. Тому для реалізації ЛЕ позитивної логіки зручніше використовувати *n*-канальні транзистори, а для негативної логіки – *p*-канальні. З цих причин логічні елементи *n*МОН зустрічаються частіше, ніж *p*МОН-структур.

### 2.8.1. МОН – логіка

МОН-логіка вигідно відрізняється від ТТЛ зменшеним споживанням енергії.

Інвертор на *n*МОН-структурі наведений на рис. 2.12. Транзистор *VT1* відіграє роль опору навантаження, тобто він має бути певною мірою відкритим. Тому заслін транзистора *VT1* з'єднується з колом живлення  $+E_C$ .

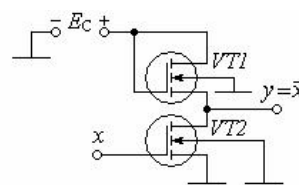


Рис. 9.12. МОН-інвертор

Коли на вхід схеми поданий низький рівень напруги, тобто  $x = 0$ , то транзистор *VT2* закритий, через що вихід *y* відірваний від нуля і на виході інвертора установлюється високий рівень  $y = 1$ . Якщо  $x = 1$ , то транзистор *VT2* відкритий, через що вихід *y* підключений до нуля і тому на виході  $y = 0$ . Так інвертор здійснює реалізацію функції НЕ.

Для створення схеми І (рис. 2.13) транзистори *VT2* та *VT3* з'єднують послідовно. Кількість таких транзисторів збігається з числом *i* входів  $x_i$ .

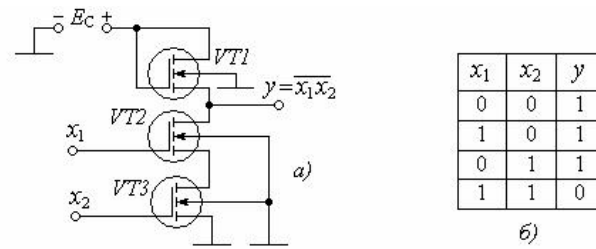


Рис. 9.13. МОН-елемент 2I-НЕ: а – схема, б – таблиця істинності

Як і в інверторі, транзистор  $VT1$  є опором навантаження. Роботу схеми віддзеркалює таблиця істинності (рис. 2.13,б).

Якщо хоча б один із входів  $x_1$  або  $x_2$  нульовий, то або  $VT2$ , або  $VT3$ , або обидва транзистори закриті і відривають вихід  $y$  від нуля. На виході  $y = 1$ . Лише, коли обидва входи одиничні  $x_1 = 1$  та  $x_2 = 1$ , то обидва транзистори  $VT2$  та  $VT3$  відкриті і підключають вихід  $y$  до нуля, тобто  $y = 0$ . Так здійснюється реалізація функції І-НЕ.

Для створення схеми АБО слід  $VT2$  та  $VT3$  з'єднати паралельно відповідно по стоках та витоках (рис. 2.14). Роботу схеми віддзеркалює таблиця істинності (рис. 2.14,б).

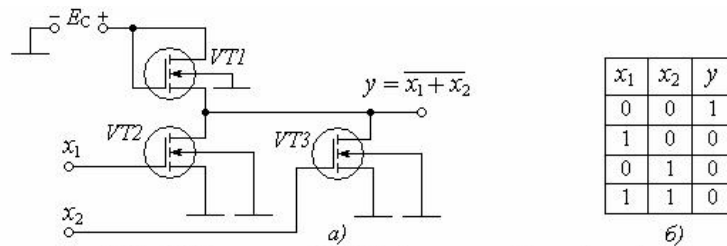


Рис. 9.14. МОН-елемент 2АБО-НЕ: а – схема, б – таблиця істинності

Якщо обидва входи одиничні  $x_1 = 1$  та  $x_2 = 1$ , то обидва транзистори  $VT2$  та  $VT3$  відкриті і підключають вихід  $y$  до нуля, тобто  $y = 0$ . Тільки тоді, коли обидва входи  $x_1$  та  $x_2$  нульові,  $VT2$  та  $VT3$  закриті і відключають вихід  $y$  від нуля. На виході  $y = 1$ . Так здійснюється реалізація функції АБО-НЕ.

Основною перевагою МОН-логіки за ТТЛ є зменшене споживання потужності, бо при  $x = 0$  транзистори  $VT2$  та  $VT3$  закриті і схема не споживає струму.

Недоліком МОН-логіки є певне споживання потужності, бо при одиничних входах транзистори  $VT2$  та  $VT3$  відкриті і схема споживає струм.

Цей недолік усунений в КМОН-логіці.



## 2.8.2. КМОН-логіка

Літера “К” розшифровується як “комплементарний”. Комплементарною називається пара послідовно з’єднаних транзисторів з протилежними типами провідностей:  $p$ -каналом та  $n$ -каналом. Перевагами КМОН-логіки є практична відсутність споживання енергії і простота виготовлення.

Щодо відсутності споживання енергії, то вона забезпечується тим, що з комплементарній парі за будь-якого стану її входу один з двох транзисторів обов’язково закритий, через що комплементарна пара не споживає струму.

Простота виготовлення зумовлена тим, що мікросхеми КМОН-логіки вільні від резисторів, діодів, складних багатомітерних транзисторів і містять лише МОН-транзистори з індукованим каналом. Ці транзистори мають досить високу порогову напругу заслону (до 4 В), що забезпечує певну завадостійкість.

Підвищення завадостійкості пояснюється існуванням порогової напруги заслону, яка досягає кількох вольт. Тому зона невизначеності КМОН-логіки значно більше за схеми ТТЛ. Так при напрузі живлення +10 В зона невизначеності становить 2 В, тобто втричі більше за схеми ТТЛ.

Крім того, мікросхеми КМОН-серій живляться підвищеною напругою (до +15 В). Це дає можливість рознести пороги переключення також на декілька вольт. Результатом є те, що при напрузі живлення +10 В рівень логічного нуля становить  $U_x^0 = 0,5$  В, а рівень логічної одиниці  $U_x^1 = 9,5$  В. Це означає, що логічний елемент КМОН-логіки не чутливий до амплітуди завади, яка не перевищує  $U_{mз} < U_x^1 - U_x^0 = 9,5 - 0,5 = 9,0$  В, тобто завадостійкість КМОН-логіки майже у шість разів вище за ТТЛ.

Найпростішим елементом МОН-логіки є інвертор. Він складається лише з однієї комплементарної пари. Схема інвертора наведена на рис. 2.15. До складу інвертора надходять два МОН-

транзистори з різними провідностями:  $VT1$  з  $p$ -каналом та  $VT2$  з  $n$ -каналом. Ці транзистори і створюють комплементарну пару, в якій входом  $x$  є з’єднання заслонів, а виходом  $y$  – з’єднання стоків.

Транзистори відкриваються, якщо між заслоном та підшарком прикладена одинична напруга, і закриваються, якщо ця напруга нульова.

Інвертор працює наступним чином.

Якщо на вході діє рівень логічного нуля ( $x = 0$ ), то транзистор  $VT1$  буде відкритим, бо напруга “заслін-підшарок” цього транзистора одинична (заслін нульовий, підшарок одиничний). Щодо транзистора  $VT2$ , то він закритий, бо напруга “заслін-підшарок” для нього дорівнює нулю. Закритий транзистор  $VT2$  відключає вихід  $y$  від нульової шини, тобто від логічного нуля, а відкритий  $VT1$  підключає вихід  $y$  до  $+E_C$ , тобто до одиниці ( $y = 1$ ).

Якщо на вході логічна одиниця ( $x = 1$ ), то транзистор  $VT1$  закриється, бо напруга “заслін-підшарок” для нього нульова, а транзистор  $VT2$  відкриється через те, що напруга “заслін-підшарок” для нього одинична.

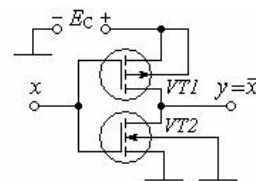


Рис. 9.15.

КМОН-інвертор

Закритий транзистор  $VT1$  відключає вихід  $y$  від напруги  $+E_C$ , тобто від логічної одиниці, а відкритий транзистор  $VT1$  підключає вихід  $y$  до нульової шини, тобто до логічного нуля ( $y = 0$ ). Так здійснюється функція НЕ. В обох випадках і при  $x = 0$ , і при  $x = 1$  один із транзисторів або  $VT1$ , або  $VT2$  обов'язково закритий.

Через це логічні елементи КМОН-логіки практично не споживають струму.

Таким чином, можна зробити висновок, що в статистичному режимі схеми на КМОН-структурах практично не споживають потужності. Практично тому, що в момент, коли рівень вихідної напруги змінюється від 0 до 1, має місце коротка тривалість часу, коли обидва транзистори  $VT1$  та  $VT2$  відкриті і від кола живлення  $+E_C$  споживається помітний струм. Однак це явище впливає на споживану потужність тільки на занадто високих частотах.

Розглянемо мікросхеми для реалізації останніх двох функцій бульового базису.

На рис. 2.16 наведена схема І-НЕ на КМОН-структурах, тобто на комплементарних парах МОН-транзисторів.

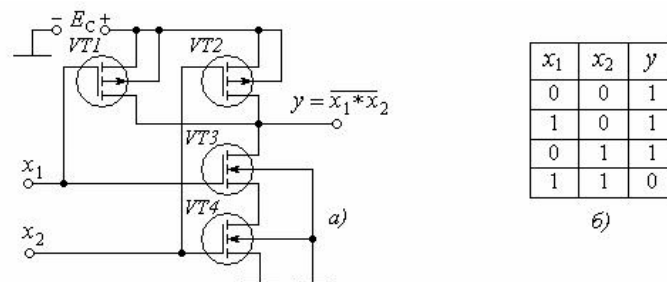


Рис. 9.16. КМОН-елемент 2І-НЕ: а – схема; б – таблиця істинності

Комплементарні пари створюють ті транзистори, заслони яких з'єднані. Тут комплементарними парами є  $VT1$  та  $VT3$  і  $VT2$  та  $VT4$ . В цих парах за будь-якого стану заслону один із транзисторів обов'язково закритий, бо транзистори комплементарної пари мають протилежні провідності. Тому комплементарні пари не споживають струму.

Роботу схеми віддзеркалює таблиця істинності (рис. 2.16,б).

Якщо хоча б один з входів  $x_1$  або  $x_2$  нульовий, то або  $VT3$ , або  $VT4$ , або обидва транзистори закриті, бо напруга “заслін-підшарок” цих транзисторів нульова. Закриті  $VT3$ ,  $VT4$  відривають вихід  $y$  від нуля. Проте напруга “заслін-підшарок” транзисторів  $VT1$  та  $VT2$  одинична, через що вони відкриті і підключають вихід  $y$  до  $+E_C$ , тобто до одиниці. На виході  $y = 1$ .

Коли ж обидва входи одиничні і  $x_1 = 1$ , і  $x_2 = 1$ , то напруга “заслін-підшарок” транзисторів  $VT1$  та  $VT2$  нульова, через що вони закриті і відключають вихід  $y$  від  $+E_C$ , тобто від одиниці. Проте напруга “заслін-підшарок” транзисторів  $VT3$  та  $VT4$  одинична, через що вони відкриті і

підключають вихід  $y$  до нуля, тобто  $y = 0$ . Так здійснюється реалізація функції 2І-НЕ.

На рис 2.17 наведена схема 2АБО-НЕ.

Тут комплементарними парами є  $VT1$  та  $VT2$  і  $VT3$  та  $VT4$ .

Роботу схеми віддзеркалює таблиця істинності (табл. 2.5).

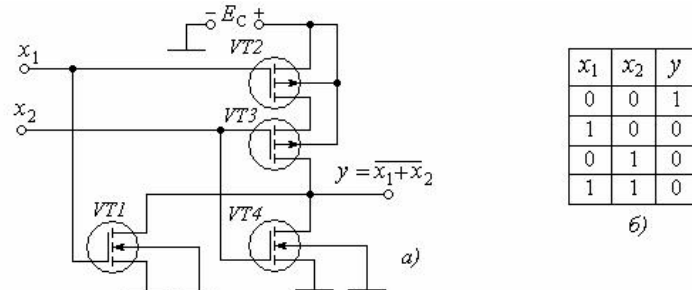


Рис. 9.17. КМОП-елемент 2АБО-НЕ: а – схема; б – таблиця істинності

При обох нульових входах ( $x_1 = 0$ ;  $x_2 = 0$ ) напруга “заслін-підшарок” транзисторів  $VT1$  та  $VT4$  нульова, через що вони закриті і відривають вихід  $y$  від нуля. Проте напруга “заслін-підшарок” транзисторів  $VT2$  та  $VT3$  одинична, через що вони відкриті і підключають вихід  $y$  до  $+E_C$ , тобто  $y = 1$ .

Якщо хоча б один з входів  $x_1$  або  $x_2$  одиничний, то або  $VT1$ , або  $VT4$ , або обидва транзистори відкриті, бо напруга “заслін-підшарок” цих транзисторів одинична. Відкриті  $VT1$ ,  $VT4$  підключають вихід  $y$  до нуля, тобто  $y = 0$ . Так здійснюється функція 2АБО-НЕ.

## 2.9. Логічний елемент з трьома станами

Логічний елемент з трьома станами або тристановий драйвер, або тристановий буфер має на виході, крім звичайних двох станів 0 і 1, третій, який носить назву Z-стану. Третій стан – це стан великого вихідного опору, який становить сотні кілоом, тобто практично є діелектриком.

Потреба створення елементів з трьома вихідними станами виникла при організації процесорних систем із загальними шинами обміну даними між пристроями, які входять до складу системи. По одній і самій же шині можна як приймати, так і передавати дані.

Одна із схем тристанового драйвера (надалі: драйвер), тобто елемента з трьома станами наведена на рис. 2.18, а, а її умовне позначення – на рис. 2.18, б. Третій стан визначається входом  $EZ$ , який називається керуючим.

Роботу схеми пояснює таблиця істинності (рис. 2.18, в), у якій хрестиком X позначена незалежність вихідного рівня  $y$  від стану входу  $x$ . Ключ на  $VT1$  забезпечує третій стан, а перемикач на  $VT2$ ,  $VT3$  здійснює перемикання виходу  $y$  до логічних або нуля, або одиниці.

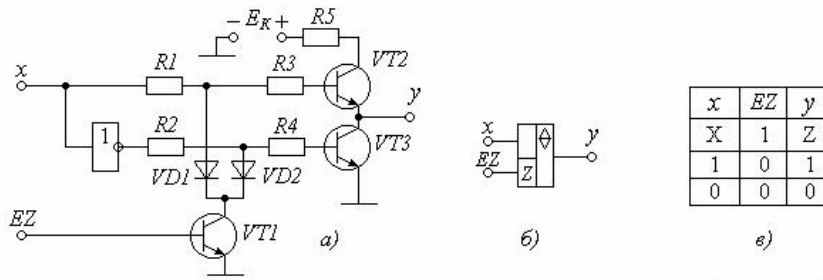


Рис. 9.18. Драйвер на БТ: а – схема; б – умовне позначення, в – таблиця істинності

Драйвер працює наступним чином.

Якщо  $EZ = 0$ , то транзистор  $VT1$  закритий і не впливає на роботу схеми, яка є наступною.

При  $x = 0$  транзистор  $VT2$  закритий і відриває вихід  $y$  від  $+E_K$ , тобто від логічної одиниці. Проте через наявність інвертора 1 транзистор  $VT3$  відкритий і підключає вихід  $y$  до землі, тобто до логічного нуля ( $y = 0$ ).

При  $x = 1$  стан транзисторів  $VT2, VT3$  змінюється на протилежний, через що  $y = 1$ .

Коли ж  $EZ = 1$ , то транзистор  $VT1$  відкривається і через діоди  $VD1, VD2$  закорочує кола баз  $VT2, VT3$  на нуль. Обидва транзистори  $VT2, VT3$  закриваються і на виході  $y$  встановлюється високий опір.

Якщо виходу будь-якого логічного елементу треба надати третій стан, то до виходу цього елементу треба підключити вхід  $x$  драйвера, як це показано на рис. 2.19.

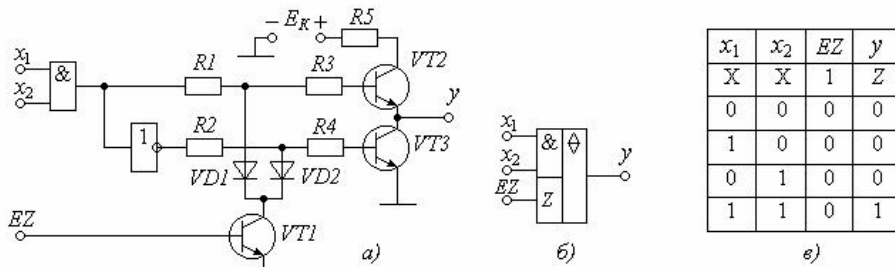


Рис. 9.19. Логічний елемент 2І з драйвером: а – схема; б – умовне позначення в – таблиця істинності

Роботу схеми пояснює таблиця істинності (табл. 2.19, в).

Активним керуючим сигналом, може бути також логічний нуль, тобто

керуючий вхід може бути інверсним  $EZ$ , якщо керуючі сигнали вибираються за законами негативної логіки.

На рис. 2.20 наведена схема тристанового драйвера на КМОН-структурах з інверсним керуючим входом  $EZ$ .

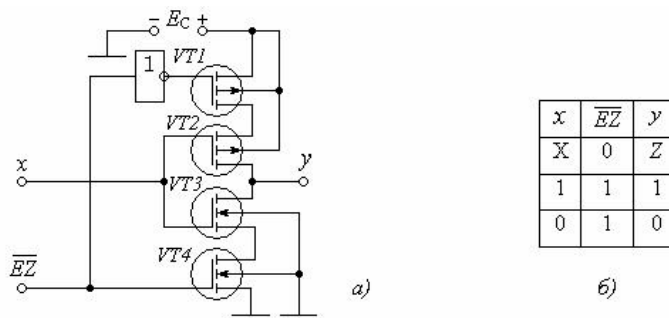


Рис. 9.20. Драйвер на КМОН-структурах: а – схема; б – таблиця істинності

Схема є КМОН-інвертором на транзисторах  $VT2$ ,  $VT3$ , який доповнений  $n$ - і  $p$ -МООН ключами  $VT1$  та  $VT4$  відповідно. Ці ключі забезпечують  $Z$ -стан наступним чином.

Роботу схеми віддзеркалює таблиця істинності (рис. 2.20,б), в якій хрестиком  $X$  позначена незалежність вихідного рівня  $y$  від стану входу  $x$ .

і стан  $Z$  схема переходить тоді, коли  $\overline{EZ} = 0$ , через що обидва ключі  $VT1$  і  $VT4$  закриті.

При цьому закритий ключ  $VT1$  обриває коло живлення, тобто логічну одиницю, а закритий  $VT4$  обриває коло логічного нуля. Так вихід інвертора  $y$  відключений і від нульового, і від одиничного рівнів, тобто має високий вихідний опір.

Якщо на вхід  $\overline{EZ}$  подано логічну одиницю, то обидва ключі  $VT4$  і  $VT1$  відкриті і схема виконує функцію інвертора. Хоча тристанові драйвери на КМОН-структурах мають швидкодію меншу за ТТЛ драйверів, у стані  $Z$  вони забезпечують практично ідеальну розв'язку, бо вихідний опір більше 10 МОм.

Елементи з трьома станами виходу розроблені спеціально для використання як вихідних керованих буферів для підключення цифрових блоків до магістральних шин. Буфери з трьома станами виходу носять назву *шинних драйверів*.

## 2.10. Узгодження логічних мікросхем

*Узгодження логічних мікросхем* передбачає забезпечення спільної роботи мікросхем різноманітних серій, наприклад, ТТЛ і КМОН.

Мікросхеми розглянутих серій відрізняються багатьма ознаками. При проектуванні цифрових пристроїв досить часто треба розв'язувати задачі, які зв'язані з сумісним застосуванням різноманітних серій мікросхем, що викликає значні труднощі.

Узгодження різних типів мікросхем зв'язане в першу чергу з не обхідністю узгодження вхідних та вихідних рівнів напруги, тобто рівнів логічного

нуля та логічної одиниці при різних напругах живлення; вхідних та вихідних струмів; забезпечення заданих рівнів завадостійкості. Для розробки питань узгодження треба враховувати основні параметри тієї чи іншої серії.

Типові електричні параметри базових ЛЕ наведені в табл. 2.1.

Т а б л и ц я 2.1

**Параметри логічних елементів**

Тип ЛЕ	$U^1$ , 1вх	$U^0$ , 1вх	$I_{1\text{вих}}$	$I^0$ , вих	$I^1$ , вх	$I^0$ , вх	$E_{\text{ж}}$ , В
ТТЛ	2,5...4,0	$\leq 0,4$	0,5...1,0	$\leq 20$	$\leq 0,15$	$\leq 2$	+5
$\Gamma^2$ Л	0,7...0,9	$\leq 0,1$	0	$\leq 0,02$	0	$\leq 0,05$	+1,5
ЕЗЛ	0,75...0,9	1,8	5...20	$\leq 0,2$	$\leq 0,2$	0	-5,2
p- МОН	-1	$\geq -8$	2	$\leq 3$	$10^{-3}$	$10^{-3}$	-12
n- МОН	$\geq 8$	$\leq 1$	3	$\leq 5$	$10^{-3}$	$10^{-3}$	+12
КМОН	$\geq 0,95$ $E_{\text{ж}}$	$\leq 0,5$	2	$\leq 3$	$10^{-3}$	$10^{-3}$	5...15

Таблиця містить наступні основні параметри :

$U^1$  – вхідна напруга логічної одиниці;

$I_{\text{вих}}^1$  – вихідний струм логічної одиниці, який може бути відданий у навантаження;

$I_{\text{вих}}^0$  – вихідний струм логічного нуля, який можна відібрати від навантаження;

$I_{\text{вх}}^1$  – вхідний струм логічної одиниці;

$I_{\text{вх}}^0$  – вхідний струм логічного нуля;

$E_{\text{ж}}$  – напруга живлення.

Пристрої, за допомогою яких виконується узгодження різноманітних серій, називають *перетворювачами* або *трансляторами рівнів*. Особливою відзнакою перетворювачів є те, що рівні їхніх вхідних та вихідних сигналів завжди різні. На практиці особливий інтерес викликають перетворювачі рівнів найбільш часто використовуваних мікросхем, наприклад, ТТЛ та КМОН.

Для логічних елементів КМОН вхідний струм практично відсутній при зміні  $U_{\text{вх}}$  від 0 до 15 В (струм зворотно зміщеного витоку  $< 10^{-5}$  мкА), а вихідний струм відкритих транзисторів обмежується на рівні декількох міліампер.

Щодо логічних елементів ТТЛ, то їхній вихідний струм може досягати 16 мА. Тому елементи ТТЛ і КМОН можна з'єднувати тільки через схеми узгодження, що враховують зазначену різницю струмів.

При узгодженні ТТЛ-КМОН або КМОН-ТТЛ можуть зустрічатися наступні варіанти:

– узгодження ТТЛ-КМОН, якщо напруга живлення КМОН серії значно більша за мікросхеми серії ТТЛ;

– узгодження КМОН-ТТЛ, якщо напруга живлення КМОН серії значно більша за мікросхеми серії ТТЛ.

В разі єдиного кола живлення  $+5\text{ В}$  для мікросхем серій ТТЛ та КМОН узгодження виконується без додаткових елементів. До виходу логічного елемента ТТЛ можна підключити вхід елемента КМОН. Оскільки на вході КМОН струм надто малий, то узгодження забезпечується автоматично. Для підвищення завадостійкості на виході ЛЕ ТТЛ між його виходом і джерелом напруги  $+E_{\text{ж}}$  слід включити резистор з опором до  $5\text{ кОм}$  в залежності від типу мікросхеми ТТЛ.

Коли напруга живлення КМОН серії значно більша, ніж мікросхем ТТЛ, наприклад,  $E_{\text{ТТЛ}} = 5\text{ В}$ , а  $E_{\text{КМОН}} = 10\text{ В}$ , то узгодження ТТЛ-КМОН треба виконувати за схемою, яка наведена на рис. 2.21.

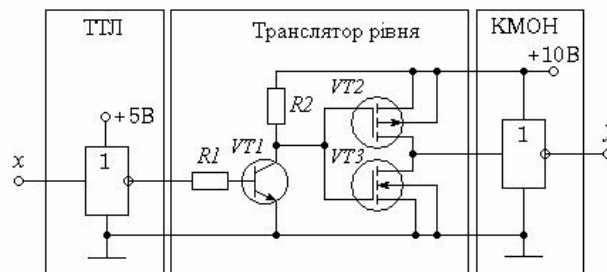


Рис. 9.21. Узгодження мікросхем ТТЛ-КМОН

Замість транзистора  $VT1$  в схемі транслятора можна використовувати логічний елемент з відкритим колектором.

Опір резистора  $R2$  в цьому випадку не має принципового значення і вибирається в межах  $10 \dots 100\text{ кОм}$ .

Узгодження мікросхем КМОН-ТТЛ, якщо напруга живлення КМОН-серії значно більша, ніж мікросхем ТТЛ, виконується, як показано на схемі (рис. 2.22).

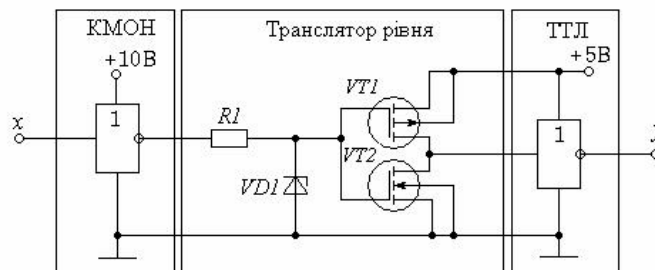


Рис. 9.22. Узгодження мікросхем КМОН – ТТЛ

Транслятор рівня містить обмежувач напруги на резисторі  $R1$  та стабілітроні  $VD1$  з напругою стабілізації 5,1 В. Цей обмежувач має знизити напругу до 5,1 В, щоб транзистор  $VT1$  надійно закривався. Щодо інших мікросхем, то якщо вони мають однакові рівні відповідно входних та вихідних напруг, узгодження не потрібне.

## 2.11. Правила схемного включення елементів

Обмеження за навантажувальною здатністю елементів визначає число входів елементів аналогічної серії, яке можна підключити до виходу даного елемента. При підвищенні навантаження понад визначеного вихідні параметри не гарантуються. Невикористані входи схем мають бути підключеними. В ТТЛ і ТТЛШ серіях сигнали від непідключених входів сприймаються як логічні одиниці. Якщо залишити входи непідключеними, то виникаючі при цьому додаткові заряди бази затримують на деякий час переключення логічного елемента по інших працюючих входах.

ТТЛ і ТТЛШ невикористані  $x$ -входи або поєднують з іншими використаними входами (рис. 2.23,а), або підключають до джерела логічної одиниці.

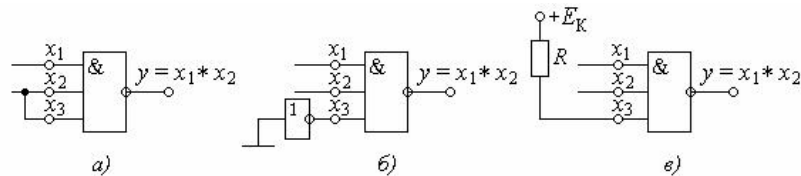


Рис. 9.23. Підключення схеми ТТЛ або ТТЛШ з невикористаним входом  $x_3$ :  
 а – з поєднаними входами; б – з підключенням до виходу логічного елемента;  
 в – з підключенням до джерела напруги через резистор

Таким джерелом може бути вихід логічного елемента, наприклад, НЕ, вхід якого підключений до нульового потенціалу (рис. 2.23,б), або резистор  $R$

е опором до 5 кОм, підключений до джерела напруги +5 В (рис. 2.23,в). До такого резистора можна підключати до 20 невикористаних входів.

КМОН елементах непідключеним не можна залишати жодного входу, бо при цьому відповідний транзистор залишиться без напруги “заслін-підшарок” і схема стане непрацездатною. В серіях КМОН невикористані входи можна підключати до джерела напруги безпосередньо без резисторів. Як і в ТТЛ елементах, невикористані входи можна поєднувати з робочими.

Невикористані входи схем АБО в будь-яких серіях треба підключати до логічного нуля.

Якщо деякі елементи, що входять до складу корпусу мікросхеми, не використовуються, то на їхні входи треба подавати такий потенціал, за якого на виході устанавлюється логічна одиниця. При такому стані елемент споживає меншу потужність і його можна використовувати як джерело логічної одиниці.



До найважливіших проблем цифрової схемотехніки є питання захисту елементів від завад та шумів. Значну роль у цій проблемі відіграють конструкція пристрою і монтаж окремої мікросхеми. Причин появи внутрішніх і зовнішніх завад та шумів є досить багато. Основними джерелами їхнього виникнення є кола живлення і заземлення, вхідні й вихідні кола сигналу.

Внутрішній власний шум (крім теплового) можна зменшити раціональним розміщенням елементів на платі, фільтрацією та екрануванням.

Ситуація ускладнюється, коли сигнали треба приймати або передавати за межами плати. Досить складна вона і тоді, коли сама плата має значну площу. В цих випадках треба секціонувати шини “земля” так, щоб вузли великої потужності мали б свою землю, а малої потужності – свою. Ці шини мають об’єднуватись в одній і самій тій точці, яка заземляється. Крім того необхідно зменшувати паразитну індуктивність земельних шин збільшенням їхньої площі та їх скороченням.

Завади зростають і при передаванні цифрових сигналів на відстань.

Вони стають більш інтенсивними внаслідок збільшення погонної реактивності провідників. Інтен-

сивність завад визначається також властивостями лінії зв’язку.

Для узгодження лінії значної довжини рекомендовано як передавач на передавальному кінці (рис. 2.24) використовувати логічні елементи з відкритим колектором

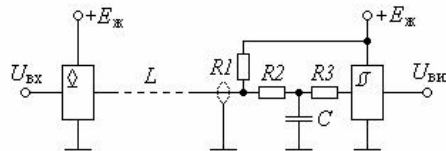


Рис. 9.24. Захист від завад при передаванні сигналу на відстань

(стоком), а приймачем може бути ЛЕ на тригері Шмітта (про тригер Шмітта йдеться нижче). При цьому резистор навантаження  $R1$  слід включати на приймальний кінці. При занадто високих рівнях завад ( $> 2$  В) треба включати фільтруючі кола, наприклад,  $R2$ ,  $C$ ,  $R3$ .

Вищу завадостійкість можна одержати при застосуванні симетричної лінії. Такою лінією може бути скручена пара однотипних проводів. Для симетричної лінії передавач і приймач повинні мати диференційні вихід і вхід відповідно.

Захистити цифрові схеми від завад та шумів можна за допомогою синхронізуючих сигналів. Синхронізація допомагає уникнути небажаних процесів спрацьовування пристроїв від завад  $x_3$  (рис. 2.25,а).

Алгоритмом прийому сигналів без синхронізації є

$$y = x, \quad (2.10)$$

тобто, що на вході ЛЕ, то й на його виході. Незважаючи на те, що сигнал  $x_c$  (рис. 2.25, а) з’являється лише в момент  $t_2$ , ЛЕ спрацює в момент  $t_1$  від завади  $x_3$ . Таким чином, система без синхронізації ніяк не захищена від завад.

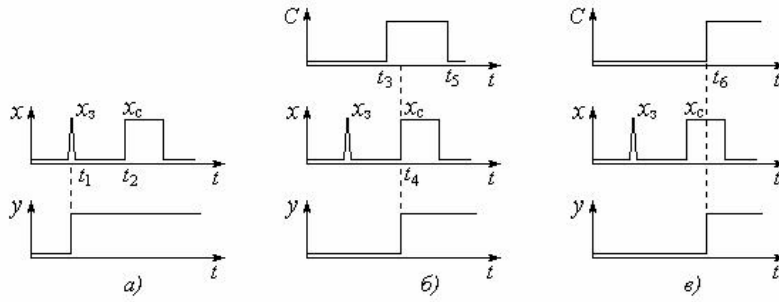


Рис. 9.25. Прием цифровых сигналов: а — без синхронизации, б — с синхронизацией уровнем, в — с синхронизацией перепадом

Цей суттєвий недолік значною мірою усунений в системі із синхронізацією.

Існують два способи синхронізації: рівнем та перепадом.

При синхронізації рівнем спрацювання ЛЕ можливе протягом усього часу ( $t_3 \dots t_5$ ) дії дозволяючого рівня синхросигналу  $C$  (рис. 2.25,б).

Алгоритмом прийому сигналів із синхронізацією рівнем є функція логічного множення рівня синхронізації  $C$  та входу  $x$ :

$$y = C \wedge x = C \cdot x = 1, \quad (2.11)$$

тобто ЛЕ може спрацювати тільки під час ( $t_3 \dots t_5$ ) дії одиничного рівня синхросигналу  $C$ . Тому, якщо завада  $x_3$  знаходиться поза межами цього часу, то вона не сприймається пристроєм. ЛЕ спрацює тільки тоді, коли з'явиться сигнал  $x_c$  у момент  $t_4$ . Оскільки час ( $t_3 \dots t_5$ ) дозволу прийому обмежений, то спрацювання від завад зменшене.

Так, синхронізація рівнем підвищує завадостійкість. Ще вищу завадостійкість забезпечує синхронізація перепадом (див. рис. 2.25,в).

Алгоритмом прийому сигналів із синхронізацією перепадом є функція логічного множення похідної рівня синхронізації  $C$  та входу  $x$ :

$$y = \frac{dC}{dt} \wedge x = \frac{dC}{dt} \cdot x = 1, \quad (2.12)$$

тобто ЛЕ може спрацювати тільки в момент  $t_6$  дії фронту  $C$ . За межами цього фронту ЛЕ нечутливий до будь-яких завад. Оскільки час дозволу спрацювання скорочений до одного моменту, то завадостійкість висока.

При використанні обох методів синхронізації треба на сигнальних входах  $x_c$  ставити логічні елементи з порогом спрацювання, наприклад, тригери Шмітта.

Виходи мікросхем, які передають сигнали за межі плати або цифрової системи треба буферувати за допомогою спеціальних мікросхем-буферів.

Це допомагає уникнути явища інтерференції завади і корисного сигналу, а також придушує викиди струму на неузгодженій лінії.

Зменшити вплив завад та шумів значною мірою допомагає раціональне розміщення шин напруг живлення та земель приладу. Ці питання досить складні і їм присвячено багато книг та статей. Але ж, для кожного випадку, для кожного приладу завадостійкість забезпечується своїми конкретними засобами залежить від знання та інженерної ерудиції розробника схем.