

# ЛЕКЦІЯ 5

---

*Логічні елементи та фізичні основи цифрової логіки*

# 1. Від булевої функції до фізичної цифрової схеми

Булева функція задає залежність вихідного логічного значення від набору вхідних значень. На математичному рівні змінні набувають лише двох значень — 0 і 1, а операції описуються формулами та таблицями істинності. Проте реальний цифровий пристрій повинен фізично сформувати ці значення за допомогою електричних сигналів. Логічний елемент (logic gate) є електронною схемою, що реалізує певну булеву операцію над одним або кількома входами.

Цифрову функцію доцільно розглядати на трьох взаємопов'язаних рівнях. Функціональний рівень описує поведінку формулою або таблицею істинності. Структурний рівень показує логічні елементи та зв'язки між ними. Фізичний рівень пояснює, як транзистори, напруги та струми створюють логічні стани. Ці рівні описують одну систему, але відповідають на різні запитання: що повинна робити функція, як вона розкладена на операції та як ці операції реалізовано в електроніці.

Правильність цифрової схеми також має кілька складових. Функціональна правильність означає збіг виходу з таблицею істинності. Електрична правильність вимагає сумісності рівнів напруги, допустимих струмів і навантажень. Часова правильність означає, що сигнали встигають стабілізуватися до моменту їх використання. Схема може правильно обчислювати функцію в ідеальній моделі, але бути ненадійною фізично через недостатній запас завадостійкості, надмірне навантаження або велику затримку.

У комбінаційній логіці (combinational logic) сталий вихід визначається поточними значеннями входів і не залежить від попереднього стану. Пам'ять у такій моделі відсутня. Водночас після зміни входів реальна схема проходить короткий перехідний процес: транзистори перемикаються, а внутрішні та зовнішні ємності заряджаються або розряджаються. Тому новий вихід устатковується не миттєво.

## 2. Інтерфейс логічного елемента

Логічний елемент має функціональні входи, один або кілька виходів і виводи живлення. Входи приймають сигнали від попередніх вузлів. Вихід формує результат операції та керує наступними входами. VDD — додатна шина живлення цифрової схеми. GND (ground — земля) — опорний низький потенціал, відносно якого вимірюються інші напруги. На спрощених логічних схемах VDD і GND часто не показують, але фізичний компонент без них працювати не може.

Графічний символ логічного елемента приховує внутрішню транзисторну структуру. Наприклад, символ AND показує два входи та вихід, але не відображає десятки можливих внутрішніх деталей. Така абстракція дозволяє спочатку аналізувати функцію, не переходячи одразу до електронної реалізації.

Вхід не є ідеальним спостерігачем. Він має вхідну ємність і невеликі струми витоку. Вихід також не є ідеальним джерелом напруги: він має скінченний опір і обмежену здатність віддавати або приймати струм. Тому кількість входів, якими може керувати один вихід, є обмеженою.

Floating input — плаваючий вхід — це вхід, не під'єднаний до визначеного логічного рівня. Він може змінювати стан під дією завад і паразитних зарядів. Невикористані входи під'єднують до визначеного рівня відповідно до технічної документації. Два звичайні виходи також не з'єднують безпосередньо: якщо один формує HIGH, а інший LOW, виникає contention — конфлікт керування, який може спричинити неправильну напругу та значний струм.

## 3. Основні логічні елементи

Базові логічні операції реалізуються стандартними елементами зі специфічними графічними символами. NOT зображається трикутником з інверсійною бульбашкою. AND має пласку вхідну та заокруглену вихідну частину. OR має вигнуту вхідну сторону й загострену вихідну. XOR відрізняється від OR додатковою дугою біля входів. NAND, NOR і XNOR мають форми відповідних базових елементів, доповнені бульбашкою на виході.

| Позначення | Українська назва | Функція               | Умова виходу 1             |
|------------|------------------|-----------------------|----------------------------|
| NOT        | НЕ, інвертор     | $\bar{A}$             | 1, якщо A=0                |
| AND        | І, кон'юнктор    | $A \wedge B$          | 1 лише для A=B=1           |
| OR         | АБО, диз'юнктор  | $A \vee B$            | 1, якщо хоча б один вхід 1 |
| XOR        | Виключне АБО     | $A \oplus B$          | 1, якщо входи різні        |
| NAND       | І-НЕ             | інверсія $A \wedge B$ | 0 лише для A=B=1           |
| NOR        | АБО-НЕ           | інверсія $A \vee B$   | 1 лише для A=B=0           |
| XNOR       | Еквівалентність  | інверсія $A \oplus B$ | 1, якщо входи однакові     |

### 3.1. Інвертор NOT

NOT (НЕ), або інвертор (inverter), має один вхід A і один вихід. Результат є протилежним до входу: при A=0 вихід  $\bar{A}=1$ , а при A=1 вихід  $\bar{A}=0$ . Надрискова риска безпосередньо над змінною позначає логічне заперечення. На стандартному схемному символі заперечення показує мала бульбашка на виході.

| A | $\bar{A}$ |
|---|-----------|
| 0 | 1         |
| 1 | 0         |

Закон подвійного заперечення стверджує, що інверсія інверсії повертає початкове значення. На функціональному рівні два послідовні NOT можна скоротити. На фізичному рівні два інвертори залишаються двома окремими каскадами: вони додають затримку, споживають енергію та можуть збільшувати здатність керувати навантаженням. Саме тому пара інверторів іноді використовується як неінвертувальний буфер.

### 3.2. Елемент AND

AND (І), або кон'юнктор, формує 1 лише за одночасної одиниці на всіх входах. Для двох змінних функція записується  $F=A \wedge B$ . Якщо хоча б один вхід дорівнює 0, вихід дорівнює 0. Кон'юнкція описує ситуації, у яких мають одночасно виконуватися всі обов'язкові умови.

| A | B | $A \wedge B$ |
|---|---|--------------|
| 0 | 0 | 0            |
| 0 | 1 | 0            |
| 1 | 0 | 0            |
| 1 | 1 | 1            |

Для  $n$ -входового AND одиниця існує лише в одному рядку таблиці — коли всі  $n$  входів дорівнюють 1. Булеві закони  $A \wedge 1 = A$  та  $A \wedge 0 = 0$  показують, що одиниця не змінює сигнал, а нуль повністю блокує кон'юнкцію. Закон  $A \wedge A = A$  означає, що повторення однакового входу не змінює функцію.

### 3.3. Елемент OR

OR (АБО), або диз'юнктор, формує 1, якщо хоча б один вхід дорівнює 1. Для двох входів  $F = A \vee B$ . Це включне АБО: набір 11 також дає 1. Елемент використовується для об'єднання альтернативних причин однієї події, наприклад, коли тривогу може активувати будь-який із кількох датчиків.

| A | B | $A \vee B$ |
|---|---|------------|
| 0 | 0 | 0          |
| 0 | 1 | 1          |
| 1 | 0 | 1          |
| 1 | 1 | 1          |

Для  $n$ -входового OR існує лише один рядок із нульовим виходом — набір усіх нулів. Закони  $A \vee 0 = A$  та  $A \vee 1 = 1$  показують, що нуль не змінює вхід, а одиниця активує результат незалежно від інших входів. Закон  $A \vee A = A$  дозволяє усувати повторення однакової умови.

### 3.4. XOR та XNOR

XOR (exclusive OR — виключне АБО) для двох входів дорівнює 1, коли входи різні. XNOR (exclusive NOR — виключне АБО з інверсією), або еквівалентність, дорівнює 1, коли входи однакові. XOR є детектором нерівності, а XNOR — детектором рівності.

| A | B | XOR: $A \oplus B$ | XNOR |
|---|---|-------------------|------|
| 0 | 0 | 0                 | 1    |
| 0 | 1 | 1                 | 0    |
| 1 | 0 | 1                 | 0    |
| 1 | 1 | 0                 | 1    |

XOR має безпосередній зв'язок із двійковим додаванням. Якщо додаються два однорозрядні числа без вхідного перенесення, біт суми дорівнює  $A \oplus B$ , а перенос —  $A \wedge B$ . Для більш ніж двох входів XOR дорівнює 1, якщо кількість одиниць непарна. Тому багатовходовий XOR застосовується у схемах контролю парності.

Фразу «XOR дорівнює 1, коли входи різні» можна застосовувати лише до двох входів. Для трьох входів неможливо, щоб усі двійкові значення були попарно різними. Коректним узагальненням є непарність кількості одиниць.

### 3.5. NAND і NOR

NAND (І-НЕ) є інверсією AND. Спочатку обчислюється  $A \wedge B$ , після чого результат інвертується. Вихід NAND дорівнює 0 лише для набору 11. NOR (АБО-НЕ) є інверсією OR та дорівнює 1 лише для набору 00.

$$\overline{A \wedge B} \text{ — NAND}$$

$$\overline{A \vee B} — NOR$$

Довжина надрискової риски визначає область дії заперечення. Якщо риска охоплює весь вираз  $A \wedge B$ , інвертується результат кон'юнкції. Якщо риска розміщена лише над  $B$ , інвертується тільки змінна  $B$ , а потім вона бере участь у  $AND$ . Це різні булеві функції з різними таблицями істинності.

### 3.6. Порівняння двовходових елементів

| A | B | AND | OR | XOR | NAND | NOR | XNOR |
|---|---|-----|----|-----|------|-----|------|
| 0 | 0 | 0   | 0  | 0   | 1    | 1   | 1    |
| 0 | 1 | 0   | 1  | 1   | 1    | 0   | 0    |
| 1 | 0 | 0   | 1  | 1   | 1    | 0   | 0    |
| 1 | 1 | 1   | 1  | 0   | 0    | 0   | 1    |

Стовпці  $AND$  і  $NAND$  є взаємними інверсіями. Аналогічно  $OR$  протилежний  $NOR$ , а  $XOR$  —  $XNOR$ .  $OR$  та  $XOR$  відрізняються лише для набору 11: включне  $OR$  дає 1, а  $XOR$  дає 0, оскільки входи однакові. Таке порівняння є швидким способом перевірки таблиці.

## 4. Перехід від булевої формули до схеми

Структура булевої формули безпосередньо визначає структуру логічної схеми. Дужки й пріоритети утворюють дерево операцій. Вхідні змінні є листками дерева, логічні операції — внутрішніми вузлами, а остання операція формує корінь і фінальний вихід.

1. Виділити внутрішні підвирази та операції найвищого пріоритету.
2. Надати результатам підвиразів імена проміжних сигналів  $X$ ,  $Y$ ,  $Z$ .
3. Замінити кожну операцію відповідним стандартним логічним елементом.
4. З'єднати виходи елементів із входами наступних елементів відповідно до формули.
5. Побудувати таблицю істинності з проміжними стовпцями та перевірити всі набори.

Проміжні сигнали спрощують перевірку. Якщо фінальний результат неправильний, вони дозволяють визначити конкретний вузол, у якому з'явилась помилка. Однаковий підвираз, що повторюється кілька разів, можна обчислити один раз і розгалузити його вихід, якщо допустимий fan-out не порушено.

### 4.1. Детальний приклад $F=(A \wedge B) \vee \overline{C}$

Формула містить три операції. Спочатку  $AND$  формує  $X=A \wedge B$ . Паралельно  $NOT$  формує  $Y=\overline{C}$ . Фінальний  $OR$  об'єднує  $X$  та  $Y$ :  $F=X \vee Y$ . Операції  $AND$  і  $NOT$  виконуються в різних гілках, тому не є послідовними одна відносно одної.

1.  $X=A \wedge B$  — проміжний результат кон'юнкції.
2.  $Y=\overline{C}$  — інверсія третього входу.
3.  $F=X \vee Y$  — об'єднання двох проміжних результатів.
4. Шляхи  $A \rightarrow AND \rightarrow OR$ ,  $B \rightarrow AND \rightarrow OR$  та  $C \rightarrow NOT \rightarrow OR$  мають по два логічні рівні.

| A | B | C | $X=A \wedge B$ | $Y=\overline{C}$ | $F=X \vee Y$ |
|---|---|---|----------------|------------------|--------------|
| 0 | 0 | 0 | 0              | 1                | 1            |
| 0 | 0 | 1 | 0              | 0                | 0            |

| A | B | C | $X=A \wedge B$ | $Y=\overline{C}$ | $F=X \vee Y$ |
|---|---|---|----------------|------------------|--------------|
| 0 | 1 | 0 | 0              | 1                | 1            |
| 0 | 1 | 1 | 0              | 0                | 0            |
| 1 | 0 | 0 | 0              | 1                | 1            |
| 1 | 0 | 1 | 0              | 0                | 0            |
| 1 | 1 | 0 | 1              | 1                | 1            |
| 1 | 1 | 1 | 1              | 0                | 1            |

Для набору 000:  $X=0 \wedge 0=0$ ,  $Y=\overline{0}=1$ ,  $F=0 \vee 1=1$ . Для 011:  $X=0 \wedge 1=0$ ,  $Y=\overline{1}=0$ , тому  $F=0$ . Для 110:  $X=1 \wedge 1=1$ ,  $Y=\overline{0}=1$ , тому  $F=1$ . Для 111:  $X=1$ ,  $Y=0$ , але OR формує  $F=1$ . Проміжні стовпці таблиці точно повторюють вузли схеми.

Якщо X і Y правильні, але F не збігається, проблема пов'язана з фінальним OR або його з'єднаннями. Якщо неправильним є X, перевіряються AND та входи A і B. Такий поділ використовується не лише в ручних розрахунках, а й під час моделювання та налагодження цифрових схем.

## 5. Логічна глибина та структура шляхів

Логічна глибина (logic depth) — найбільша кількість послідовних елементів на шляху від входу до виходу. У функції  $F=(A \wedge B) \vee \overline{C}$  елементи AND і NOT належать першому рівню та працюють паралельно. OR належить другому рівню. Загальна кількість вентилів дорівнює трьом, але глибина — двом.

Кількість елементів і логічна глибина характеризують різні властивості. Кількість елементів впливає на площу та ресурси. Глибина впливає на затримку. Схема з більшою кількістю паралельних елементів може бути швидшою за меншу схему, якщо друга має довший послідовний шлях.

Глибина оцінюється окремо від кожного входу. Якщо до однієї гілки додати інвертор, лише шляхи через цю гілку стануть довшими. Критичним буде не обов'язково шлях із найбільшою кількістю символів, оскільки різні типи вентилів мають різні затримки.

## 6. Універсальні елементи NAND і NOR

Система операцій називається функціонально повною (functionally complete), якщо за її допомогою можна реалізувати будь-яку булеву функцію. Окремо NAND та окремо NOR є універсальними елементами. Це доводиться побудовою NOT, AND і OR лише з одного типу вентилів.

### 6.1. NOT і AND на NAND

Інвертор отримують об'єднанням входів NAND:  $A \text{ NAND } A = \overline{A}$ . Для  $A=0$  внутрішній AND дорівнює 0, після інверсії вихід дорівнює 1. Для  $A=1$  внутрішній AND дорівнює 1, після інверсії вихід дорівнює 0.

AND реалізується двома NAND. Перший елемент створює Q — інверсію кон'юнкції A і B. Другий NAND отримує Q на обидва входи та працює як інвертор. Подвійне заперечення повертає  $A \wedge B$ .

$$Q = \overline{A \wedge B}$$

1.  $Q=A \text{ NAND } B$ .
2.  $F=Q \text{ NAND } Q$ .
3. Отже,  $F=A \wedge B$ .

Фізично схема містить два послідовні вентиля, тому її затримка більша, ніж затримка одного NAND. Булеве скорочення подвійної інверсії не усуває реальні елементи з уже побудованої схеми.

## 6.2. OR на NAND і закон де Моргана

Для побудови OR спочатку формуються  $\bar{A}$  та  $\bar{B}$  за допомогою двох NAND з об'єднаними входами. Третій NAND інвертує кон'юнкцію отриманих сигналів. За законом де Моргана результат дорівнює  $A \vee B$ .

$$\overline{A \wedge B} = A \vee B$$

1.  $N1 = A \text{ NAND } A = \bar{A}$ .
2.  $N2 = B \text{ NAND } B = \bar{B}$ .
3.  $F = N1 \text{ NAND } N2$ .
4. Фінальна інверсія всього виразу  $\bar{A} \bar{B}$  утворює  $A \vee B$ .

Перевірка за наборами 00, 01, 10, 11 дає послідовність 0, 1, 1, 1, яка збігається з OR. Надрискована риска у формулі повинна охоплювати всю кон'юнкцію  $\bar{A} \bar{B}$ , інакше буде отримано іншу функцію.

## 6.3. XOR із чотирьох NAND

XOR можна реалізувати чотирма NAND. Перший проміжний сигнал N1 використовується одночасно у двох гілках, після чого результати N2 і N3 надходять на фінальний NAND.

1.  $N1 = A \text{ NAND } B$ .
2.  $N2 = A \text{ NAND } N1$ .
3.  $N3 = B \text{ NAND } N1$ .
4.  $F = N2 \text{ NAND } N3 = A \oplus B$ .

Для 00 отримується  $F=0$ . Для 01 і 10 вихід дорівнює 1. Для 11 вихід знову дорівнює 0. Найдовший шлях проходить через N1, один із середніх NAND та фінальний NAND, тому має три логічні рівні.

Функціональна універсальність не гарантує оптимальності. Спеціалізований XOR може мати інші площу, затримку та енергоспоживання, ніж структура з чотирьох NAND. Реалізацію обирають відповідно до доступних компонентів і вимог проєкту.

## 7. Активні рівні та інверсійні бульбашки

Active-high — активний високим рівнем — означає, що сигнал виконує свою функцію при 1. Active-low — активний низьким рівнем — означає активацію при 0. Наприклад,  $\text{ENABLE}=1$  може дозволяти роботу, а  $\text{RESET}_n=0$  — запускати скидання.

Активність і числове значення не є тотожними. Для active-low сигналу фізичний нуль має активний функціональний зміст. У назвах таких сигналів часто використовуються суфікси  $_n$  або  $_b$ , а на схемі — інверсійна бульбашка. Позначення має бути однаковим у назві, схемі та описі.

Бульбашка належить конкретному виводу. Бульбашка на виході означає інверсію функції елемента. Бульбашка на вході означає, що цей вхід інтерпретується як активний низьким рівнем. Перенесення бульбашок через вентиль відповідає законам де Моргана: під час перенесення AND змінюється на OR, а OR — на AND.

## 8. Фізичні рівні логічного 0 і 1

У математичній моделі 0 і 1 є точними значеннями. У фізичній схемі їм відповідають діапазони напруг LOW та HIGH. Між гарантованими діапазонами існує невизначена область. Якщо вхідна напруга потрапляє в цю область, виробник не гарантує, як саме вона буде розпізнана.

Невизначена область не є третім логічним станом. Це область відсутності гарантії: результат може залежати від конкретного екземпляра, температури, шуму та швидкості зміни сигналу. Тому вихід одного елемента повинен потрапляти в гарантовану область наступного входу із достатнім запасом.

## 8.1. Чотири гарантовані пороги

Позначення порогів читаються послідовно. V означає voltage — напруга. I або O означає input чи output — вхід або вихід. L або H означає LOW чи HIGH. Позначення max і min указують максимальну або мінімальну гарантовану межу.

| Параметр | Англійська назва | Зміст                                                 |
|----------|------------------|-------------------------------------------------------|
| VOL(max) | Output LOW       | Найбільша гарантована вихідна напруга логічного 0     |
| VIL(max) | Input LOW        | Найбільша вхідна напруга, гарантовано розпізнана як 0 |
| VIH(min) | Input HIGH       | Найменша вхідна напруга, гарантовано розпізнана як 1  |
| VOH(min) | Output HIGH      | Найменша гарантована вихідна напруга логічної 1       |

Для гарантованої передачі LOW необхідно, щоб  $VOL(max) \leq VIL(max)$ . Для гарантованої передачі HIGH потрібно, щоб  $VOH(min) \geq VIH(min)$ . Простого збігу номінальної напруги живлення недостатньо — порівнюються саме граничні параметри.

## 8.2. Запас завадостійкості

Noise margin — запас завадостійкості — показує допустиме несприятливе зміщення сигналу між виходом і входом без втрати логічного значення. Низький запас NML (Noise Margin Low) та високий запас NMH (Noise Margin High) обчислюються окремо.

Нехай  $VOL(max)=0,4$  В,  $VIL(max)=0,8$  В,  $VIH(min)=2,0$  В,  $VOH(min)=2,4$  В. Низький запас:  $NML=VIL(max)-VOL(max)=0,8-0,4=0,4$  В. Високий запас:  $NMH=VOH(min)-VIH(min)=2,4-2,0=0,4$  В. Обидва логічні рівні мають статичний запас 0,4 В.

Діапазон 0,8...2,0 В є невизначеним для входу. Запас 0,4 В є статичною оцінкою і не враховує всі властивості імпульсної завади. Реальний вплив залежить також від тривалості, форми імпульсу, частотних властивостей лінії та входу.

## 9. Fan-in, fan-out і навантаження

Fan-in — кількість входів логічного елемента. Двовходовий AND має fan-in=2, чотиривходовий — fan-in=4. Збільшення кількості входів ускладнює внутрішню структуру, може збільшувати вхідну ємність і затримку.

Fan-out — кількість стандартних входів, якими один вихід може керувати без порушення гарантованих рівнів і часових вимог. У статичному режимі обмеження пов'язане з допустимими струмами. Під час перемикавання важливе сумарне ємнісне навантаження.

CL (load capacitance — ємність навантаження) складається з ємностей входів, провідників, корпусу та інших під'єднаних вузлів. Що більше CL, то більше заряду повинен передати вихід і то повільнішими стають фронти. У CMOS статичні вхідні струми малі, тому на високій швидкості fan-out часто обмежується саме ємністю.

### 9.1. Буфер

Буфер (buffer) функціонально повторює вхідний сигнал, але має більшу здатність керувати навантаженням. Попередня логіка керує лише входом буфера, а його вихідний каскад заряджає або розряджає велике CL. Енергія для цього надходить від живлення буфера.

Додавання буфера зменшує навантаження на попередній вузол, але створює власну затримку та споживання. Для дуже великого навантаження застосовують кілька каскадів із поступовим збільшенням розміру. Один надмірно великий буфер може створити занадто високе вхідне навантаження для попереднього елемента.

## 10. Часові характеристики цифрової схеми

Реальний логічний елемент не реагує миттєво. Після зміни входу проходить певний час до зміни виходу. Затримка залежить від технології, напруги живлення, температури, напряму переходу, внутрішньої структури та навантаження.

### 10.1. Затримка поширення

$t_{PLH}$  (propagation delay Low-to-High — затримка переходу виходу з LOW у HIGH) характеризує реакцію  $0 \rightarrow 1$ .  $t_{PHL}$  (propagation delay High-to-Low — затримка переходу з HIGH у LOW) характеризує реакцію  $1 \rightarrow 0$ . Ці затримки можуть відрізнятися, оскільки заряджання та розряджання виходу виконують різні транзисторні мережі.

Середню оцінку записують як  $t_{pd} = (t_{PLH} + t_{PHL})/2$ , де  $t_{pd}$  — propagation delay, затримка поширення. Для гарантування роботи використовують максимальні значення за заданих умов, а не лише типові або середні. Точні контрольні рівні, між якими вимірюється затримка, визначаються у datasheet.

### 10.2. Критичний шлях

Critical path — критичний шлях — шлях від входу до виходу з найбільшою сумарною затримкою. Затримки послідовних елементів додаються. Затримки паралельних гілок між собою не додаються; для всієї схеми обирається гілка з найбільшим сумарним часом.

Якщо сигнал проходить AND, OR і NOT, а максимальна затримка кожного елемента дорівнює 8 нс, сумарна оцінка становить  $8+8+8=24$  нс. Це верхня навчальна оцінка. Фактична затримка конкретного переходу може бути меншою, але до завершення 24 нс вихід не слід вважати гарантовано стабільним.

### 10.3. Rise time і fall time

Rise time  $t_r$  — час наростання виходу, часто між 10 % і 90 % амплітуди. Fall time  $t_f$  — час спаду, зазвичай між 90 % і 10 %. Ці параметри описують крутість самого фронту та не є тотожними propagation delay.

Можлива ситуація, коли реакція починається із великою затримкою, але сам фронт є швидким. Можлива й протилежна ситуація: мала затримка до початку реакції, але повільний перехід через велике навантаження. Повільний фронт довго перебуває біля порога входу, підвищує чутливість до шуму та може збільшувати наскрізний струм наступного CMOS-елемента.

### 10.4. Глітчі та небезпечні умови

Glitch — короткочасний хибний імпульс. Hazard — структурна умова, за якої різні затримки шляхів можуть утворити такий імпульс. Наприклад, у функції  $AV\bar{A}$  сталий результат завжди дорівнює 1. Але прямий сигнал  $A$  та інвертований  $\bar{A}$  доходять до OR із різними затримками. Під час переходу обидва входи OR можуть короткий час одночасно дорівнювати 0, і вихід тимчасово провалиться до 0.

Таблиця істинності описує сталі стани та не показує траєкторію переходу. Тривалість глітчу приблизно пов'язана з різницею затримок шляхів. Якщо сигнал зчитується синхронно після стабілізації, короткий імпульс може не мати наслідків. Для асинхронного керування він може бути небезпечним. Глітчі зменшують вирівнюванням шляхів, зміною булевої реалізації або синхронним зчитуванням.

## 11. MOSFET як керований ключ

MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor — польовий транзистор зі структурою метал–оксид–напівпровідник) є основним активним елементом CMOS-логіки. Він має затвор (gate), витік (source) і стік (drain). Напруга затвора керує провідністю каналу між витоком і стоком.

У першому наближенні MOSFET розглядається як керований ключ. nMOS відкривається за високого керувального рівня та створює шлях до GND. pMOS відкривається за низького рівня та створює шлях до VDD. Комплементарне використання двох типів транзисторів утворює CMOS.

Реальний ключ неідеальний. У відкритому стані канал має опір, у закритому існують струми витоку, а затвор і вузли мають паразитні ємності. Керування затвором відбувається полем, тому сталий вхідний струм малий, але під час перемикавання необхідно заряджати або розряджати ємність затвора. Тонкий оксид затвора чутливий до ESD (Electrostatic Discharge — електростатичний розряд).

### 11.1. CMOS-інвертор

CMOS (Complementary Metal-Oxide-Semiconductor — комплементарна структура метал–оксид–напівпровідник) використовує взаємодоповнювальні pMOS- і nMOS-транзистори. У CMOS-інверторі pMOS розташований між VDD і виходом, nMOS — між виходом і GND. Обидва затвори отримують однаковий вхід A.

| Вхід A | pMOS      | nMOS      | Вихідний шлях | F |
|--------|-----------|-----------|---------------|---|
| 0      | відкритий | закритий  | до VDD        | 1 |
| 1      | закритий  | відкритий | до GND        | 0 |

При A=0 pMOS відкритий, nMOS закритий, тому вихід заряджається до HIGH. При A=1 pMOS закритий, nMOS відкритий, вихід розряджається до LOW. У сталому ідеалізованому стані прямого провідного шляху VDD→GND немає. Під час перемикавання обидва транзистори можуть частково проводити, створюючи короточасний наскрізний струм.

### 11.2. CMOS NAND і NOR

Статичний CMOS-вентиль складається з двох взаємодоповнювальних мереж. Pull-up network — мережа підтягування до VDD на pMOS. Pull-down network — мережа стягування до GND на nMOS. У коректному сталому стані одна мережа формує вихід, а інша не повинна створювати протилежний шлях.

| Елемент | pMOS-мережа | nMOS-мережа | Фізичний результат               |
|---------|-------------|-------------|----------------------------------|
| NAND    | паралельна  | послідовна  | Шлях до GND лише для 11          |
| NOR     | послідовна  | паралельна  | Будь-яка 1 відкриває шлях до GND |

У NAND послідовні nMOS створюють шлях до GND лише коли A=1 і B=1. Тому тільки набір 11 дає вихід 0. Паралельні pMOS забезпечують шлях до VDD, якщо хоча б один вхід дорівнює 0.

У NOR паралельні nMOS стягують вихід до GND, якщо хоча б один вхід дорівнює 1. Послідовні pMOS створюють шлях до VDD лише для A=0 і B=0. Тому NOR формує 1 тільки для набору 00.

Серійне з'єднання збільшує еквівалентний опір провідного шляху. Через це вентиль із великим fan-in і довгим послідовним ланцюгом може бути повільнішим за багаторівневу структуру з простіших елементів. Логічна мінімізація не завжди збігається з оптимізацією транзисторної швидкодії.

## 12. Енергоспоживання CMOS

Основна динамічна енергія CMOS пов'язана із заряджанням та розряджанням ємностей. Наближена формула динамічної потужності має вигляд  $P_{dyn} \approx \alpha \cdot CL \cdot VDD^2 \cdot f$ . Тут  $\alpha$  — коефіцієнт активності перемикачів,  $CL$  — ефективна ємність навантаження,  $VDD$  — напруга живлення,  $f$  — частота перемикачів.

Подвоєння частоти  $f$  приблизно подвоює динамічну потужність. Подвоєння  $CL$  також дає двократне збільшення. Напруга входить у квадрат: якщо  $VDD$  збільшити у 1,2 рази,  $P_{dyn}$  зросте приблизно у  $1,2^2 = 1,44$  рази за незмінних інших параметрів.

Коефіцієнт  $\alpha$  враховує, що не всі вузли перемикаються на кожному такті. Непотрібні переходи та глітч збільшують  $\alpha$  і споживають енергію навіть тоді, коли не змінюють корисний результат. Тому зменшення зайвих перемикачів підвищує енергоефективність.

Статична потужність виникає через струми витоку навіть без перемикачів. Під час фронту додатково існує короткочасний наскрізний струм, коли pMOS і nMOS частково відкриті одночасно. Повна потужність є сумою динамічної, статичної та короткочасної складових.

## 13. Логічні сімейства та сумісність

Логічне сімейство — група компонентів, сумісних за технологією, живленням, логічними рівнями та електричними характеристиками. TTL (Transistor-Transistor Logic — транзисторно-транзисторна логіка) історично базується на біполярних транзисторах. CMOS використовує pMOS і nMOS та домінує в сучасних інтегральних схемах завдяки високій щільності й низькій статичній потужності.

Назва технології не гарантує сумісності конкретних компонентів. Необхідно порівняти  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$ , допустимі струми, напругу живлення, навантажувальну ємність і часові характеристики. Перехід між різними сімействами може вимагати спеціального перетворювача рівнів.

### 13.1. Читання datasheet

Datasheet — технічна документація виробника компонента. Усі остаточні розрахунки повинні спиратися на параметри конкретної мікросхеми та задані умови. Типове значення показує очікувану поведінку, але не є гарантією. Для надійного проектування використовуються гарантовані мінімальні та максимальні значення.

1. Перевірити рекомендований діапазон  $VDD$ .
2. Знайти  $V_{IL}(\max)$ ,  $V_{IH}(\min)$ ,  $V_{OL}(\max)$  і  $V_{OH}(\min)$  для потрібних умов.
3. Перевірити допустимі вхідні та вихідні струми.
4. Знайти  $t_{PLH}$ ,  $t_{PHL}$ ,  $t_r$  і  $t_f$  для заданого навантаження.
5. Перевірити допустиму  $CL$ , статичне та динамічне споживання.
6. Урахувати температурний діапазон і технологічні умови.
7. Звірити  $\text{pinout}$  — призначення виводів — та правила для невикористаних входів.

Absolute maximum ratings — абсолютні граничні значення — не є нормальними робочими умовами. Тривала робота поблизу або за цими межами може призвести до пошкодження чи ненадійності. Проектування виконується за рекомендованими режимами із необхідним запасом.

## 14. Повна послідовність проектування цифрової схеми

1. Сформулювати словесну умову та визначити входи й виходи.
2. Установити активний рівень кожного сигналу.
3. Побудувати таблицю істинності або булеву функцію.
4. Мінімізувати функцію без зміни її поведінки.
5. Розбити формулу на проміжні сигнали та логічні елементи.
6. Побудувати схему зі стандартними графічними символами.
7. Перевірити всі набори входів і проміжні вузли.

8. Оцінити fan-in, fan-out, CL і запаси завадостійкості.
9. Знайти критичний шлях і перевірити затримки та фронти.
10. Оцінити динамічну й статичну потужність.
11. Звірити параметри з datasheet обраних компонентів.

Перевірки виконуються після кожного етапу. Словесна умова звіряється з таблицею, таблиця — з формулою, формула — зі схемою, схема — з таблицею проміжних сигналів. Лише після функціональної перевірки аналізуються фізичні параметри. Такий порядок запобігає ситуації, коли електрично якісна схема реалізує неправильну функцію або правильна функція не працює через фізичні обмеження.

## 15. Узагальнення

Логічний елемент поєднує булеву алгебру та електроніку. Таблиця істинності задає правильну поведінку, стандартний схемний символ показує структуру операції, а CMOS-реалізація формує фізичні рівні напруги. Надійний цифровий пристрій повинен бути правильним функціонально, електрично та в часі.

NAND і NOR є універсальними, але реалізація лише на одному типі вентилів не завжди оптимальна. Логічна глибина, fan-out, ємність, затримки, запас завадостійкості та потужність впливають на остаточну структуру. Таблиця істинності описує сталі стани, а аналіз затримок пояснює поведінку під час переходів.

Єдиний послідовний підхід застосовується до всіх подальших комбінаційних пристроїв: умова → булева функція → таблиця істинності → мінімізація → схема → функціональна перевірка → електричний і часовий аналіз.

## Терміни та скорочення

| Термін         | Пояснення                                                       |
|----------------|-----------------------------------------------------------------|
| Logic gate     | Логічний елемент, що реалізує булеву операцію.                  |
| NOT / AND / OR | НЕ / І / АБО — базові логічні операції.                         |
| XOR / XNOR     | Виключне АБО / еквівалентність.                                 |
| NAND / NOR     | І-НЕ / АБО-НЕ — інверсії AND та OR.                             |
| MOSFET         | Польовий транзистор зі структурою метал–оксид–напівпровідник.   |
| CMOS           | Комплементарна структура на pMOS- і nMOS-транзисторах.          |
| TTL            | Транзисторно-транзисторна логіка на біполярних транзисторах.    |
| VDD / GND      | Шина живлення / земля, опорний низький потенціал.               |
| Fan-in         | Кількість входів логічного елемента.                            |
| Fan-out        | Допустима кількість стандартних входів, якими керує один вихід. |
| CL             | Ємність навантаження виходу.                                    |

| Термін            | Пояснення                                                                         |
|-------------------|-----------------------------------------------------------------------------------|
| Noise margin      | Запас завадостійкості між гарантованими вихідними та вхідними рівнями.            |
| Propagation delay | Затримка поширення зміни від входу до виходу.                                     |
| Critical path     | Шлях із найбільшою сумарною затримкою.                                            |
| Rise / fall time  | Час наростання / спаду вихідного сигналу.                                         |
| Glitch / hazard   | Короткочасний хибний імпульс / умова його виникнення.                             |
| Buffer            | Буфер, що повторює логічне значення та підсилює здатність керувати навантаженням. |
| Datasheet         | Технічна документація виробника компонента.                                       |