Лабораторная работа № 3

ДОСЛІДЖЕННЯ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Мета роботи

- освоїти спосіб завдання булевих функцій таблицями істинності;
- експериментальне визначення таблиць істинності основних логічних елементів (ЛЕ) шляхом їх дослідження в середовищі програми EWB5;
- вивчити принципи включення ЛЕ в корпуси реальних інтегральних мікросхем (ІМС, МС);
- освоєння приладу програми , призначеного для відображення цифрових сигналів.

3.1. Деякі положення алгебри логіки

Особливістю цифрової електроніки (техніки) є те, що усі сигнали, як вхідні, так і вихідні, так і проміжні, характеризуються двома значеннями. У реальних цифрових приладах при їх роботі це два рівня напруги – низький та високий. При описанні використовують терміни логічний нуль (лог. 0, 0) та логічна одиниця (лог. 1, 1). Обумовлюється це тим, що однією з теоретичних основ цифрової техніки є булева алгебра, яка була розроблена Джорджем Булем у середині 19 століття, як один з розділів математики. Згідно з математичними визначеннями алфавіт булевої алгебри має тільки два символи, подібно двійковій системі числення.

Дж. Буль назвав розроблений їм розділ математики *алгеброю логіки висловлювань* (алгеброю логіки), запропонувавши вважати, що як самі висловлювання (функції), так і їх аргументи можуть бути або *істинними*, або *хибними*. При реалізації булевих виразів у вигляді електронних схем низьку напругу визначили у якості одного з символів алфавіту, а високу – у якості другого. Однак, вшановуючи пам'ять Дж. Буля, у багатьох комп'ютерних програмах використовують логічні запропоновані їм оператори **true** і **false**.

Дж. Буль пов'язав функції **Y** і аргументи **Xi** математичними виразами:

$$Y = f(X_1. X_2. \dots X_N) \quad (3.1)$$

Обмеженість алфавіту алгебри логіки двома значеннями призводить до ряду особливостей. Наприклад, при кінцевому числі аргументів булеві функції обмежені (усі функції, які реально використовуються, задовольняють цьому критерію). Це дозволяє для завдання (опису) булевої функції використовувати простий перебір всіх можливих сполучень значень аргументів з вказівкою значення функції при зазначених сполученнях аргументів. Таке подання функції отримало назву *таблиці істинності*.

Дж. Буль показав, що будь-які логічні функції можна виразити через три простіші функції – функції одного або двох аргументів: ***НІ*** (інверсія, заперечення, ***NO***), ***І*** (кон'юнкція, логічне множення, ***AND***), ***АБО*** (диз'юнкція, логічне складання, ***OR***). Їх математичний запис:

- заперечення

  $$Y = X; \quad (3.2)$$

- диз'юнкція

  $$Y = X1 + X2 = X1 \ V \ X2 = X1 \ U \wedge \ X2; \quad (3.3)$$

- кон'юнкція

  $$Y = X1 \cdot X2 = X1 \ \wedge \ X2 = X1 \ \cap \ X2. \quad (3.4)$$

У виразах (3.3) і (3.4) надані різни форми запису функцій ***І*** та ***НІ***. Найчастіше використовують першу зі знаком додавання між аргументами для диз'юнкції та крапку (яку зазвичай опускають) – для кон'юнкції.

В подальшому було показано, що логічні функції можна виразити чи через функції***І***, чи через функції ***АБО*** та ***НІ***. Всі вказані логічні функції утворюють так звані *базисні* функції, причому перший набір (***НІ***, ***І***, ***АБО***) зветься *повнимбазисом,* а два останні (***І***, ***НІ*** чи ***АБО***, ***НІ***) – *мінімальними*. Реалізація мінімальних базисів проводиться чи на основі елементу ***І-НІ*** (функція Шеффера, штрих Шеффера, ***NAND***), чи елементу ***АБО-НІ*** (функція Пірса, стрілка Пірса, ***NOR***).

Широке практичне застосування також знайшли логічні елементи, які виконують так звану функцію ***виключне АБО*** (функція нерівнозначності, суматор за модулем 2, ***XOR***), та *виключне****АБО-НІ*** (функція рівнозначності, ***XNOR***).

Перераховані логічні функції, а також деякі більш складні, наприклад, виконуючи операції ***І-АБО-НІ***, отримали найменування *логічних елементів.* Вони реалізовані у вигляді окремих інтегральних мікросхем. Їх таблиці істинності наведені у табл.3.1.

Таблиця 3.1

X1	**X2**	**F = X1•X2**	**F = $\overline{\text{X1•X2}}$**	**F = X1 + X2**
0	0	0	1	0
1	0	0	1	1
0	1	0	1	1
1	1	1	0	1
X1	**X2**	**F = $\overline{\text{X1 + X2}}$**	**F = X1 ⊕ X2**	**F = $\overline{\text{X1 ⊕ X2}}$**
0	0	1	0	1
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1

Примітка: символ ⊕ носить найменування ***псевдо плюс*** і поряд з символом ***=1*** використовується для позначення логічної функції *виключне****АБО***.

Логічні елементи також є основою більш складних цифрових мікросхем. Вони реалізують достатньо складні булеві функції, які мають широке застосування. Мікросхеми об'єднані у так звані *серії*, елементи яких мають близьку схемотехнічну побудову і технологію виготовлення. У програмі EWB5 серії МС зведені у бібліотеки групі **DIGIT** (рис. 3.1).

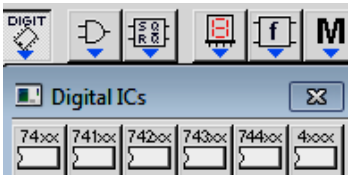


Рис. 3.1. Бібліотеки серій цифрових мікросхем.

Бібліотеки мікросхем логічних елементів згідно їх логічних функцій також надані у групі **Logic Gates** (рис. 3.2). Бібліотека мікросхем, які виконують більш складні логічні функції, представлена у групі (рис. 3.3).

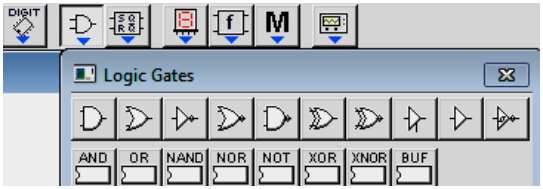


Рис. 3.2. Бібліотека ІМС за логічними функціями.

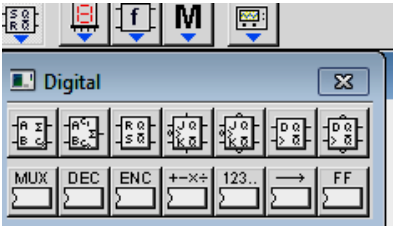


Рис. 3.3. Бібліотека ІМС, які виконують складні логічні функції

Для виводу мікросхем на робоче поле програми треба витягнути на екран необхідну іконку вибраної групи логічних елементів. На екрані також з'являється і перелік елементів, тип яких був викликаний. На рис. 3.4,а надане зображення, яке з'являється на робочому полі після активації кнопки **NAND** групи **Logic Gates** (рис. 3.2).

а) **в)**

Рис. 3.4. Вибір мікросхеми з каталогу бібліотеки

Вибір конкретної мікросхеми проводиться у такій послідовності:

- у результаті прокрутки переліку каталогу бібліотеки знаходять необхідну МС, яку виділяють клацанням лівої кнопки мишки;
- активують команду **Accept**.

Після цього на екрані з'являється зображення корпуса МС (рис. 3.4,в) і перелік мікросхем зникає У разі потреби получити ще одне зображення цієї чи іншої мікросхеми процедуру необхідно повторюють.

Мікросхема виникає у вигляді її корпуса, у якому розміщуються вибрані за каталогом логічні елементи. Входи та виходи ЛЕ приєднані до виводів корпуса. Входи позначаються літерами англійського алфавіту **A, B, C … F … .** Вихідний сигнал знімається з виводів корпуса позначених літерами **Y** чи **O**. Виводи корпуса, що не мають приєднання до цифрових елементів мають позначення **NC**. В одному корпусі можуть бути декілька ЛЕ. У цьому разі перед буквами ставиться цифра, що вказує до якого елемента належить вивід. Наприклад, на рис. 3.4,б надана МС **7400** у вигляді корпуса, що має 16 виводів. У корпусі міститься 4 логічних двоходових елемента **I-HI** (**NAND**), що вже було видно з роз'яснення каталогу (рис.3.4,а, **Quad 2-In NAND**). Приєднання ЛЕ до виводів корпуса показано на рис. 3.5,а. Зображення логічних елементів **I-HI** виконано згідно стандартів України. На рис. 3.5,б надано зображення цієї ж мікросхеми при її

розміщенні на принципового кресленні цифрового приладу, де вона буде використана.

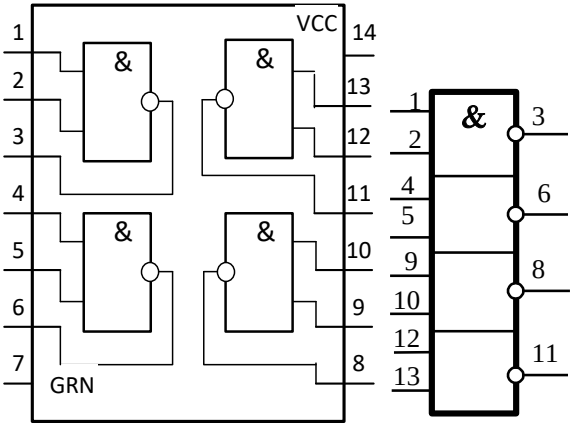


Рис. 3.5. Розміщення ЛЕ у корпусі мікросхеми 7400 та їх зображення згідно ДСТУ

Для того щоб забезпечити функціонування елементів, вивід **GND** необхідно приєднати до спільної точки (землі), а **VCC** – до джерела живлення (джерела Vcc | Vdd у групі **Sources**, рис. 1).

На кресленнях схем цифрові елементи рисуються у вигляді умовних графічних зображень (УГЗ). Приклад УГЗ згідно ДСТУ елементу **І-НІ** надано на рис. 3.5. Умовні графічні зображення, які використовуються у програмі EWB5 мають інший вигляд. Зображення простих логічних елементів розміщуються у групі **Logic Gates** (рис. 3.2).

Вони у необмеженій кількості можуть бути виведені на робочий екран програми. Наприклад, на рис. 3.5 надано три УГЗ логічних елементів АБО-НІ, двох – І та одного ВИКЛЮЧНЕ АБО-НІ (в подальшому – ВИКЛ.).

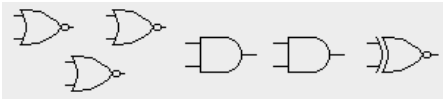


Рис. 3.6. УГЗ логічних елементів програми EWB5

Недоліки умовних графічних зображень програми:

- вони відрізняються від УГЗ державних стандартів України;
- мають тільки два входи і в програмі відсутні інструменти для їх збільшення.

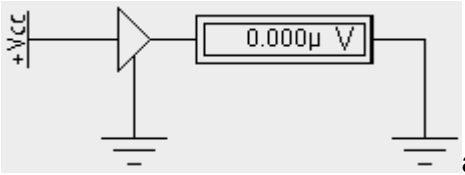
У креслення цифрових закордонних приладів можуть бути використані УЗГ, подібні УЗГ програми з відображенням стількох виводів, скільки має елемент.

Логічні елементи з стандартним виходом не допускають з'єднання декількох виходів ЛЕ. При такому з'єднанні обов'язково виникає ланцюг короткого замкнення джерела живлення на землю через вихідні каскади з'єднаних елементів. Однак з'єднання виходів ЛЕ (вірніше, приєднання їхніх виходів до спільного дроту) необхідно для організації так званої "загальною шини", яка забезпечує послідовну у часі передачу інформації від декількох джерел через спільний канал зв'язку – набір проводів з'єднуючого кабелю.

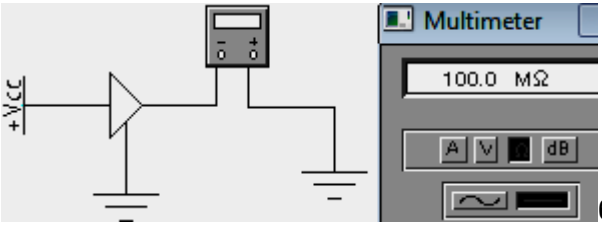
Для рішення цієї задачі були розроблені мікросхеми з трьома станами (коротко, **3С**). Цифровий елемент з стандартним виходом може знаходитись двох станах: або високої, або низької напруги. У ІМС **3С** при подачі відповідного сигналу на управляючий електрод, обидва транзистори закриваються, розриваючи вихід як від джерела живлення, так і від землі.. Про таке відключення кажуть, що елемент введений у третій стан – *стан високого імпедансу*.

При вимірах (індикації) вихідної напруги елементу **3С** у стані високого імпедансу значення напруги не відрізняється від **0** (див. рис.3.7,а, де досліджується елемент **3С,** наданий умовним графічним зображенням, яке використовується у програмі EWB). Тобто складається враження, що вихід приєднаний до землі. Однак, виміри за допомогою мультиметра, налаштованого на опір (рис. 3.7,б),

показують, що вихід елементу у цьому стані від'єднаний від спільної точки (землі).



а)



б)

Рис. 3.7. Визначення електричних показників виходу у стані **3С**

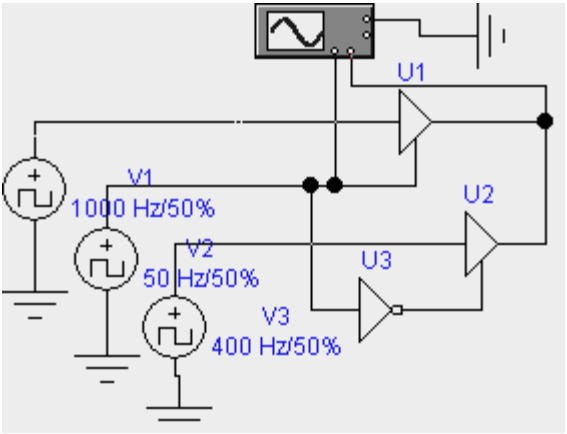


Рис. 3.8. Передача інформації на спільну шину

На рис. 3.8 показана схема, на якій об'єднані виходи двох елементів **3С** (**U1**, **U2**), що надані УГЗ. На їх входи поступає інформація від двох генераторів прямокутних імпульсів (генератори **V1** і **V3**) з різною частотою (для зручності спостереження). Ще більш низька частота від генератора **V2** підводиться до управляючого

електроду елементів[1] , причому завдяки використання інвертора **U3** керуючи напруги поступають у протифазі. Напруга генераторів відповідає значенням напруг логічних сигналів (**0** і **5** В).

Як видно з осцилограм (рис. 3.9) при подачі на управляючий електрод напруги лог. 1 елемент **U1** передає на об'єднаний вихід інформацію, що поступає на його вхід. Інформація з другого інформаційного каналу блокується елементом **U3,** бо на його управляючий вхід завдяки інвертору **U2** надходить напруга лог.0, яка переводить елемент у стан високого імпедансу. При напрузі лог. 0 від генератора блокується перший канал, а до спільного виходу приєднується другий інформаційний канал.

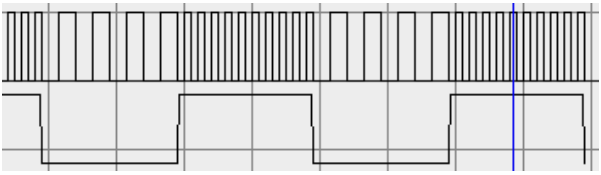


Рис. 3.9. Осцилограми сигналів схеми рис. 3.7

Як слідує з двох останніх рисунків, прилади, що використовувались при вивченні аналогової та імпульсної електронної схемотехніки, можуть біти використані і при вивчені цифрової. Однак, крім бібліотеки з набором цифрових елементів, програма EWB5 має значний набір контрольно-вимірювальних приладів, призначених для вивчення цифрових схем.

Значно більші можливості ніж осцилограф для відображення цифрових сигналів має **Логічний аналізатор** (**Logic Analyzer**), що знаходиться у **наборі Instrument**. Він дозволяє побачити зміну у часі аж 16 логічних сигнали. Його зовнішній вид, при виводі на робоче поле екрану, показаний на рис. 3.10. Зображення аналізатора не

[1]У програмі EWB управляючі електроди називаються «**Електродами стробування**» і мають позначення **G**.

Рис. 3.10. Логічний аналізатор

обертається. Враховуючи значну кількість можливих точок приєднання необхідно ретельно вибирати місце розташування аналізатора.

Після подвійного клацання лівою кнопкою мишки на початковому зображенні на екрані виникає збільшене зображення екрана**Логічного аналізатора**.На рис. 3.11 показаний вид екрана аналізатора, на якому надані сигнали з лементів схемирис. 3.9 при відсутності зв'язку між виходами елементів **V1 і V3 (**дві останні осцилограми**).**

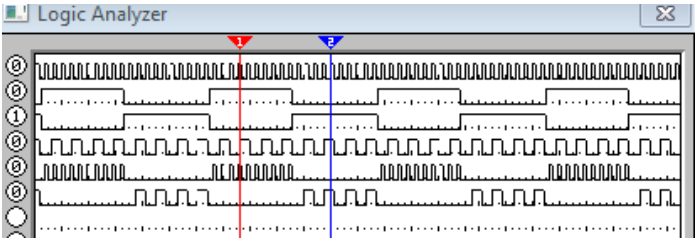


Рис. 3.11. Сигнали зі схеми рис.3.8 при відсутності зв'язку між виходами елементів **3С**

Рисунку видно, що елементи **U1** і **U2** пропускають сигнали, коли на їх управляючому виводі надходять напруги лог. 1. Введення інвертора **U3** у коло сигналу управління дозволяє отримати протифазне відмикання елементів **3С:** при відкритому стані елементу **U1** елемент **U2** закритий і навпаки при відкритому стані елементу **U2** елемент **U1** закритий. Тому при з'єднанні виходів цих елементів їх вихідний сигнал приймає вид, наданий у верхній строчці рис. 3.9.

Робота з **Логічним аналізатором** схожа з роботою з осцилографом. Для спостереження за сигналами необхідно клацнути на кнопці **Pause** чи **Stop**. Для збільшення (зменшення) тривалості сигналів, що відображаються, необхідно, збільшити (зменшити) лічильник у вікні **Clocks per division** (діє подібно зміні швидкості розгортки у осцилографі). Є дві мірні лінійки і вікна у низу екрана з показниками часу їх знаходження. Знизу екрана є лінійка горизонтальної прокрутки, що дозволяє аналізувати процеси на значному інтервалі часу.

Мікросхеми з **3С,** зазвичай, буфери, які розраховані на значні струми, що забезпечує їх роботу на лінії з підвищеною ємністю, яка властива спільній шині. В технічній документації вказується напруга на управляючому електроді, при якій елемент працює за виходом у звичайному, стандартному, для цифрових МС, режимі. Тобто, при подачі на управляючий електрод вказаної напруги, напруга на виході буде змінюватись відповідно до вхідного сигналу. Режим стану **3С** відбувається при протилежному (інверсному) значенні напруги управляючого електрода.

Це було проілюстровано вище на елементі **3С**, наданому в УГЗ. Згідно умовних позначень активним рівнем сигналу управляючого електроду є 1. При заземлені управляючого електрода (рис. 3.7) логічний елемент переходив у стан високого імпедансу за виходам. Аналогічні переключення ЛЕ відбувались і у схемі рис. 3.8.

Буферні мікросхеми **3С** мають від 4 до 8 окремих незалежних елементів. У деяких з мікросхемах кожний елемент має власний управляючий електрод. Частіше один електрод забезпечує роботу групи елементів. Зазвичай таких груп дві.

3.2. Порядок виконання роботи

3.2.1. Дослідити та на заставі отриманих даних скласти таблиці істинності декількох з основних логічних елементів, які представлені у програмі умовними графічними зображеннями, які використовуються у програмі **EWB5** (групі **Logic Gates**,рис. 3.2). Конкретні типи ЛЕ (УГЗ) надані у табл. 3.2 згідно варіанту. Приклад схеми, на якій можна одночасного дослідити таблиці істинності семі ЛЕ, представлений на рис. 3.12.

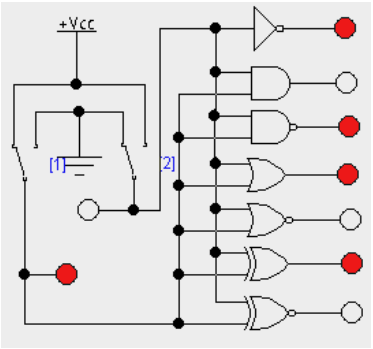


Рис. 3.12. Схема дослідження таблиць істинності ЛЕ

Вхідні сигнали, у якості яких служить нульова напруга та напруга джерела живлення, подаються на входи за допомогою двох перемикачів, які спрацьовують при натисненні клавіш «1» і «2» клавіатури. Перемикачі знаходяться у групі **Basic** і за замовчуванням реагують на клавішу пропуску (**Space**). Зміна клавіші відбувається у результаті подвійного клацання на зображенні перемикача і введені нового символу у виникле вікно**Key**. На рис. 3.12 такими кнопками є клавіша числа **1** – для лівого перемикача, і **2** – для правого.

Для зручності роботи у схему введені індикаторні лампочки (меню **Indicators**), які забарвлюються (червоніють) при високій напрузі, що відповідає «лог. **1**». При низькій напрузі, значення «лог. **0**», чи її відсутності – у елементів з виходом **3С,** вони остаються білими.

3.3.2. Вивести на екран зображення мікросхеми, тип якої вказаний у строчці з найменуванням *Мікросхема* табл. 3.2, згідно заданого варіанта. Приєднати відповідні виводи до землі і джерела живлення. Визначити приєднання входів та виходів елементів до виводів корпус і дослідити таблицю істинності одного з елементів.

3.2.3. Дослідити роботу двох буферних елементів розташованих у корпусах мікросхем, вказаних у третій строчці табл. 3.2. В усіх типах мікросхем всі буферні елементи розбиті на дві групи, стан виходу

яких управляється напругою, що подається на два входи стробування **1G** і **2G**. *Необхідно дослідити один елемент з керуванням за першим входом управління та другий елемент – за другим входом управління.*
Таблиця 3.2

№ вар.	1	2	3	4
ЛЕ (УГЗ)	І; АБО-НІ	І НІ; АБО	І-НІ; викл АБО	І-НІ; викл АБО-НІ
Мікросхеми	7410	4025	4073	4075
*ІМС з **ЗС***	74125	74368	74368	74240
№ вар.	5	6	7	8
ЛЕ (УГЗ)	АБО-НІ; викл АБО	викл АБО; АБО	І; АБО-НІ	АБО; викл АБО-НІ
Мікросхеми	4023	7427	7411	7415
*ІМС з **ЗС***	74365	74241	74244	74244
№ вар.	9	10	11	12
ЛЕ (УГЗ)	І НІ; АБО	АБО-НІ; викл АБО	І-НІ; викл АБО	АБО; викл АБО-НІ
Мікросхеми	7411	4077	4025	4070
*ІМС з **ЗС***	74126	74368	74465	74365

Приєднати до входів елементів генератори прямокутних імпульсів амплітудою 5 В (зазвичай така амплітуда встановлена «за замовчуванням»). Частота першого генератора **F1** – декілька кілогерців, **F2** другого – декілька сотень герц. Приклад подібного приєднання наданий на рис. 3.7 (генератори **V1** і **V3**). Для подачі напруги на управляючі електроди сформуйте схему з комутуючих ключів, яку застосовували при таблиць істинності за п.3.2.1. Для індикації використайте **Логічнийаналізатор**.

Змінюючи напругу на управляючому електроді получить дані для заповнення табл. 3.3.

Таблиця 3.3

Напруга на вході управління		Стан виходу	
G1	**G2**	Перший елемент	Другий елемент
0	0		
1	0		
0	1		
1	1		

Можливі варіанти стану елемента за виходом:

- стан високого імпедансу;
- передача вхідного сигналу без інверсії;
- передача вхідного сигналу з його інверсією.

3.2.4. Вилучіть зі схеми, сформованої за п. 3.2 3, елементи подачі напруги на управляючий електрод за допомогою комутуючих ключів. Введіть ще один генератор прямокутних імпульсів з частотою **F3** декілька десятків герц. Приєднайте його до управляючих електродів двох буферних елементів таким чином, щоб відкритий стан елементів співпадав з різними фазами сигналу генератора. Тобто якщо перший елемент був би відкритий, наприклад, при високій напрузі третього генератора, то другий елемент був би закритий. І навпаки, відкритий стан другого елементу та закритий першого співпадав з нульовою напругою сигналу генератора. У разі необхідності для забезпечення вказаного співвідношення станів елементів використайте інвертор (див. рис.3.8).

У звіті приведіть осцилограми усіх сигналів з екрану **Логічного аналізатора** при роз'єднаних та з'єднаних вигодах буферних елементів.