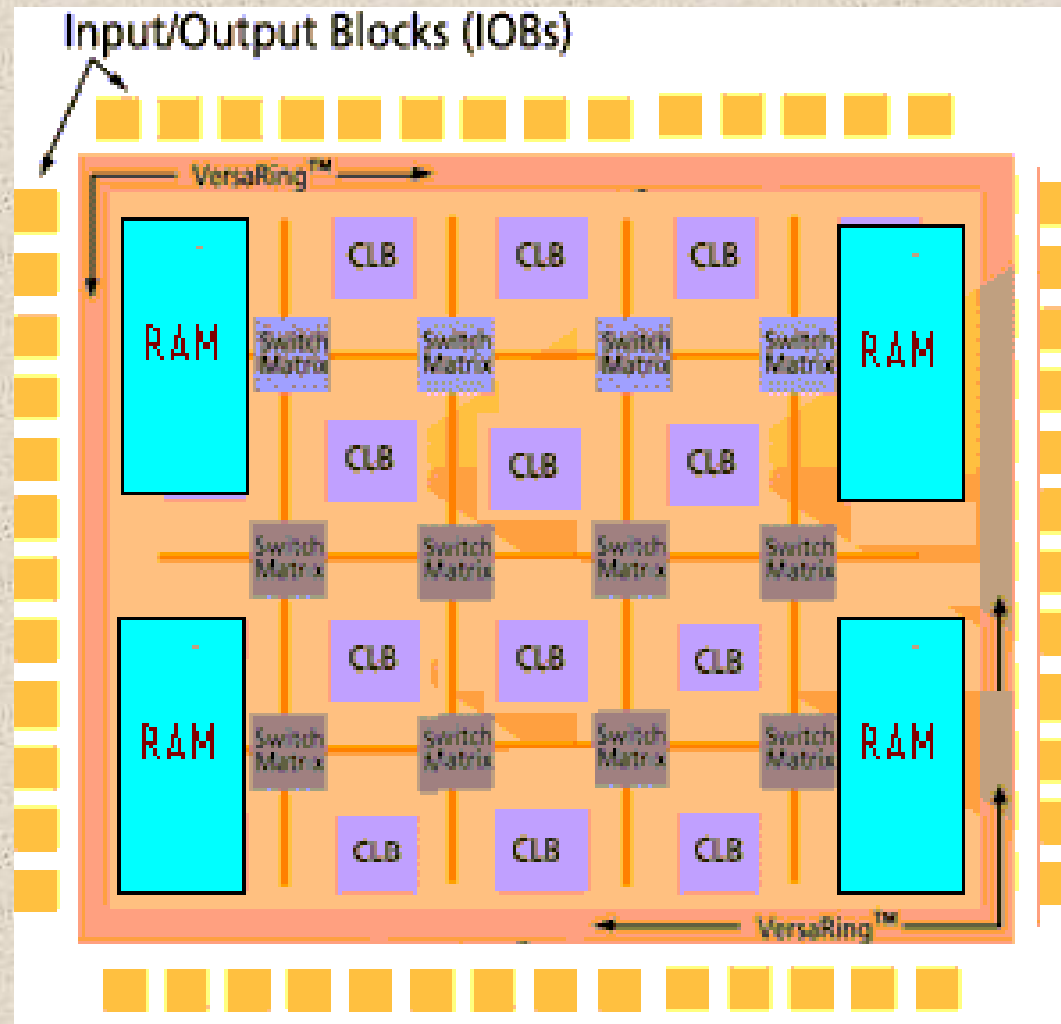


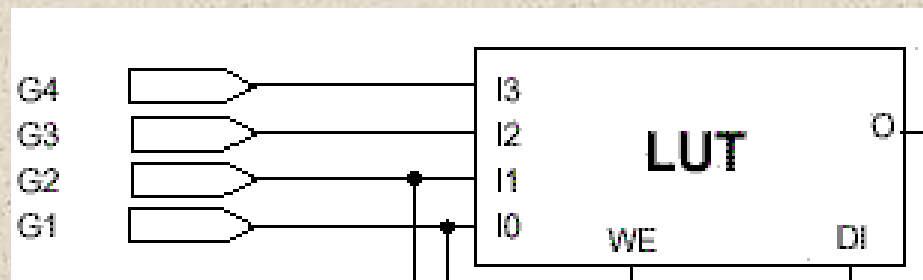
Будова і архітектура ПЛІС



Апаратні ресурси ПЛІС Xilinx Virtex



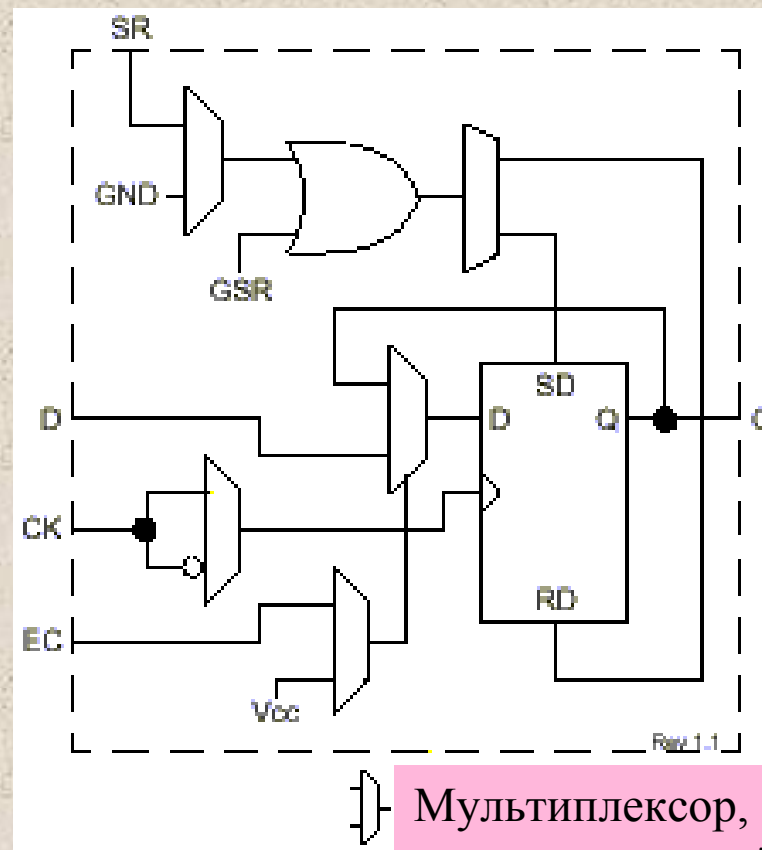
Логічна таблиця



$$Q := G4 \text{ xor } G3 \text{ xor } G2 \text{ xor } G1$$

G4	G3	G2	G1	Q
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	1	1	1	0

Триггер



Мультимплексор,
запрограмований
в конфігурації

Конфигурований логічний блок

Логічна таблиця

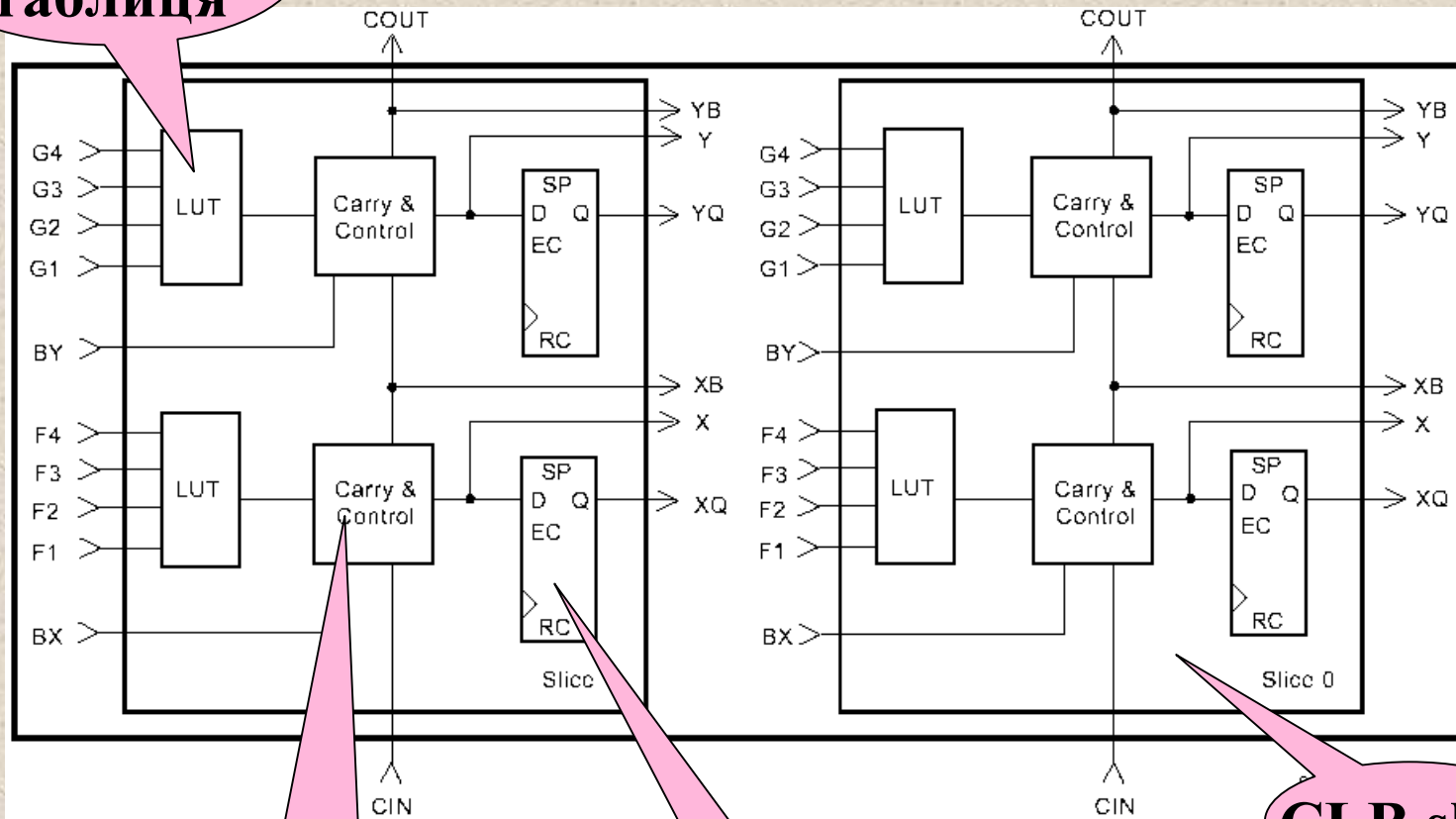


Схема прискореного переносу

Тригер

CLB slice

Апаратна підтримка множення

Схема
прискореного
переносу

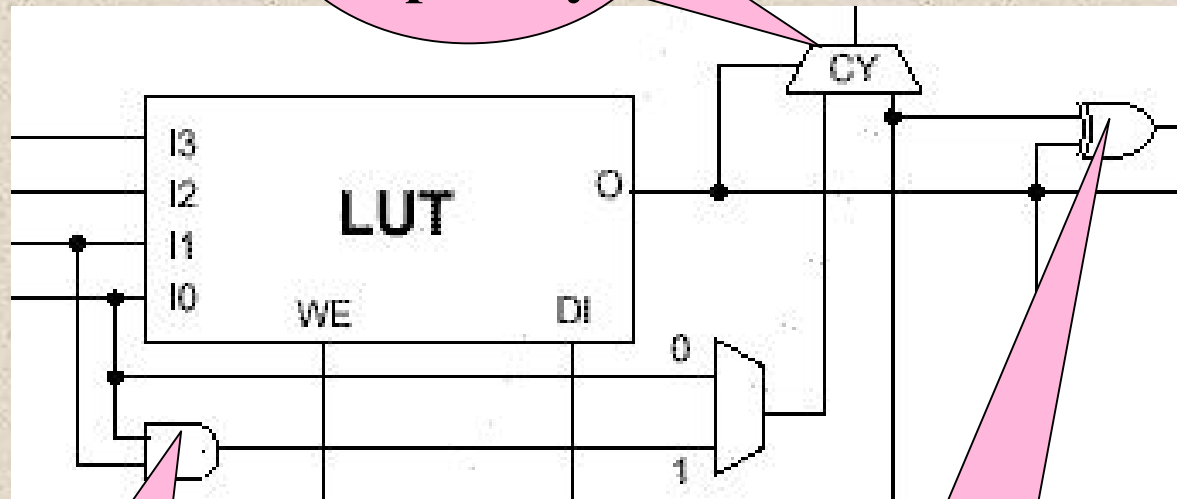
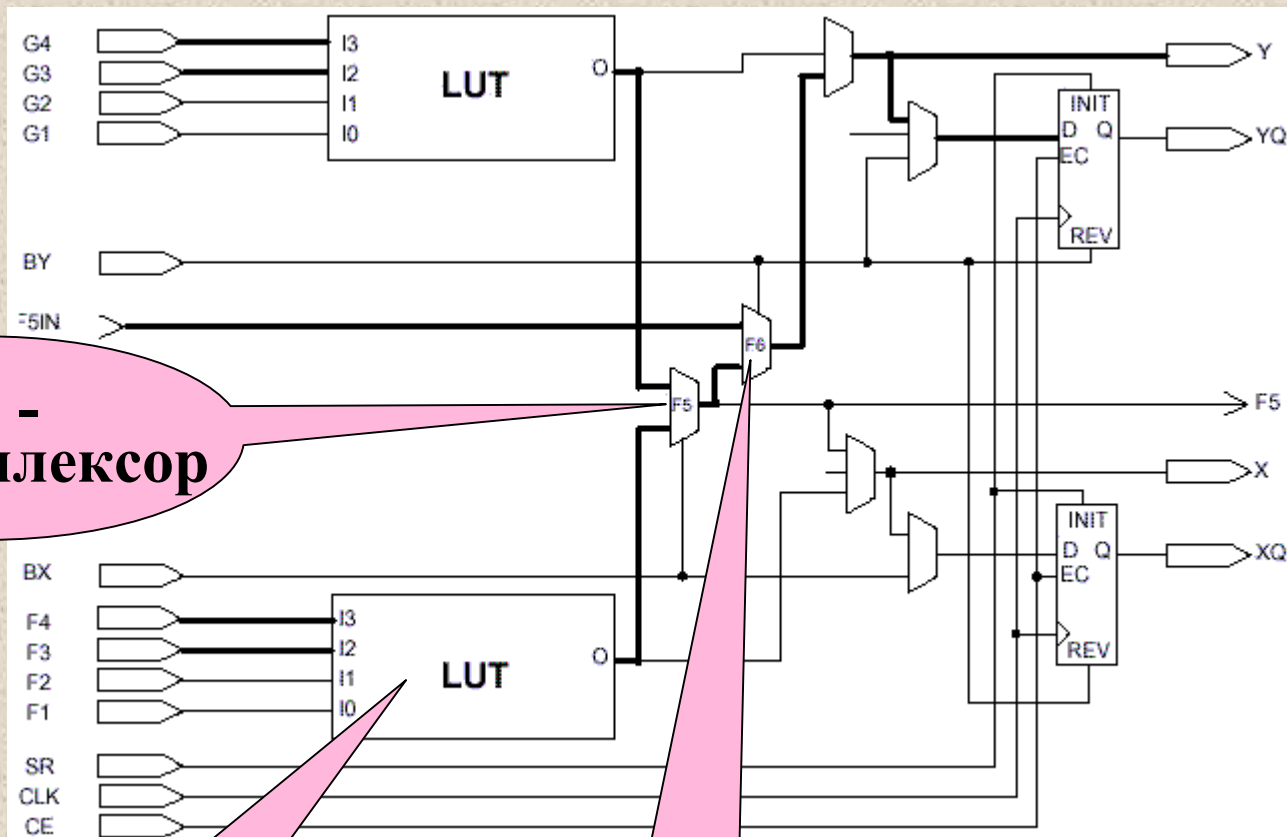


Схема
поразрядного
добутку

Схема
однорозрядного
суматора

Реалізація багатовходових мультиплексорів

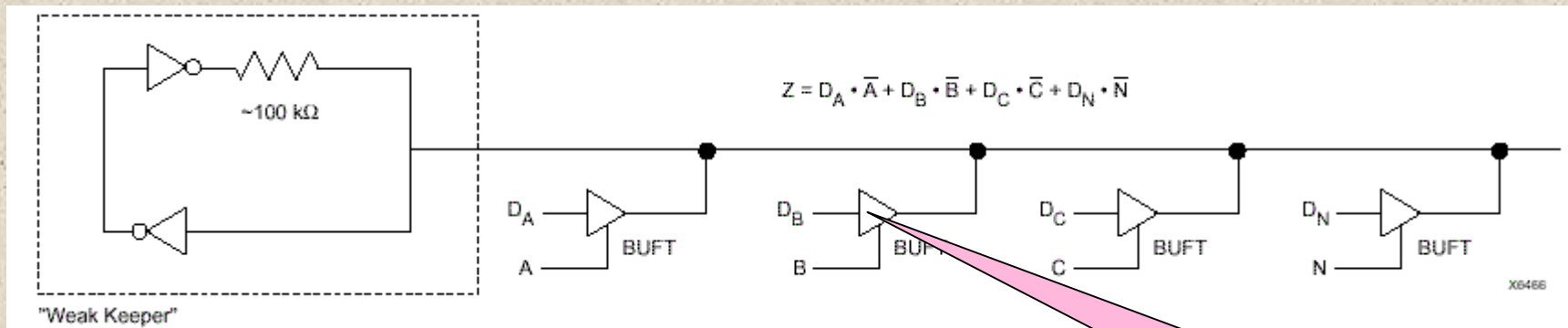


**F5 -
мультиплексор**

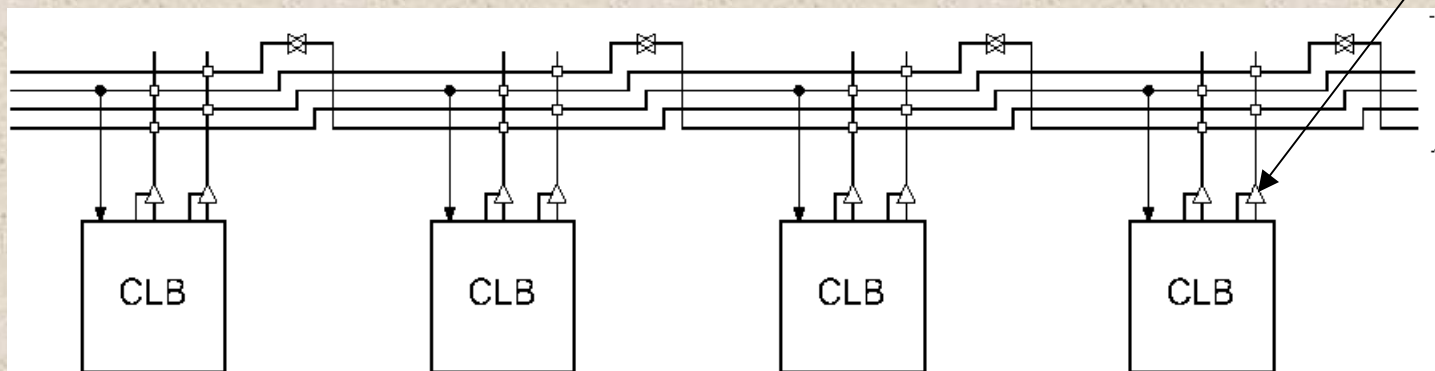
**Мультиплексор
на LUT**

**F6 -
мультиплексор**

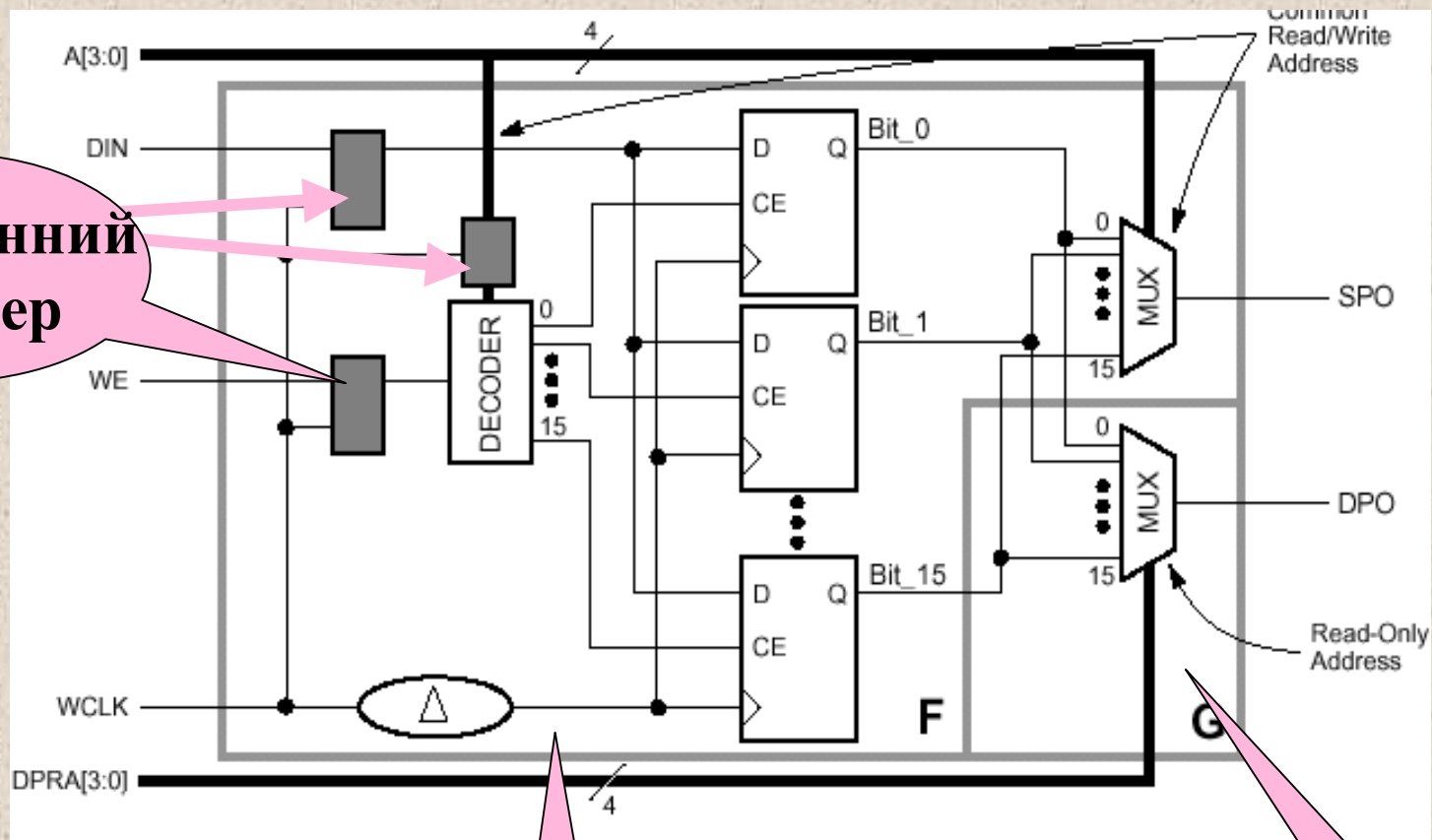
Реалізація шин з трьома станами



3 - стабільний буфер



Розподілена пам'ять (Distributed RAM/ROM)

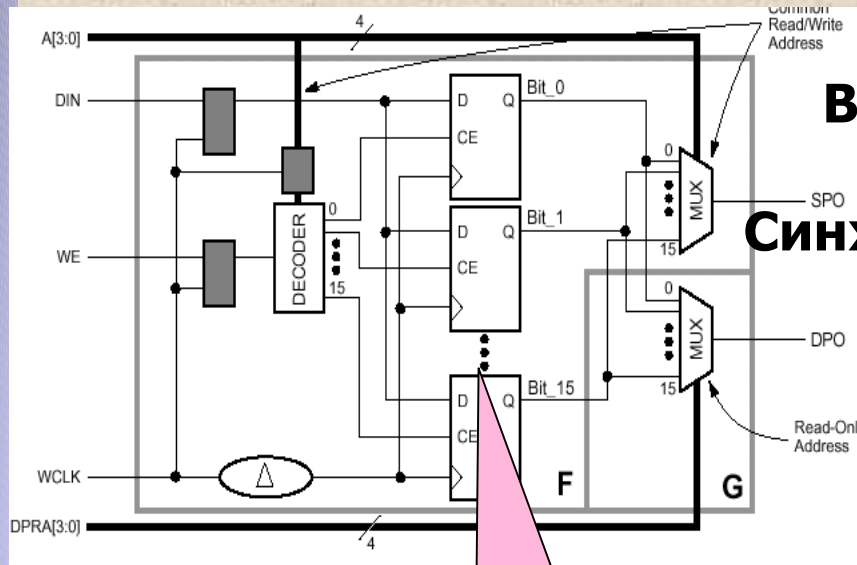


Асинхронний
триггер

LUT F

LUT G

Регістр зсуву з регульовною затримкою (SRL16)



Вхідний біт
Дозвіл
Синхросигнал

Код
затримки
A

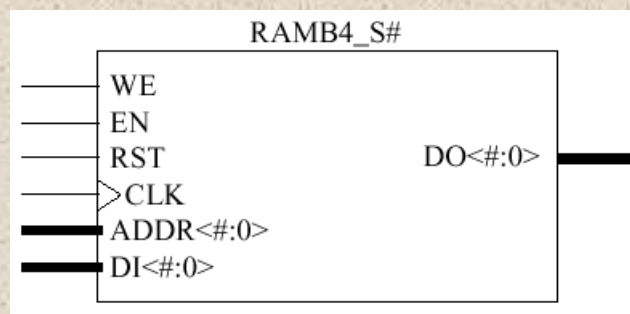


Біти,
затримані
на A і
16 тактів

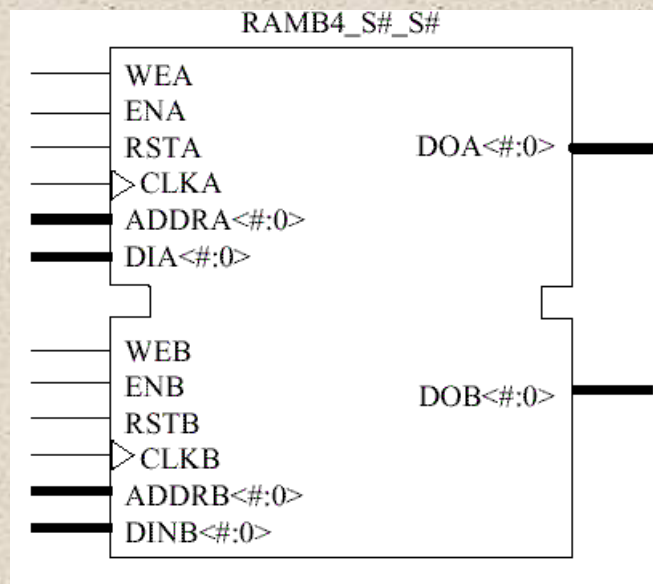
Триггери з'єднані
ланцюжком

Блочна пам'ять (Block Select RAM)

Однопортовый ОЗП



Двохпортовый ОЗП

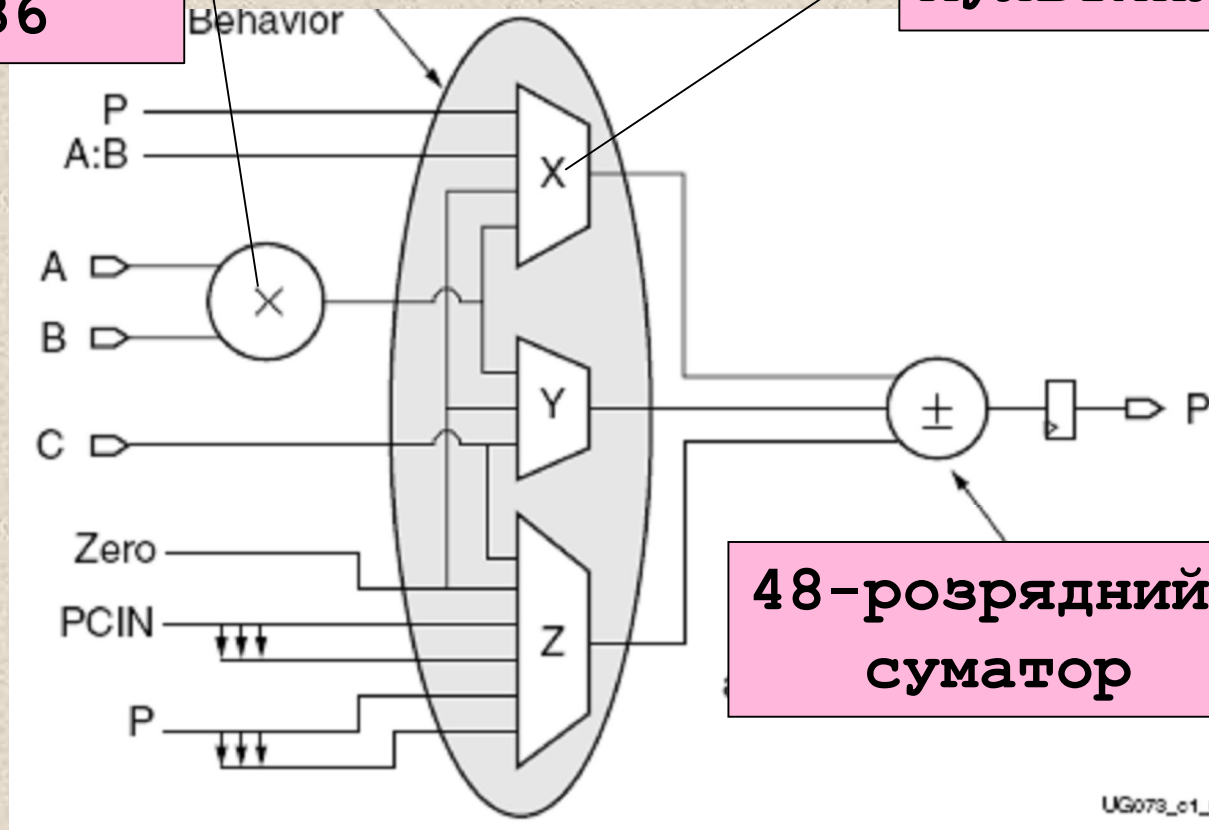


Primitive	Port A Width	Port B Width
RAMB4_S1		N/A
RAMB4_S1_S1		1
RAMB4_S1_S2	1	2
RAMB4_S1_S4	1	4
RAMB4_S1_S8	1	8
RAMB4_S1_S16	1	16
RAMB4_S2		N/A
RAMB4_S2_S2		2
RAMB4_S2_S4	2	4
RAMB4_S2_S8	2	8
RAMB4_S2_S16	2	16
RAMB4_S4		N/A
RAMB4_S4_S4	4	4
RAMB4_S4_S8	4	8
RAMB4_S4_S16	4	16
RAMB4_S8		N/A
RAMB4_S8_S8	8	8
RAMB4_S8_S16	8	16
RAMB4_S16		N/A
RAMB4_S16_S16	16	16

Блок DSP48

Блок множення
 $18 \times 18 = 36$

Мультиплексор

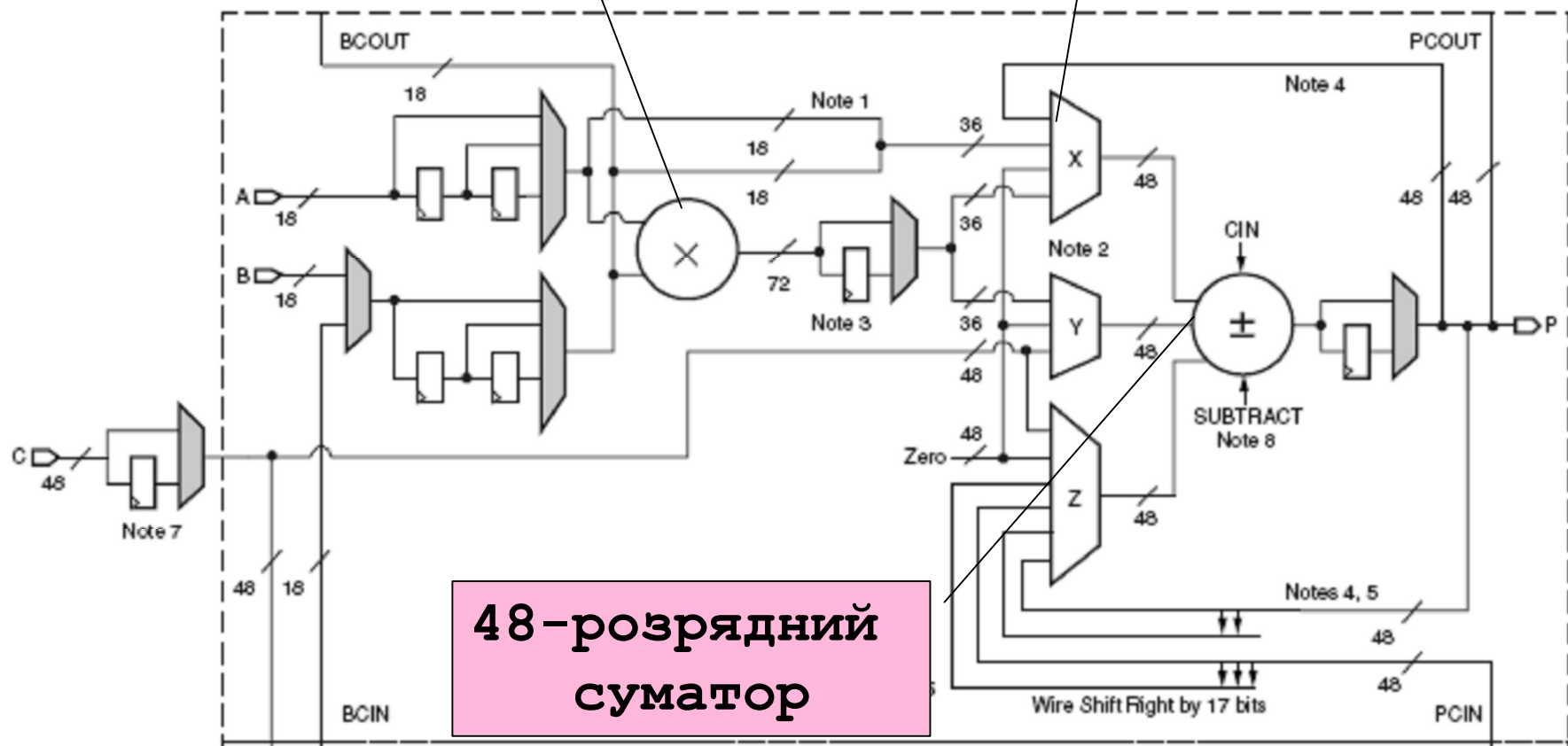


Програмована
затримка

Блок DSP48

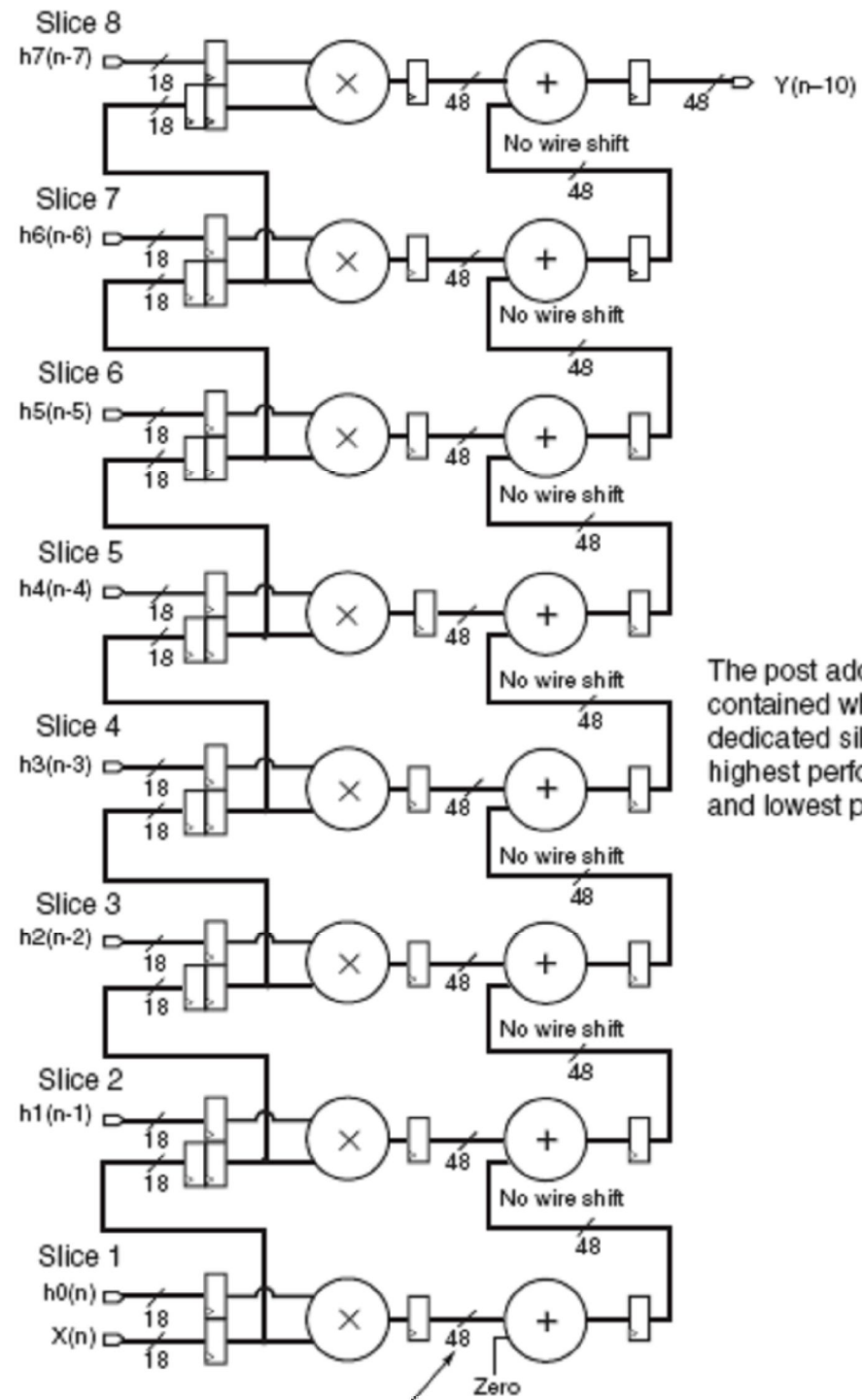
Блок множення
 $18 \times 18 = 36$

Мультиплексор



Блок DSP48

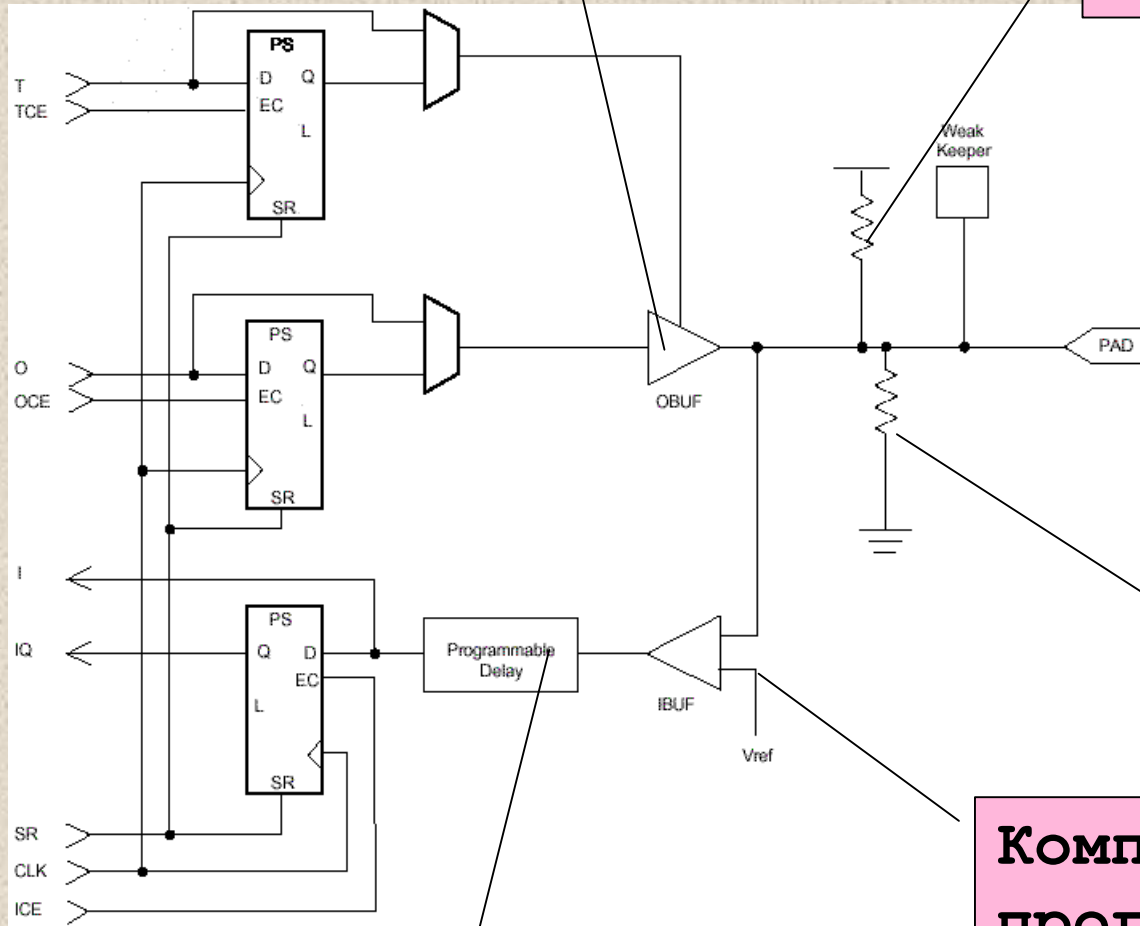
Приклад схеми швидкісного фільтра з кінечною імпульсною характеристикою



Буфери вводу-виводу

3-стабільний буфер

PULLUP



PULLDOWN

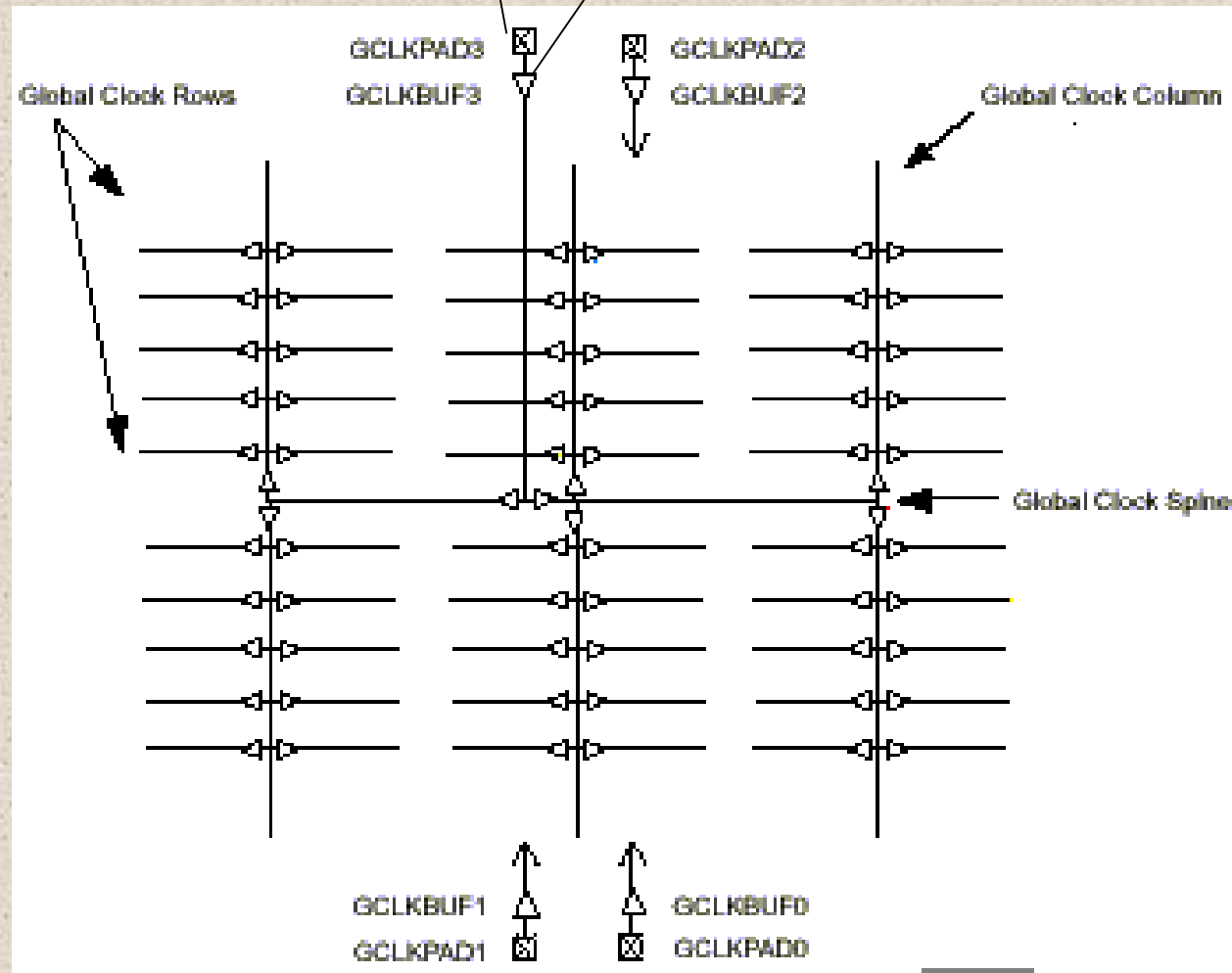
Компаратор з
програмованим
порогом

Програмована
затримка

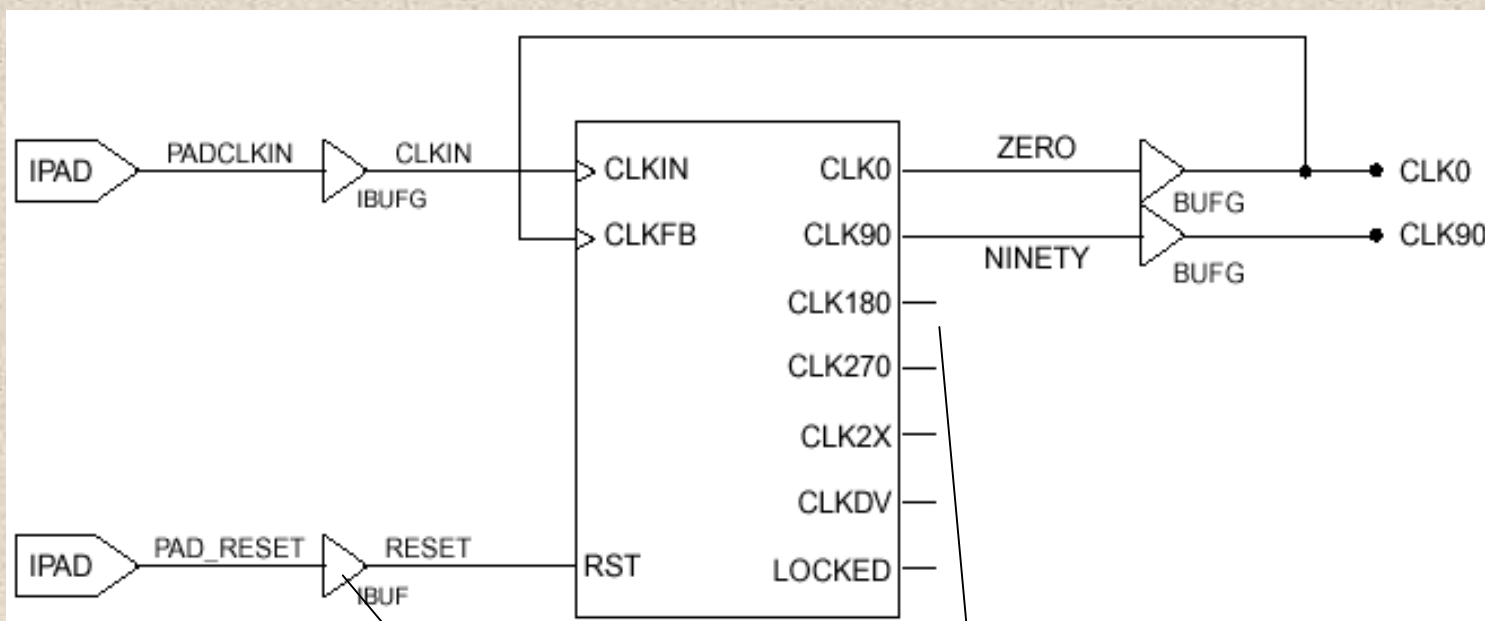
Мережа розподілення синхросигналів

Вивід синхросигналу

Глобальний буфер GCLKBUF



Блок множення-ділення частоти з цифровим зворотнім зв'язком (DLL)



**ВХІДНИЙ
буфер IBUF**

**4 фази, що зсунуті на 90°,
частота x2,
:1.5, 2, 2.5, 3, 4.5, 8, 16**