

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 7 / 1

Вченою радою факультету  
інформаційно-комп'ютерних  
технологій



28 серпня 2023 р., протокол № 5

Рішення Вченої ради

 Тетяна НІКІТЧУК

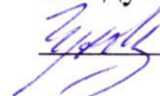
## РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ «Цифрова техніка та ПЛІС»

для здобувачів вищої освіти освітнього ступеня «бакалавр»  
спеціальності 172 «Телекомунікації та радіотехніка»  
освітньо-професійна програма «Телекомунікації та радіотехніка»  
факультет інформаційно-комп'ютерних технологій  
кафедра комп'ютерних технологій у медицині та телекомунікаціях


Схвалено на засіданні кафедри  
комп'ютерних технологій у  
медицині та телекомунікаціях

28 серпня 2023 р., протокол №7

Завідувач кафедри

 Владислав ЧУХОВ

Гарант освітньо-професійної  
програми

 Віталій ЦИПОРЕНКО

Розробник: к.т.н., доцент кафедри комп'ютерних технологій у медицині та  
телекомунікація ЦИПОРЕНКО Віталій

Житомир  
2023 – 2024 н.р.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 7 / 2

## 1. Опис навчальної дисципліни

Найменування показників	Галузь знань, напрям підготовки, освітній ступінь	Характеристика навчальної дисципліни	
		денна форма навчання	заочна форма навчання
Кількість кредитів 5	Галузь знань: 17 «Електроніка та телекомунікації»	<u>Вибіркова</u> (нормативна, за вибором)	
Модулів – 2	Спеціальність: 172 «Телекомунікації та радіотехніка»	Рік підготовки:	
Змістових модулів – 2		2024-й	2024-й
Загальна кількість годин - 150		Семестр	
		6-й	6-й
Тижневих годин для денної форми навчання: аудиторних 4 самостійної роботи – 5,3	Освітній ступінь «бакалавр»	Лекції	
		32 год.	8 год.
		Практичні	
		__ год.	__ год.
		Лабораторні	
		32 год.	6 год.
		Самостійна робота	
86 год.	136 год.		
		Вид контролю: Екзамен	

Співвідношення кількості годин аудиторних занять до самостійної та індивідуальної роботи становить:

для денної форми навчання – 43 % аудиторних занять, 57 % самостійної та індивідуальної роботи;

для заочної форми навчання 9% аудиторних занять, 91 % самостійної та індивідуальної роботи.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 7 / 3

## 2. Мета та завдання навчальної дисципліни

**Метою навчальної дисципліни** є освоєння студентами теоретичних основ функціонування та побудови сучасної цифрової елементної бази, розробки цифрових засобів радіотехнічних та телекомунікаційних систем на ПЛІС та їх програмування.

**Завданнями вивчення навчальної дисципліни** є:

- Навчитись використовувати базові методи, способи та засоби отримання, передавання, обробки та зберігання інформації;
- Навчитись розробці в галузі обчислювальної і мікропроцесорної техніки та програмування, програмних засобів для розв’язання спеціалізованих задач та практичних проблем у галузі професійної діяльності;
- Оволодіти вмінням проектувати, в т.ч. схемотехнічно нові (модернізувати існуючі) елементи (модулі, блоки, вузли) телекомунікаційних та радіотехнічних систем, систем телевізійного й радіомовлення тощо;

## 3. Програма навчальної дисципліни

**Змістовий модуль 1. Цифрова елементна база. Алгебра логіки. Синтез цифрових пристроїв.**

**Тема 1. Цифрова елементна база. Алгебра логіки.** Системи зчислення. Двійкова арифметика. Представлення цифрової інформації фізичними сигналами. Алгебра логіки. Принципи роботи та будова цифрових елементів І, НЕ, АБО, тригерів, регістрів, лічильників, порогової логічної схеми, запам’ятовуючих пристроїв.

**Тема 2. Синтез цифрових пристроїв.** Таблиця істинності. Методи мінімізації логічних функцій. Синтез цифрових схем за таблицею істинності. Побудова комбінаційних ЦП, мультиплексорів, демультиплексорів, шифраторів, дешифраторів, перетворювачів кодів.

**Змістовий модуль 2. Проектування та програмування ПЛІС.**

**Тема 3. Проектування ПЛІС.** Побудова, використання FPGA (Field-Programmable Gate Array) – програмованих логічних інтегральних схем (ПЛІС). Мови проектування апаратури VHDL та Verilog, графічний режим.

**Тема 4. Програмування ПЛІС.** Основи програмування VHDL та Verilog.

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06-05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 7 / 4

Проектування ПЛІС в середовищах Altera Quartus (Intel), Xilinx Vivado. Функціональні можливості сучасних FPGA Intel: Cyclone V FPGA GT, Intel Cyclone 10, Cyclone V SOC з вбудованим процесором ARM Cortex-A9, Xilinx Virtex-6 та інших. Інтерфейси введення/виведення даних в FPGA.

#### 4. Структура (тематичний план) навчальної дисципліни

Змістові модулі і теми	Кількість годин							
	денна форма				заочна форма			
	усього	лекції	практичні	самостійна робота	усього	лекції	практичні	самостійна робота
<b>Модуль 1</b>								
<b>Змістовий модуль 1. Цифрова елементна база. Алгебра логіки. Синтез цифрових пристроїв</b>								
<b>Тема 1. Цифрова елементна база. Алгебра логіки.</b> Системи зчислення. Двійкова арифметика. Представлення цифрової інформації фізичними сигналами. Алгебра логіки. Принципи роботи та будова цифрових елементів I, HE, АБО, тригерів, регістрів, лічильників, порогової логічної схеми, запам'ятовуючих пристроїв.		8	8	18		2	2	34
<b>Тема 2. Синтез цифрових пристроїв.</b> Таблиця істинності. Методи мінімізації логічних функцій. Синтез цифрових схем за таблицею істинності. Побудова комбінаційних ЦП, мультиплексорів, демультимплексорів, шифраторів, дешифраторів, перетворювачів кодів.		8	8	20		2	2	34
<i><b>Разом за змістовий модуль 1</b></i>	<b>70</b>	<b>16</b>	<b>16</b>	<b>38</b>	<b>70</b>	<b>4</b>	<b>4</b>	<b>68</b>
<b>Модуль 2</b>								
<b>Змістовий модуль 2. Проектування та програмування ПЛІС</b>								
<b>Тема 3. Проектування ПЛІС.</b> Побудова, використання FPGA (Field-Programmable Gate Array) – програмованих логічних інтегральних схем (ПЛІС). Мови проектування апаратури VHDL та Verilog, графічний режим.		8	8	24		2	2	34
<b>Тема 4. Програмування ПЛІС.</b> Основи		8	8	24		2		34

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06-05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 7 / 5

програмування VHDL та Verilog. Проектування ПЛІС в середовищах Altera Quartus (Intel), Xilinx Vivado. Функціональні можливості сучасних FPGA Intel: Cyclone V FPGA GT, Intel Cyclone 10, Cyclone V SOC з вбудованим процесором ARM Cortex-A9, Xilinx Virtex-6 та інших. Інтерфейси введення/виведення даних в FPGA.								
<b>Разом за змістовий модуль 2</b>	<b>80</b>	<b>16</b>	<b>16</b>	<b>48</b>	<b>80</b>	<b>4</b>	<b>4</b>	<b>68</b>
<b>ВСЬОГО</b>	<b>150</b>	<b>32</b>	<b>32</b>	<b>86</b>	<b>150</b>	<b>8</b>	<b>6</b>	<b>136</b>

### 5. Теми практичних (лабораторних) занять

№ з/п	Назва теми	Кількість годин	
		денна форма	заочна форма
1	Моделювання мікропроцесорної системи в середовищі PROTEUS	1	2
2	Дослідження функціональних можливостей цифрових мікросхем малої інтеграції	4	2
3	Дослідження принципів побудови та функціональних можливостей дешифраторів	4	
4	Дослідження принципів побудови та функціональних можливостей мультиплексорів	4	
5	Дослідження принципів побудови та функціональних можливостей тригерів	4	
6	Синтез логічних схем малої інтеграції в ПЛІС в графічному режимі з використанням САПР Altera QUARTUS II	4	2
7	Синтез логічних схем перетворювача кодів з дешифратором в ПЛІС в графічному режимі з використанням САПР Altera QUARTUS II	4	2
8	Синтез логічних схем перетворювача кодів з дешифратором в ПЛІС мовою Verilog або VHDL з використанням САПР Altera QUARTUS II	4	
9	Дослідження тригерів в ПЛІС в графічному режимі з використанням САПР Altera QUARTUS II	1	
10	Дослідження регістрів в ПЛІС в графічному режимі з використанням САПР Altera QUARTUS II	1	
11	Дослідження та синтез лічильників в ПЛІС в графічному режимі з використанням САПР Altera QUARTUS II	1	
РАЗОМ		32	8

### 6. Завдання для самостійної роботи

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 7 / 6

### Тема 1. Побудова цифрової елементної бази

1. Принцип роботи та побудова цифрової елементної бази.
2. Методи мінімізації логічних функцій. Синтез пристроїв.

### Тема 2. Синтез логічних схем в ПЛІС

1. Синтез логічних схем в ПЛІС в графічному режимі з використанням САПР Altera QUARTUS II.
2. Синтез логічних схем в ПЛІС мовою Verilog та VHDL з використанням САПР Altera QUARTUS II.
3. Проектування ПЛІС в середовищах Xilinx Vivado.

### 7. Індивідуальні завдання

—

### 8. Методи навчання

Проведення лекцій, лабораторних робіт, контрольних-модульних робіт, захист звітів з лабораторних робіт, екзамен.

### 9. Методи контролю

Лекційний, контрольні-модульні роботи, звіти з лабораторних робіт, екзамен.

### 10. Розподіл балів

Поточне тестування та самостійна робота					Сума
Змістовий модуль 1		Змістовий модуль 2			
T1	T2		T3	T4	100
25	25		25	25	

1. За відвідування лекційних занять, конспект – 10б.
  2. Контрольні-модульні роботи:  $2 \cdot 25 = 50б$ .
  3. Захист звітів з лабораторних робіт:  $8 \cdot 5б = 40б$ .
- Всього: 100балів.

### Шкала оцінювання

За шкалою	Екзамен	Бали
A	Відмінно	90-100
B	Добре	82-89
C		74-81
D	Задовільно	64-73
E		60-63
FX	Незадовільно	35-59

Житомирська політехніка	МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ ДЕРЖАВНИЙ УНІВЕРСИТЕТ «ЖИТОМИРСЬКА ПОЛІТЕХНІКА» Система управління якістю відповідає ДСТУ ISO 9001:2015	Ф-22.06- 05.01/2/172.00.1/Б /ВК2.6-2023
	Екземпляр № 1	Арк 7 / 7

F			0-34
---	--	--	------

## 11. Рекомендована література

### *Основна література*

1. Цифрова схемотехніка. Навчальний посібник./ М.Г. Лорія, П.Й. Єлісеєв, О.Б. Целіщев. – Сєверодонецьк: Вид-во Східноукр. нац. ун-ту імені Володимира Даля, 2016. – 280 с., 112 іл., 9 табл., 30 бібліогр. назв.
2. Мірошник М. А., Клименко Л. А., Корольова Я. Ю. Технології та автоматизація проектування цифрових пристроїв складних комп'ютерних систем на ПЛІС: Навч. посібник. – Харків: УкрДУЗТ, 2021. – 220 с.
3. Основи та методи цифрової обробки сигналів: від теорії до практики: навч. посібник / Ушенко Ю.О., М.С. Гавриляк, М.В. Талах, В.В. Дворжак. – Чернівці : Чернівецький нац. ун-т ім. Ю. Федьковича. – 2021. – 308 с.
4. Лахно В.А., Гусєв Б.С., Смолій В.В., Місюра М.Д., Касаткін Д.Ю. Технології проектування комп'ютерних систем (частина 1) - К.: НУБіП України, 2019. – 205 с.
5. Alessio S.M. Digital Signal Processing and Spectral Analysis for Scientists, 1-st Edition - Switzerland: Springer Cham, 2016. – 924p.

### *Допоміжна література*

1. В.Л. Кофанов Математичні та схемотехнічні основи цифрових пристроїв. – Вінниця: Універсал, 2005. – 402 с.
2. Схемотехніка електронних систем: У 3-х кн.. Кн. 2. Цифрова схемотехніка. Підручник / В.І. Бойко, А.М. Гуржій, В.Я. Жуйко та ін. – 2-ге вид., доповнене та перероблене. – К.: Вища школа, 2004. – 423 с.; іл.
3. Єфремов, Н.В. Введення в систему автоматизованого проектування Quartus II: навч. посібник / Н.В. Єфремов. – К.: Вища школа, 2011. – 147с.
4. Соловйов, В.В. Основи мови проектування цифрової апаратури Verilog / В.В. Соловйов. – К.: Вища школа, 2014. – 206с.

## 12. Інформаційні ресурси в Інтернеті

1. Файли дисципліни: <https://learn.ztu.edu.ua/course/view.php?id=6043>